

주파수 판별기 구조 및 잡음 성능 분석

Architecture and Noise Analysis of Frequency Discriminators

박성경*

Sungkyung Park**

Abstract

Frequency detector is a circuit that converts the frequency to a digital representation and finds its application in various fields such as modulator and synchronization circuitry. In this paper, a couple of first-order and second-order frequency discriminator structures are modeled and analyzed with their quantization noise sources. Also a delta-sigma frequency detector architecture is proposed. Through theoretical analysis and derived equations, the output noise is obtained, which is validated by simulation. The proposed all-digital frequency discriminator may be applied in the feedback path of the all-digital phase-locked loop.

요약

주파수 판별기는 주파수를 디지털 비트 신호로 변환해주는 회로로서 변조기, 동기화 회로 등에 쓰인다. 본 논문에서는 여러 종류의 일차, 이차 주파수 판별기의 구조를 모델링하고 양자화 잡음 성능을 분석하며, 새로운 구조의 델타-시그마 주파수 판별기 구조를 제안한다. 이론적 분석과 유도된 수식으로부터 출구 잡음을 구하고 모의실험으로 타당성을 검증하였다. 제안된 주파수 판별기는 전 디지털 회로로서 전 디지털 위상 잠금 루프의 궤환 경로에 적용될 수 있다.

Key words : Frequency discriminator, all-digital, delta-sigma, quantization, noise

1. 서론

라디오주파수(RF) 위상이나 주파수를 디지털 표현으로 변환해 주는 방법으로는 CMOS 인버터의 지연을 이용한 time-to-digital 변환기를 쓰는 방법이 있다[1]. 이 방법은 공정에 의존하는 게이트 지연에 의해 해상도가 제한되고, 전력 소모를 줄이기가 쉽지 않으며, 인버터들 간의 부정합(mismatch) 때문에 전

달함수를 선형으로 만들기가 어렵다는 단점이 있다. 실용적인 변환기로 설계할 경우 부정합 보상, 제거, 혹은 교정(calibration)회로가 필요하게 된다[2]. 델타-시그마(delta-sigma) 변조기(modulator) 특성을 지닌 주파수 판별기(frequency discriminator)는 그 해상도가 판별기의 noise shaping 능력에 의존하는데, 판별기의 차수를 늘림으로써 해상도를 증가시킬 수 있다[3]. 따라서 time-to-digital 변환기 대신 주파수 판별기를 송수신기 내의 전 디지털(all-digital) phase-locked loop의 구성블록으로 채택할 수 있다. 이외에도 통신용 신호를 변조하거나 좌표를 변환 및 회전할 때에도 순수 디지털 공정만으로 회로를 간단히 구현하고자 할 경우 고성능의 주파수 판별기를 이용할 수 있다.

아날로그나 RF 소자가 들어간 공정 대신 순수 디지털 CMOS 공정으로만 송수신기를 구현하면, Moore의 법칙을 따르는 저비용, 대량생산에 적합한 집적회

* Dept. of Electronics Engineering, Pusan National University

★ Corresponding author

(fspark@pusan.ac.kr, 051-510-2368)

※ This work was supported by a 2-Year Research Grant of Pusan National University.

Manuscript received Mar. 4, 2013; revised Mar. 14, 2013; accepted Mar. 15, 2013

로를 빠른 시간 내에 만들 수 있다. 본 논문에서는 이러한 조건을 만족시키는 몇 종류의 전 디지털 주파수 판별기를 모델링하고, 잡음 성능을 분석한다. 또한 잡음 특성을 좋게 하기 위해 time-to-digital 변환기를 구성블록으로 사용하는 새로운 델타-시그마 주파수 판별기를 제안한다. 양자화 잡음원을 포함한 주파수 판별기의 선형 모델을 유도하고, 이로부터 전달함수의 수식을 유도하며, 이론적 분석을 모의실험으로 검증하고자 한다. 그리고 주파수 판별기의 출구 잡음 전력밀도(power spectral density or PSD)를 구하고자 한다.

제 2장 본론의 제 1절에서는 가장 간단한 형태의 1차 주파수 판별기에 대해 설명하고, 제 2절에서는 2차 주파수 판별기를 분석하고 잡음 모델을 유도한다. 제 3절에서는 제안하는 주파수 판별기를 분석하고 잡음 전력밀도를 구한다. 결론은 제 3장에서 맺는다.

II. 본론

1. 1차 델타-시그마 주파수 판별기

주파수 판별기는 주파수를 디지털로 변환해 주는 역할을 수행한다. 델타-시그마 변조기[4]처럼 잡음을 고대역 통과 필터링(high-pass filtering)시켜주는, 즉 noise shaping시켜주는 주파수 판별기를 델타-시그마 주파수 판별기라고 부른다. 1차 델타-시그마 주파수 판별기의 구조가 그림 1에 있다[3]. MC 값이 0이나 1 이냐에 따라 N 혹은 N+1로 입력 주파수를 나눠주는 주파수 분주기와 D타입 플립플롭(FF)으로 이루어져 있다. 누적된 RF 위상은 준거(REF)주파수로 샘플링(표본화)되고, 단일 비트로 양자화 된다. 이 주파수 판별기의 출구 비트열의 평균값은 f_v/f_{ref} 값의 소수부(fractional part)이고, 양자화잡음은 1차 shaping이 된다[3]. 여기서 f_v 는 주파수 판별기의 입력 주파수, f_{ref} 는 REF 주파수, N은 f_v/f_{ref} 의 정수부이다. 이처럼 출구 값은 REF 주파수 관점에서 측정된 f_v 주파수인 셈이다. 출력이 1만큼 증가 시 입력 주파수는 f_{ref} 만큼 증가하게 되므로 이 주파수 판별기의 전달함수 $H_{fd}=1/f_{ref}$ 가 된다.

주파수 판별기는 유한한 해상도로 인해 양자화 잡음을 생성한다. 주파수 판별기 출력은 입력 주파수

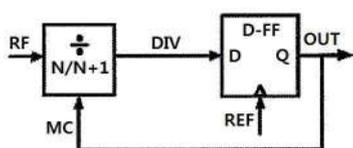


Fig. 1. First-order delta-sigma frequency discriminator
그림 1. 1차 델타-시그마 주파수 판별기

의 델타-시그마 변조된 꼴이다. 델타-시그마 변조기 차수가 l일 때 주파수 변조기의 양자화 잡음의 전력밀도는 (1)과 같다[4].

$$S_{fn,fd} = \frac{1}{12f_{ref}} \left| 2\sin\left(\frac{\pi f}{f_{ref}}\right) \right|^{2l} \quad (1)$$

1차 델타-시그마 주파수 판별기는 원하는 신호 대역 내의 잡음이 평평한 반면에, 2차 델타-시그마 주파수 판별기는 신호 대역 내에서 잡음이 감소하도록 noise shaping 된다[4]. 하지만 신호 대역 밖에서는 잡음이 1차보다 더 커진다. 따라서 저잡음 주파수 판별기를 설계하기 위해 2차 델타-시그마 주파수 판별기를 쓰고, 그 뒤에 1차 IIR 디지털 저대역 통과 필터를 두면 신호 대역 바깥의 잡음을 걸러낼 수 있다.

2. 2차 델타-시그마 주파수 판별기

마치 델타-시그마 데이터 변환기(analog-to-digital converter or ADC)가 신호 대역폭이 작고 높은 해상

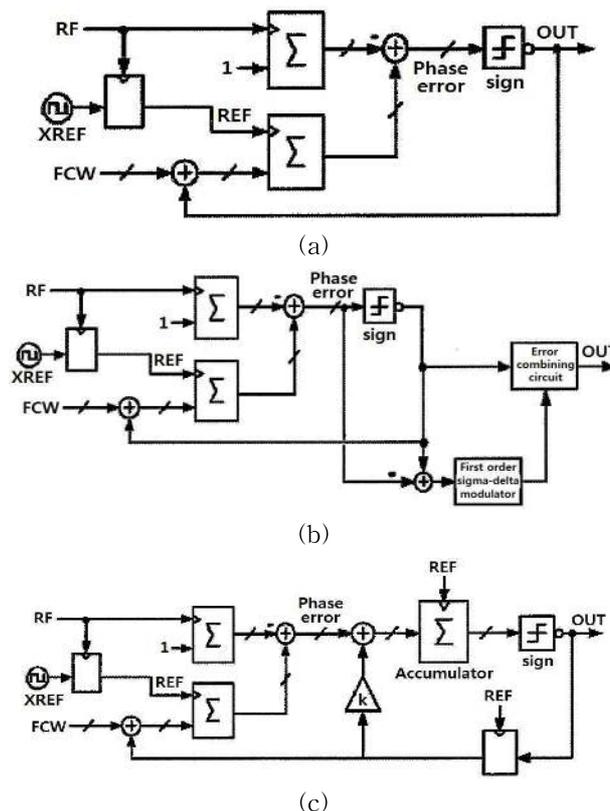


Fig. 2. First- and second-order all-digital frequency discriminators (a) First order (b) MASH 1-1 (second order) (c) Single loop second order (k=4)
그림 2. 1차, 2차 전 디지털 주파수 판별기 (a) 1차 (b) MASH 1-1 (2차) (c) 단일 루프 2차 (k=4)

도가 요구될 때 유용한 것처럼 주파수 판별기도 차수가 높아질수록 성능이 좋아진다. 참고문헌 [3]에 있는 고차 주파수 판별기는 신호 대역폭 내의 잡음을 줄일 수 있는 noise shaping을 해주지만 아날로그 필터나 전하 펌프가 필요하므로 전 디지털이 아니다. 전 디지털 주파수 판별기는 그림 2에 도시돼 있다[5].

그림 2(a)의 1차 주파수 판별기는 RF 클락용 누적기(accumulator)와 REF 클락용 누적기를 사용하고 있다. 과표본화(oversampling), noise shaping, 필터링을 써서 두 클락의 분수비(fractional) 위상차를 원하는 정밀도로 얻고 있다. 이 위상차가 숫자로 얻어지므로 MASH 델타-시그마 변조기에서처럼 error feedback 구조를 채택해 차수를 2로 늘린 것이 그림 2(b)이다. 더 나아가 단일 루프 구조의 2차 주파수 판별기도 [5]에서 제안하였다.

이제 그림 2의 각 구조에 대해 설명한다. 그림 2(a)의 구조에 대해서 수학적 분석 없이 성능 모의실험만 [5]에 제시돼 있다. 따라서 본 논문에서는 적절한 모델을 유도하여 이론적 분석을 수행한다. 그림 2(a)는 가산기와 누적기가 선형 연산자이므로 그림 3(a)와 같이 다시 그릴 수 있다. FCW는 frequency control word, XREF는 수정 발진기 준거 주파수, sign 블록은 slicer 혹은 1 비트 양자화기이다. 그림 3(a)를 다시 수정한 블록도가 그림 3(b)이다. 입구에 위치한 누적기는 부동 소수점 적분기이고 이의 출력이 바로 뒤의 양자화기에 의해 정수로 rounding 된다. f_v 는 입력

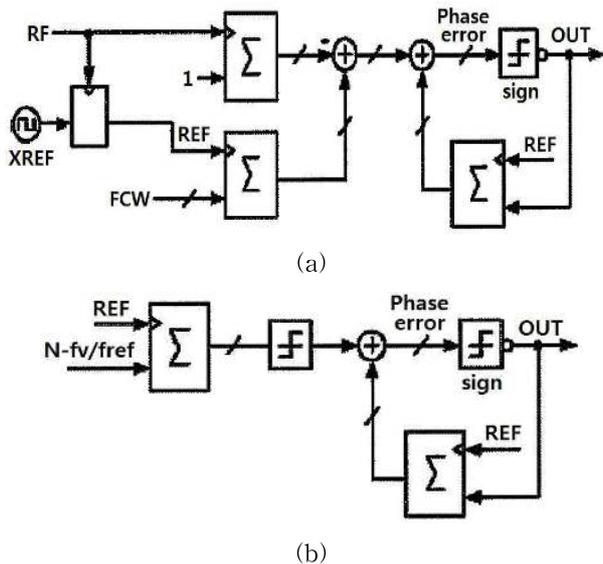


Fig. 3. (a) Modified block diagram of Fig. 2(a) (b) Modified block diagram from Fig. 3(a)
 그림 3. (a) 그림 2(a)의 수정된 블록도 (b) 그림 3(a)의 수정된 블록도

주파수, f_{ref} 는 REF 주파수, N 은 f_v/f_{ref} 의 정수부이다. 양자화 잡음을 고려한 그림 3(b)의 선형 모델이 그림 4에 도시돼 있다.

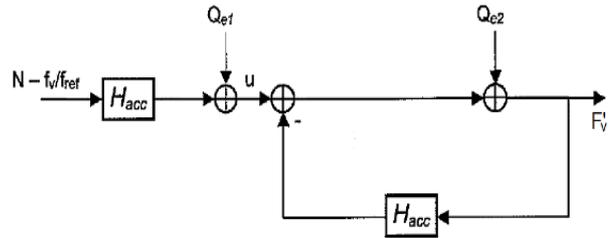


Fig. 4. Linear noise model of the architecture in Fig. 2(a)
 그림 4. 그림 2(a) 구조의 선형 잡음 모델

누적기의 전달함수 $H_{acc}(z) = z^{-1}/(1-z^{-1}) = 1/(z-1)$ 과 같이 놓을 수 있으므로[4] (단, 지연형, 즉 delayed type 일 경우), 그림 4로부터 다음의 (2)를 얻는다.

$$F_v'(z) = U(z) + Q_{e2}(z) - F_v'(z) \frac{1}{z-1}$$

$$F_v'(z) = \{U(z) + Q_{e2}(z)\}(1-z^{-1})$$

$$U(z) = \frac{1}{z-1} \left(N - \frac{f_v}{f_{ref}} \right) + Q_{e1}(z)$$

$$F_v'(z) = \left(N - \frac{f_v}{f_{ref}} \right) z^{-1} + \{Q_{e1}(z) + Q_{e2}(z)\}(1-z^{-1})$$

즉, 입력은 지연되고, 양자화 오차는 차분된다. 이 구조는 1차 error feedback 구조이다. Carry 비트가 입력 $N-f_v/f_{ref}$ 의 델타-시그마 변조된 풀인 그림 5(a)의 변조기도 그림 2(a)와 같은 방식으로 동작한다. 즉, 합계 정수부가 변할 때 누적기에 overflow가 생기고

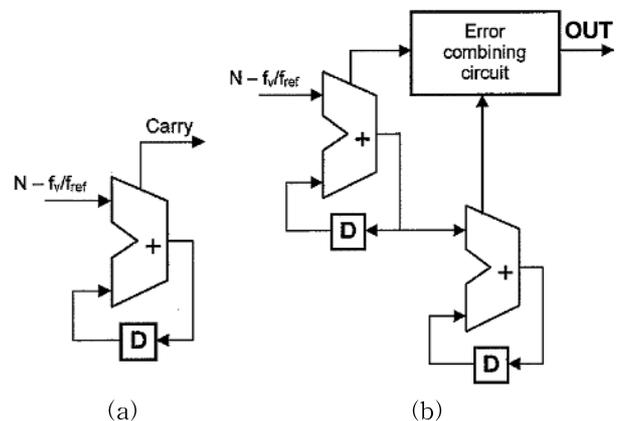


Fig. 5. (a) First-order digital modulator with error feedback structure (b) MASH 1-1 digital modulator
 그림 5. (a) Error feedback 구조의 1차 디지털 변조기 (b) MASH 1-1 디지털 변조기

carry가 발생한다고 가정한다면, 그림 5(a)의 회로는 Q_{e2} 가 무시된 그림 2(a)의 회로처럼 동작한다.

한편, 그림 2(b)의 MASH 2차 구조는 그림 5(b)의 2차 디지털 변조기[4]와 유사하게 동작한다. 그림 5(b) 회로의 출력은 입력의 2차 noise shaping 된 표현이고, error combining circuit이 이상적일 경우 이 앞 단의 양자화 잡음을 소거할 수 있다. 하지만 차이점이 있다. 그림 2(b)에서는 sign 함수에서 도입된 양자화 오차가 다음 noise shaping 단으로 전달되어 소거되지만, RF 누적단의 원래의 오차는 이용되지 않으므로 1차 noise shaping만 된다. Error feedback 구조를 써서 RF 양자화 오차를 소거하려면 첫 델타-시그마 단에서 도입된 정확한 양자화 오차를 이용해야 한다. 이 오차는 그림 5(a) 누적기의 출력에 대응하는데, DCO 한 주기보다 작기 때문에 디지털적으로 정확히 계산하기가 어렵다. 이 문제를 개선한 구조가 3절에서 다룰 구조이다.

그림 2(c)는 또 다른 2차 디지털 변조기로서 single loop 구조이다. 그림 4와 유사하게 분석한 후 Q_{e1} 과 Q_{e2} 로부터 출력까지의 잡음 전달 함수 크기의 제곱을 구하면 그림 6과 같다. RF 단 잡음은 1차 noise shaping 됐고, sign 함수로부터의 잡음은 2차 noise shaping 됐음을 알 수 있다. RF 단 잡음도 2차 noise shaping시키기 위해서는 델타-시그마 루프 내에서 양자화 오차를 더해 줘야 한다. 3절에서 제안하는 2차 델타-시그마 주파수 판별기는 RF 단 오차를 줄일 수 있다.

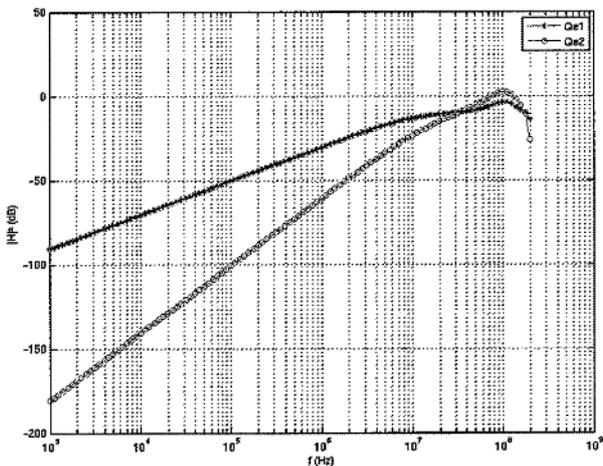


Fig. 6. Noise transfer functions for the structure in Fig. 2(c)

그림 6. 그림 2(c) 구조의 잡음 전달 함수

3. 제안하는 델타-시그마 주파수 판별기

개선된 2차 MASH 타입 델타-시그마 주파수 판별

기에서는 RF와 REF 파형으로부터 직접 오차를 취해 time-to-digital 변환기에 넣어준 후 MASH 단으로 넘긴다. 이는 정확한 RF 단 오차를 다음 단으로 넘겨주기 위함이다. 제안하는 구조가 그림 7(a)에 있고, 이의 등가 블록도가 그림 7(b)에 있다. 그림 7의 구조에 대해 잡음이 포함된 선형 모델을 구하면 그림 8과 같다. Q_{e1} , Q_{e2} , Q_{e3} 는 각각 첫 단, 둘째 단, time-to-digital 변환기의 양자화 잡음이다. 일단 Q_{e3} 를 무시하자. 그러면 $X=Q_{e1}$ 이 된다. 전달 함수는 아래 (3)으로부터 얻을 수 있다.

$$\begin{aligned}
 F_v'(z) &= V_1 H_1 - V_2 H_2 \\
 V_1 &= U \cdot STF_1 + Q_{e1} \cdot NTF_1 \\
 V_2 &= Q_{e1} \cdot STF_2 + Q_{e2} NTF_2 \\
 STF_1 &= \frac{V_1}{U} = \frac{1}{1 + \frac{1}{z-1}} = 1 - z^{-1} \\
 NTF_1 &= \frac{V_1}{Q_{e1}} = STF_1 = 1 - z^{-1} \\
 STF_2 &= \frac{V_2}{Q_{e1}} = \frac{1}{1 + \frac{1}{z-1}} = z^{-1} \\
 NTF_2 &= \frac{V_2}{Q_{e2}} = \frac{1}{1 + \frac{1}{z-1}} = 1 - z^{-1} \\
 F_v'(z) &= U \cdot STF_1 \cdot H_1 + Q_{e1}(NTF_1 \cdot H_1 - STF_2 \cdot H_2) \\
 &\quad - Q_{e2} \cdot NTF_2 \cdot H_2
 \end{aligned} \tag{3}$$

누적기 양자화 잡음을 소거하기 위해 $H_1=STF_2=z^{-1}$, $H_2=NTF_1=1-z^{-1}$ 이 되도록 선택한다. 그러면 출력은 (4)와 같이 된다.

$$\begin{aligned}
 F_v'(z) &= U(1-z^{-1})z^{-1} + Q_{e1} \cdot 0 - Q_{e2}(1-z^{-1})(1-z^{-1}) \\
 &= U(1-z^{-1})z^{-1} - Q_{e2}(1-z^{-1})^2
 \end{aligned} \tag{4}$$

즉, 첫째 단 양자화 잡음은 소거되고, 둘째 단은 2차 noise shaping 된다. $U=(N-f_v/f_{ref})/(z-1)$ 이므로 입력에서 출력으로의 신호 전달 함수는 (5)와 같다.

$$\frac{F_v'(z)}{N - \frac{f_v}{f_{ref}}} = \frac{1}{z-1} (1-z^{-1})z^{-1} = z^{-2} \tag{5}$$

이제 Q_{e3} 를 고려하자. Q_{e3} 에서 출력으로의 전달 함수는 (6)과 같다.

$$\frac{F_v'(z)}{Q_{e3}} = STF_2 \cdot H_2 = z^{-1}(1-z^{-1}) \tag{6}$$

즉, time-to-digital 변환기의 양자화 오차는 주파수 판별기 출구에서 1차 shaping 된다.

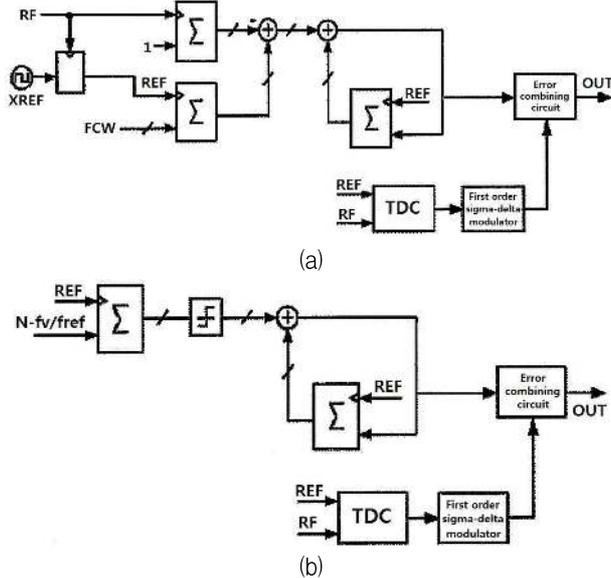


Fig. 7. (a) Proposed second-order delta-sigma frequency discriminator (b) Equivalent block diagram

그림 7. (a) 제안하는 2차 델타-시그마 주파수 판별기 (b) 등가 블록도

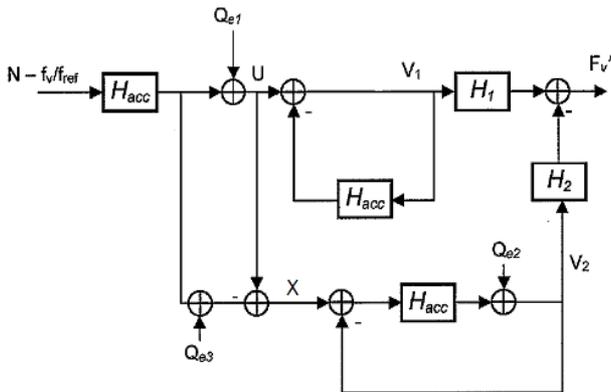
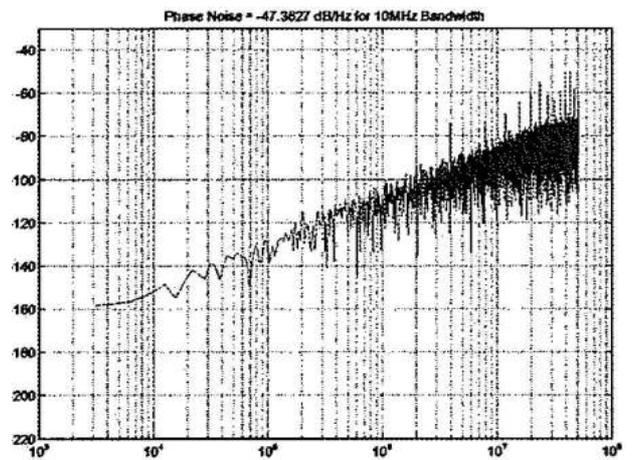
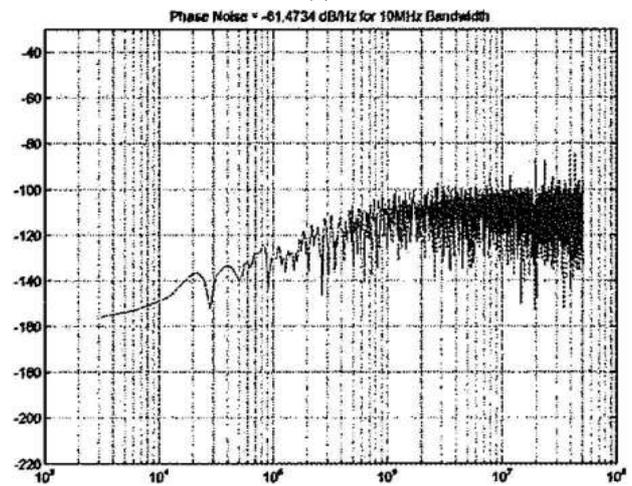


Fig. 8. Linear noise model of the architecture in Fig. 7
그림 8. 그림 7의 제안하는 구조에 대한 선형 잡음 모델

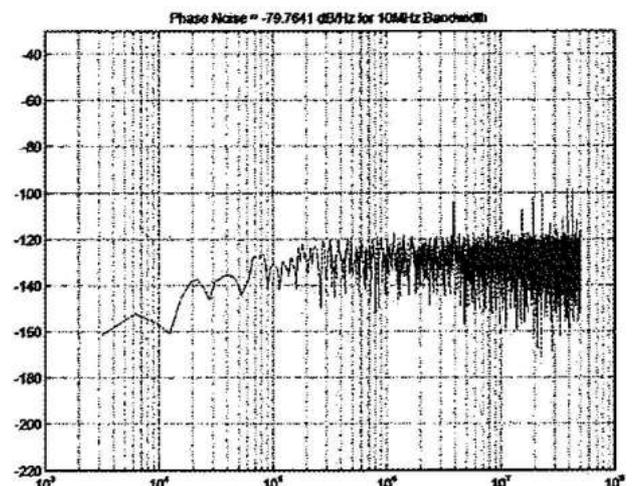
아날로그 델타-시그마 변조기는 궤환 경로에 위치한 digital-to-analog 변환기에 도입되는 비선형성 때문에 궤환 신호의 비트 수를 늘리기가 어렵다. 그래서 단일 비트 궤환 신호에 기반을 둔 경우가 많다. 그러나 전 디지털 델타-시그마 변조기나 주파수 판별기에서는 하드웨어만 추가적으로 더해 궤환 신호의 비트 수를 늘리면 되므로 이런 문제가 일어나지 않는다. 주파수 판별기의 궤환 경로에서의 추가적인 fractional 비트 수를 늘릴 경우 주파수 판별기 출구에서의 shaping 된 잡음이 어떻게 변하는지 모의실험 하였다. 결과는 그림 9에 도시돼 있다(x축 Hz, y축



(a)



(b)



(c)

Fig. 9. Shaped noise by a delta-sigma frequency discriminator using (a) 0, (b) 4, and (c) 7 fractional bits in the feedback

그림 9. 델타-시그마 주파수 판별기의 궤환 신호의 fractional 비트 수가 (a) 0, (b) 4, (c) 7일 때의 shaping 된 잡음

dB/Hz). 준거 주파수는 104MHz, 주파수 판별기 내부 신호는 16 fractional 비트이고, 전체 잡음은 10MHz 대역에 걸쳐 측정되었다. 부가적인 1 비트마다 전체 잡음이 약 6dB씩 감소한다. 하지만 비트 수를 늘려도 신호 대역 내 잡음은 감소하지 않는다. 이를 감소시키려면 고차의 noise shaping을 사용해야 한다.

전 디지털 phase-locked loop에 적용된 델타-시그마 주파수 판별기의 잡음 전력 밀도는 그림 10과 같다. 주파수 판별기의 차수를 늘리면 양자화 잡음이 신호로부터 더 de-correlate 되어 spur 에너지가 줄어들고 퍼지게 된다(smear out). 즉, spur 측면에서나 잡음 측면에서나 주파수 판별기 루프의 noise shaping 차수를 크게 하는 것이 유리하다.

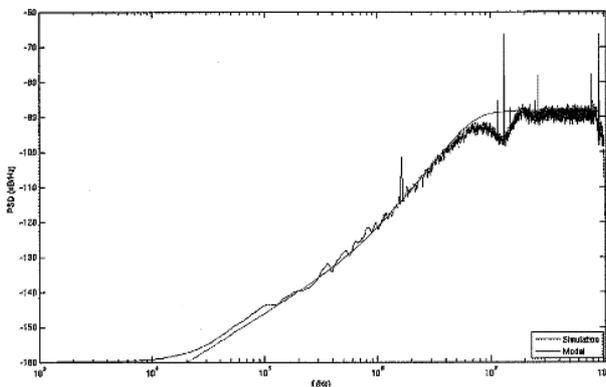


Fig. 10. Delta-sigma frequency detector noise PSD
그림 10. 델타-시그마 주파수 판별기의 잡음 전력 밀도

III 결론

본 논문에서는 여러 종류의 델타-시그마 주파수 판별기 구조에 대한 모델을 세우고, 이론적 분석을 통하여 전달 함수 및 관련 수식을 새로이 유도하였다. 또한 주파수 판별기의 잡음 성능을 분석하고, noise shaping이 개선된 주파수 판별기를 제안하였다.

References

- [1] R. B. Staszewski et al., "Time-to-digital converter for RF frequency synthesis in 90nm CMOS," *IEEE Radio Frequency Integrated Circuits Symposium*, pp. 473-476, 2005
- [2] C. Weltin-Wu et al., "A 3GHz fractional-N all-digital PLL with precise time-to-digital converter calibration and mismatch correction," *IEEE Int'l*

Solid-State Circuits Conference, pp. 344-345, 2008

- [3] R. D. Beard and M. A. Copeland, "An oversampling delta-sigma frequency discriminator," *IEEE Transactions on Circuits and Systems II*, vol. 41, no. 1, pp. 26-32, 1994
- [4] R. Schreier, *Understanding delta-sigma data converters*, Wiley-IEEE Press, 2004
- [5] E. Atalla et al., "An all-digital $\Sigma\Delta$ frequency discriminator of arbitrary order," *IEEE Int'l Symposium on Circuits and Systems*, pp. 4991-4994, 2006

BIOGRAPHY

Sungkyung Park (Life Member)



1995 : BS degree in Resource Engineering (major) and Electronics Engineering (minor), Seoul National University.
1997 : MS degree in Electronics Engineering, Seoul National University.

2002 : PhD degree in Electrical and Computer Engineering, Seoul National University.

2002~2004 : Senior Engineer, Samsung Electronics, Inc.

2004~2006 : Senior Member of Research Staff, Electronics and Telecommunications Research Institute (ETRI).

2006~2009 : Senior Staff Hardware Designer, Ericsson, Inc., RTP, NC, USA.

2009~2013 : Assistant Professor, Pusan National University.

2013~present : Associate Professor, Pusan National University