
CABEZAL DE RADIOFRECUENCIA DE UN RECEPTOR GNSS MULTIBANDA

Tesis de Maestría

ING. RAMÓN LÓPEZ LA VALLE

*Presentada ante la Facultad de Ingeniería de la
Universidad Nacional de La Plata
como requisito para la obtención del grado académico de*

MAGISTER EN INGENIERÍA



Directores

Dr. Pedro A. RONCAGLIOLO

Dr. Martín HURTADO

Jurados

Ing. Roberto CONSTANTINI

Dr. Gustavo FANO

Dr. Juan COUSSEAU

Agosto de 2014

Resumen

Los sistemas globales de navegación por satélite (GNSS) son constelaciones de satélites cuyo objetivo es proveer información sobre posición, velocidad y tiempo preciso a cualquier usuario que disponga de un receptor adecuado. En los últimos años se ha experimentado un notable crecimiento en la utilización de los GNSS en diversas aplicaciones, que van desde las más conocidas como las relacionadas con el posicionamiento para automóviles hasta la navegación de satélites y vehículos lanzadores. Sin dudas el avance de la tecnología ha jugado un papel primordial en la aparición de los GNSS en la vida cotidiana, porque permitió reducir el costo y el tamaño de los receptores. Es por esto que hoy en día no resulta extraño que los dispositivos móviles como teléfonos celulares y tablets posean un receptor GNSS integrado.

De los GNSS existentes el más conocido es el Sistema de Posicionamiento Global (GPS), que pertenece a EEUU y está completamente operativo desde 1994. Sin embargo, en los últimos años han surgido otros GNSS, como el sistema ruso GLONASS, el cual recientemente fue declarado totalmente operativo. Por su parte, el sistema Galileo impulsado por la Unión Europea, todavía se encuentra en proceso de desarrollo y se planea que esté completamente en funcionamiento entre 2015 y 2020. Finalmente, el sistema chino BeiDou actualmente sólo brinda soporte en China, pero se espera que provea cobertura global para 2020.

Los GNSS transmiten utilizando portadoras en la banda L, es decir entre 1GHz y 2GHz. En particular, los satélites de GPS transmiten tres frecuencias de portadora denominadas L1, L2 y L5. Por su parte, los satélites de Galileo también transmiten tres portadoras conocidas como E1, E6 y E5. Tanto en GPS como en Galileo todos los satélites comparten las mismas bandas de frecuencia, empleando la técnica de acceso múltiple por división de código (CDMA). En cambio, los satélites de GLONASS utilizan la técnica de acceso múltiple por división de frecuencia (FDMA) y transmiten en dos bandas llamadas L1 y L2.

Para obtener la solución de navegación un receptor GNSS debe recibir señales de al menos cuatro satélites. Un receptor capaz de manejar señales de varios GNSS aumenta considerablemente el número de satélites visibles. Esto mejora la continuidad en la solución de navegación, incluso bajo condiciones de operación adversas. Además, la utilización de dos frecuencias de portadora permite medir el retardo ionosférico, el cual constituye una de las principales fuentes de error en la determinación de la posición. Esto significa una ventaja en relación a los usuarios que utilizan una única portadora, los cuales deben estimar el retardo ionosférico mediante modelos cuyos parámetros son transmitidos en el mensaje de navegación. Los receptores multifrecuencia son ampliamente usados en aplicaciones de posicionamiento diferencial de alta precisión, donde es posible obtener errores del orden del centímetro. Sin embargo, actualmente la mayoría de los receptores comerciales de bajo costo están diseñados para operar sólo en la banda L1 de GPS.

Aunque existen en el mercado cabezales de RF totalmente integrados en un chip, estos sólo operan en la banda L1, generalmente poseen anchos de banda angostos, y utilizan planes de frecuencia y tasas de muestreo fijas, lo que limita el desempeño del receptor. Por otra parte, los cabezales de RF integrados no son suficientemente versátiles, ya que sus parámetros no pueden ser modificados por el usuario. Esto constituye una limitación para aplicaciones de investigación y desarrollo, en las cuales es deseable poder probar diferentes configuraciones de funcionamiento. Además, en estos casos se requieren características como baja figura de ruido, alto rechazo a la frecuencia imagen, buena estabilidad de frecuencia y baja distorsión, a fin de obtener señales de buena calidad para su procesamiento. En la mayoría de los casos, no es posible encontrar todas estas prestaciones en los cabezales de RF comerciales, los cuales están diseñados para reducir su consumo de potencia, tamaño y costo.

Considerando las limitaciones de los cabezales de RF integrados, y las ventajas de los receptores multiconstelación y multifrecuencia, en esta tesis se presenta el diseño y la implementación de un cabezal de RF de altas prestaciones, orientado a la recepción de las señales civiles de las bandas L1 y L2 de GPS y GLONASS, y a la señal E1 de Galileo. Este cabezal de RF operando en conjunto con una plataforma de procesamiento digital, compuesta por una placa de adquisición y una FPGA, permite implementar un receptor GNSS completo. Esta arquitectura basada en el concepto SDR (Software Defined Radio), resulta útil para fines de investigación y desarrollo, ya que permite obtener un receptor configurable apto para probar algoritmos de adquisición, seguimiento y navegación.

Agradecimientos

A mis directores Agustín Roncagliolo y Martín Hurtado por haberme guiado, por su predisposición para discutir las cuestiones relacionadas con la tesis y por todos sus consejos y sugerencias. Quiero mencionar especialmente a Javier García que fue el director de mi trabajo final de carrera, donde comencé a tomar contacto con los temas abordados en la presente tesis, de la cual él también participó activamente. Por supuesto, Hugo Lorente y Carlos Muravchik han sido dos referentes importantes.

A la Comisión Nacional de Actividades Espaciales (CONAE) por permitir el desarrollo de receptores GNSS nacionales mediante los convenios firmados con la Facultad de Ingeniería de la Universidad Nacional de La Plata.

A Jorge Cogo, Gerardo Puga, Juan Díaz, Javier Smidt y Santiago Rodríguez con quienes, junto a Agustín Roncagliolo y Javier García, conformamos el “grupo GPS”. La dedicación y el esmero que cada uno de ellos pone en su trabajo hacen que me sienta orgulloso de pertenecer al grupo. Todos ellos, de una manera u otra, han permitido que fuera posible concretar esta tesis.

Al personal del LEICI que genera un ambiente de trabajo muy ameno y distendido. Gracias por haberme recibido afectuosamente desde que comencé a trabajar allí, cuando todavía era un alumno de la carrera de grado.

Quiero agradecer especialmente a mis padres Raquel y Gerardo porque siempre me brindaron todo su apoyo, sin duda es gracias a ellos que he podido llegar a esta instancia.

A mi novia Carolina por su comprensión durante este proceso y por haberme acompañado incondicionalmente en estos últimos años. Su presencia ha sido y sigue siendo muy importante para mí.

Por último no puedo olvidarme de mencionar a mis amigos, a los que estuvieron desde siempre y a los más nuevos.

A mis padres Raquel y Gerardo

Índice general

Resumen	III
Agradecimientos	V
Lista de Abreviaturas	XIII
1. Introducción	1
1.1. Los GNSS	1
1.1.1. Breve Descripción de las Señales GNSS	2
1.2. Motivación y Objetivos	3
1.3. Organización de la Tesis	5
2. Cabezales de RF para Receptores GNSS	7
2.1. Esquema Básico de un Receptor GNSS	7
2.2. Arquitecturas de Cabezales de RF	9
2.2.1. Receptor Homodino	9
2.2.2. Receptor Superheterodino	10
2.2.3. Conversión en Fase y Cuadratura	11
2.3. Digitalización de las Señales	14
2.3.1. Fase y Cuadratura Digital	15
2.3.2. Digitalización Directa	15
2.4. Elección de la Arquitectura	16
2.5. Requerimientos de Diseño	18
2.6. Conclusiones	18
3. Diseño Preliminar del Cabezal de RF	21

3.1.	Introducción	21
3.2.	Diseño Propuesto	22
3.2.1.	Plan de Frecuencias	22
3.2.2.	Cálculo de la Ganancia	24
3.3.	Descripción del Diseño	26
3.3.1.	Amplificador de Bajo Ruido	26
3.3.2.	Etapa de RF	29
3.3.3.	Etapa de FI	31
3.4.	Construcción de los Prototipos	39
3.5.	Resultados	41
3.5.1.	Medición de los Bloques Principales	42
3.5.2.	Medición del Cabezal de RF Completo	46
3.5.3.	Prueba funcional	47
3.6.	Conclusiones	48
4.	Sintetizador de Frecuencias	51
4.1.	Introducción	51
4.2.	Lazos de Eganche de Fase	52
4.2.1.	Componentes Principales	54
4.2.2.	Modelo lineal	59
4.3.	Diseño Propuesto	60
4.3.1.	Sintetizadores de Frecuencias	61
4.3.2.	Balun de Salida	64
4.3.3.	Oscilador de Referencia	67
4.3.4.	Red de Distribución de la Referencia	69
4.3.5.	Filtro de Lazo	70
4.3.6.	Circuito de Programación	75
4.4.	Implementación	76
4.5.	Resultados	78
4.5.1.	Espectros de Salida	79
4.5.2.	Ruido de Fase de los Osciladores Locales	80

4.5.3. Reloj de Muestreo	82
4.6. Conclusiones	85
5. LNA de Banda Ancha	87
5.1. Introducción	87
5.2. Objetivos de Diseño	88
5.3. Diseño Propuesto	90
5.4. Simulaciones	93
5.5. Implementación	94
5.6. Resultados	95
5.6.1. Parámetros S	96
5.6.2. Factor de Estabilidad	96
5.6.3. Figura de Ruido	97
5.6.4. Linealidad	97
5.7. Conclusiones	98
6. Diseño Final del Cabezal de RF	99
6.1. Introducción	99
6.2. Arquitectura del Cabezal de RF	100
6.3. Diseño	101
6.3.1. Etapa de RF	101
6.3.2. Etapa de FI	106
6.3.3. Etapa de Síntesis de Frecuencias	107
6.4. Construcción del Prototipo	107
6.4.1. Estructura del Circuito Impreso	108
6.4.2. Criterios de Diseño del Circuito Impreso	108
6.4.3. Ensamblado de la Placa	110
6.5. Resultados	111
6.5.1. Mediciones en RF	111
6.5.2. Mediciones del Prototipo Completo	115
6.5.3. Pruebas Funcionales	118

6.6. Comparación de los Resultados	118
6.7. Conclusiones	120
7. Conclusiones	123
A. Esquemáticos y Circuito Impreso del Diseño Preliminar del Cabezal de RF	127
A.1. Esquemáticos del Cabezal de RF de L1	128
A.2. Esquemáticos del Cabezal de RF de L2	131
A.3. Circuito Impreso	134
B. Esquemáticos y Circuito Impreso del Sintetizador de Frecuencias	137
B.1. Esquemáticos	138
B.2. Circuito Impreso	143
C. Esquemáticos y Circuito Impreso del Diseño Final del Cabezal de RF	147
C.1. Esquemáticos	148
C.2. Circuito Impreso	158

Lista de Abreviaturas

GNSS: Global Navigation Satellite Systems, Sistemas Globales de Navegación por Satélite

GPS: Global Positioning System, Sistema de Posicionamiento Global

GLONASS: Global'naya Navigatsionnaya Sputnikovaya Sistema, Sistema Global de Navegación por Satélite

CDMA: Code Division Multiple Access, Acceso Múltiple por División de Código

BPSK: Binary Phase Shift Keying, Modulación Binaria por Desplazamiento de Fase

FDMA: Frequency Division Multiple Access, Acceso Múltiple por División de Frecuencia

BOC: Binary Offset Carrier, Modulación Binaria por Desplazamiento de Portadora

SDR: Software Defined Radio, Radio Definida por Software

FPGA: Field Programmable Gate Array, Arreglo de Compuertas Lógicas Programable

RF: Radiofrecuencia

LNA: Low Noise Amplifier, Amplificador de Bajo Ruido

BPF: Band-Pass Filter, Filtro Pasa Banda

FI: Frecuencia Intermedia

OL: Oscilador Local

AD: Analógico a Digital

ADC: Analog to Digital Converter, Conversor Analógico a Digital

ASIC: Application-Specific Integrated Circuit, Circuito Integrado de Aplicación Específica

LPF: Low-Pass Filter, Filtro Pasa Bajos

DSP: Digital Signal Processor, Procesador Digital de Señales

MMIC: Monolithic Microwave Integrated Circuits, Circuitos Integrados Monolíticos de Microondas

PCB: Printed Circuit Board, Placa de Circuito Impreso

AGC: Automatic Gain Control, Control Automático de Ganancia

VCO: Voltage Controlled Oscillator, Oscilador Controlado por Tensión

OCXO: Oven Controlled Crystal Oscillator, Oscilador Controlado con Horno

TCXO: Temperature Compensated Crystal Oscillator, Oscilador a Cristal Compensado en Temperatura

CPLD: Complex Programmable Logic Device, Dispositivo Lógico Complejo Programable

VCXO: Voltage Controlled Crystal Oscillator, Oscilador a Cristal Controlado por Tensión

SPI: Serial Peripheral Interphase, Interface Serie Periférica

DEP: Densidad Espectral de Potencia

RMS: Root Mean Square, Valor Cuadrático Medio

Capítulo 1

Introducción

En este capítulo se realiza una breve introducción a los Sistemas Globales de Navegación por Satélite, haciendo hincapié en las señales que deberá manejar el cabezal de RF. Luego se exponen las razones que motivaron la elección del tema y los objetivos propuestos. Finalmente se describe la organización de la presente tesis.

1.1. Los GNSS

Los Sistemas Globales de Navegación por Satélite (GNSS) están formados fundamentalmente por constelaciones de satélites que transmiten señales a partir de las cuales es posible determinar la posición de un receptor ubicado en cualquier parte de mundo. La utilización de los GNSS ha crecido notablemente en estos últimos años debido a sus numerosas aplicaciones tanto en tierra, como marinas e incluso para la navegación aérea y espacial. En este sentido, los GNSS están reemplazando progresivamente a los métodos de posicionamiento convencionales. Esto se debe en gran parte a los avances en la electrónica y a las técnicas de integración que lograron reducir considerablemente el tamaño y el costo de los receptores.

Un GNSS puede considerarse compuesto por tres segmentos: espacial, de control y de usuario. El segmento espacial está integrado por todos los satélites del sistema. El segmento de control incluye estaciones de monitoreo cuyos objetivos son verificar el desempeño de los satélites, generar los datos de navegación y subirlos a los satélites, así como detectar y resolver fallas. Por último, el segmento del usuario está constituido por el receptor y es en el cual se centrará esta tesis.

El GNSS más utilizado a nivel mundial es el Sistema de Posicionamiento Global (GPS) que pertenece a Estados Unidos. Este sistema se encuentra completamente operativo desde 1994. Sin embargo, GPS no es el único GNSS. Existen otros sistemas de navegación basados en satélites entre los que se destaca el sistema ruso GLONASS, ya que recientemente ha superado el número mínimo de 24 satélites en órbita necesarios para proveer cobertura global. Por su parte, la Unión

Europea y China están desarrollando sus propios sistemas conocidos como Galileo y BeiDou respectivamente. Cabe mencionar que actualmente Galileo sólo posee cuatro satélites en órbita, aunque se estima que estará completamente operativo en 2019. Por otra parte, si bien BeiDou cuenta con una constelación reducida capaz de proveer servicio únicamente en China, se espera que pueda brindar cobertura global para el año 2020. Aunque estos dos sistemas todavía no están totalmente operativos, en un futuro cercano su utilización combinada con GPS y GLONASS permitirá aumentar las prestaciones, mejorando tanto la precisión como la continuidad de los servicios bajo condiciones de operación adversas.

1.1.1. Breve Descripción de las Señales GNSS

Los satélites de GPS transmiten sus señales en tres frecuencias de portadora denominadas L1, L2 y L5. Esta última portadora sólo está presente en la generación actual de satélites conocida como bloque II-F, por lo que aún no está totalmente disponible. La portadora L1 posee una frecuencia central de 1575.42MHz y está modulada en cuadratura por dos códigos digitales: C/A y P. El código P actualmente se encuentra encriptado, es decir que únicamente es accesible para usuarios autorizados. La portadora L2, cuya frecuencia central es 1227.6MHz, está modulada por el código P y, a partir de la generación anterior de satélites (bloque IIR-M), se le incorporó una señal adicional de uso civil denominada L2C. Cabe destacar que ambas portadoras están moduladas por un mensaje de navegación de 50bps. Los códigos C/A y P, así como los códigos que contiene la señal L2C, son diferentes para cada satélite lo que permite la utilización de la técnica de acceso múltiple por división de código (CDMA). El código C/A posee una tasa de chip de 1.023Mbps, mientras que el código P posee una tasa de 10.23Mbps. Debido a que el tipo de modulación empleado es BPSK, sólo considerando el lóbulo central del espectro, el ancho de banda mínimo del código C/A es aproximadamente 2MHz y el del código P es 20MHz [1].

Los satélites de GLONASS utilizan acceso múltiple por división de frecuencia (FDMA) y transmiten dos señales: L1 y L2. La señal L1 tiene un rango de frecuencias que se extiende entre 1598.0625MHz y 1605.9375MHz, mientras que la señal L2 está comprendida entre 1242.9375MHz y 1248.625MHz. Si bien cada satélite tiene asignada una frecuencia diferente, dos satélites pueden transmitir en la misma frecuencia si se encuentran en posiciones antipodales. En total existen trece portadoras diferentes. Estas portadoras están moduladas por un código digital que posee una tasa de chip de 511kbps, un mensaje de navegación de 50bps y una secuencia auxiliar de 100 Hz. El ancho de banda resultante para cada portadora es aproximadamente 500kHz [2].

Los satélites de Galileo transmiten en tres frecuencias de portadora denominadas E1, E6 y E5. Al igual que en GPS, todos los satélites de Galileo comparten las mismas bandas de frecuencia, haciendo uso de la técnica CDMA. La portadora E1 posee una frecuencia central de 1575.42MHz y está modulada por códigos digitales y un mensaje de navegación accesibles para todos los usuarios. Debido a que estos códigos digitales poseen una tasa de chip de 1.023Mbps

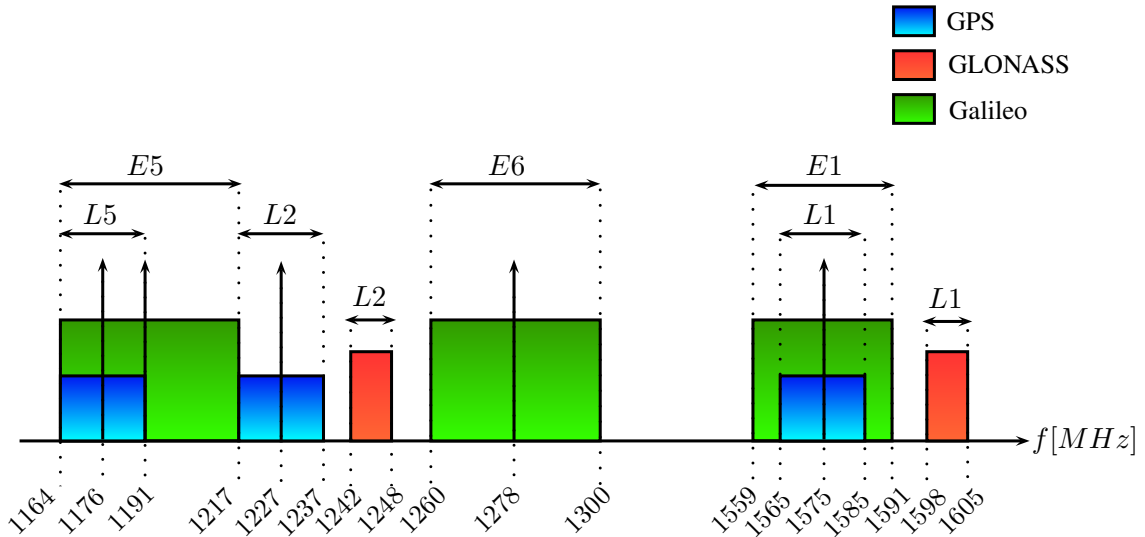


Figura 1.1: Esquema del espectro de las señales GNSS.

y que el tipo de modulación es BOC(1,1), el ancho de banda resultante es de aproximadamente 4MHz. La portadora E6, cuya frecuencia es de 1278.750MHz, es una señal comercial por lo que se encuentra encriptada. La señal E5 posee una frecuencia central de 1191.795MHz y su ancho de banda es del orden de 51MHz [3].

En cuanto a BeiDou la información aún es acotada y de difícil acceso para occidente, por consiguiente no se incluirá una descripción sobre sus señales. De aquí en adelante cuando se mencione la sigla GNSS se estará haciendo referencia a GPS, GLONASS y Galileo.

La Figura 1.1 es un esquema del espectro de las señales GNSS. La potencia de dichas señales obtenidas con una antena estándar de GNSS en la superficie terrestre es de aproximadamente -125dBm , aunque los valores pueden variar ligeramente dependiendo de la constelación y del código especificado.

1.2. Motivación y Objetivos

Para obtener la solución de navegación un receptor GNSS debe recibir señales de al menos cuatro satélites. Un receptor capaz de manejar señales de varios GNSS aumenta considerablemente el número de satélites visibles. Esto mejora la continuidad en la solución de navegación, incluso bajo condiciones de operación adversas. Además, la utilización de dos frecuencias de portadora permite medir el retardo ionosférico, el cual constituye una de las principales fuentes de error en la determinación de la posición. Esto significa una ventaja importante en relación a los usuarios que utilizan una única portadora, los cuales deben estimar el retardo ionosférico mediante modelos cuyos parámetros son transmitidos en el mensaje de navegación [4]. Los receptores multifrecuencia son ampliamente usados en aplicaciones de posicionamiento diferencial de alta precisión, donde es posible obtener errores del orden del centímetro [5].

La mayor parte de los receptores comerciales de bajo costo utilizan un único chip para la recepción de las señales desde la etapa de RF hasta la conversión analógica a digital [6] [7] [8]. Generalmente, estos receptores sólo operan en la banda L1 de GPS, por lo tanto son diseños limitados en cuanto a su versatilidad, ya que cuentan con un ancho de banda angosto y realizan la digitalización en una frecuencia intermedia establecida por el fabricante, con sólo uno o dos bits de resolución y a una tasa de muestreo fija. No obstante, existe una gran variedad de aplicaciones en las que se requieren receptores de mayores prestaciones, que sean aptos para recibir señales de distintas constelaciones GNSS y de varias frecuencias. Con esto se logra obtener mayor precisión, asegurar la continuidad en la solución de navegación en condiciones adversas, y aumentar la confiabilidad de la solución de posición debido a la utilización de sistemas de navegación independientes entre sí.

Por otra parte, en los receptores comerciales el software de procesamiento no puede ser modificado por el usuario. Para aplicaciones convencionales esto no representa un gran inconveniente, sin embargo en otros ámbitos como el universitario o para aplicaciones de investigación y desarrollo sí constituye una fuerte desventaja. La posibilidad de disponer de un receptor capaz de ser configurado permite ensayar distintos algoritmos de adquisición, seguimiento y navegación específicos [4]. En este sentido, en el marco de varios convenios firmados entre la Facultad de Ingeniería de la UNLP y la Comisión Nacional de Actividades Espaciales (CoNAE) para el desarrollo de receptores GNSS para aplicaciones aeroespaciales en el Laboratorio de Electrónica Industrial, Control e Instrumentación (LEICI), contar un receptor de laboratorio apto para probar diversos algoritmos es de fundamental importancia. En estos casos se requieren características como baja figura de ruido, alto rechazo a la frecuencia imagen, buena estabilidad de frecuencia y baja distorsión, a fin de obtener señales de buena calidad para su posterior procesamiento. Actualmente, no es posible encontrar todas estas prestaciones en los cabezales de RF comerciales, los cuales están diseñados de acuerdo a otros criterios, como reducir su consumo de potencia, tamaño y costo.

En un receptor GNSS el cabezal de RF es el hardware específico encargado de acondicionar las señales provenientes de la antena. Si se dispone de un cabezal de RF de altas prestaciones capaz de operar con varios GNSS y diferentes frecuencias se tiene un cabezal multiconstelación y multifrecuencia. Este cabezal de RF operando en conjunto con una plataforma de procesamiento digital genérica, compuesta por una placa de adquisición y una FPGA, permite implementar un receptor GNSS completo [9]. Esta arquitectura basada en el concepto Software Defined Radio (SDR) [10] resulta útil para fines de investigación y desarrollo, ya que permite obtener un receptor configurable donde el software de procesamiento está embebido en la FPGA y puede ser modificado por el usuario. En este sentido, la presente tesis consiste específicamente en desarrollar, construir y caracterizar la etapa de radiofrecuencia de un receptor multifrecuencia, capaz de recibir señales de los distintos sistemas GNSS existentes en la actualidad. En particular, este receptor multiconstelación estará orientado a la recepción de señales de GPS L1 y L2, GLONASS L1 y L2, y Galileo E1.

1.3. Organización de la Tesis

En el Capítulo 2 se presenta el esquema típico de un receptor GNSS y se analizan las principales arquitecturas utilizadas para implementar los cabezales de RF. Se realiza un repaso de las distintas alternativas con un enfoque práctico, enumerando sus ventajas y desventajas. Posteriormente, en base al análisis realizado, se determina la arquitectura más conveniente para cumplir con los objetivos propuestos.

Los Capítulos 3 a 6 contienen las contribuciones principales de esta tesis. El Capítulo 3 presenta el diseño preliminar del cabezal de RF. Allí se propone el diseño de un cabezal de RF apto para operar en las bandas L1 o L2 utilizando el mismo circuito impreso. Se realiza una descripción completa del diseño, detallando el funcionamiento de cada uno de los bloques que lo componen. Se incluyen los criterios de diseño y las simulaciones. Finalmente, se presentan los resultados de las mediciones y pruebas realizadas a los prototipos implementados.

El Capítulo 4 está destinado al diseño del sintetizador de frecuencias que permite generar los tonos de oscilador local y el reloj de muestreo. En la arquitectura propuesta se utilizan de sintetizadores de frecuencias basados en PLLs. Se describe el diseño y se determinan los componentes a utilizar. Se implementa un prototipo y se presentan los resultados obtenidos a partir de las mediciones efectuadas al mismo.

El Capítulo 5 corresponde al diseño del amplificador de bajo ruido y de banda ancha capaz de operar tanto en la banda L1 como en la banda L2. Se opta por un esquema con realimentación para lograr una característica de ganancia estable y de baja figura de ruido en un ancho de banda amplio. Se detalla el diseño elegido y se muestran los resultados obtenidos por simulación y con señales de RF reales.

En el Capítulo 6 se presenta el diseño definitivo del cabezal de RF multifrecuencia y multi-constelación, el cual está basado en los diseños propuestos los capítulos anteriores. Este cabezal de RF está integrado en una única placa que incluye las etapas de RF y conversión a FI, así como la síntesis de frecuencias. En particular se describe el diseño propuesto y se muestran los resultados de las mediciones y pruebas realizadas.

Finalmente, en el Capítulo 7 se exponen las conclusiones finales obtenidas a lo largo del desarrollo de la presente tesis.

Capítulo 2

Cabezales de RF para Receptores GNSS

La tecnología SDR en general se refiere receptores o transmisores cuyos parámetros principales están definidos por software y en los cuales sus aspectos fundamentales de operación pueden ser reconfigurados modificando dicho software [10]. Por lo tanto, el término SDR hace referencia a una clase de dispositivos de radio reprogramables, es decir en los cuales una misma pieza de hardware puede ser utilizada para realizar diferentes funciones programadas mediante software. Probablemente todos los receptores GNSS que se encuentran en producción en la actualidad utilizan técnicas digitales implementadas por software para realizar el procesamiento de las señales, es decir se trata en cierta forma de receptores tipo SDR.

En este capítulo se dará una breve descripción del esquema básico de un receptor GNSS haciendo énfasis en el hardware. Luego se pasará a describir las diferentes arquitecturas existentes para los cabezales de RF, enunciando sus ventajas y desventajas. Finalmente, en base a lo expuesto se escogerá la arquitectura que resulte más beneficiosa para su implementación.

2.1. Esquema Básico de un Receptor GNSS

Típicamente un receptor GNSS está conformado por tres bloques principales: un cabezal de RF, donde se reciben y acondicionan las señales provenientes de la antena; una etapa de digitalización, encargada de convertir estas las señales al dominio digital; y una etapa de procesamiento en la cual, mediante el uso de técnicas digitales se obtiene la solución de posición [11]. La Fig. 2.1 muestra el esquema básico de un receptor GNSS.

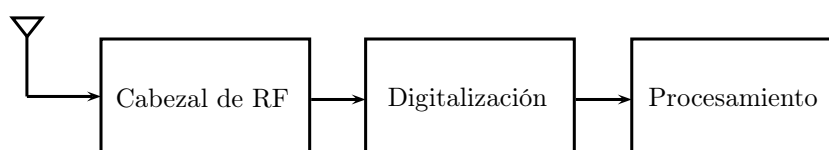


Figura 2.1: Esquema general de un receptor GNSS.

El cabezal de RF tiene como objetivos seleccionar y amplificar las bandas de señales de interés. El primer elemento del cabezal de RF es la antena, que recibe las señales de radio provenientes de los satélites. A continuación se coloca un amplificador de bajo ruido (LNA), que determina la figura de ruido del sistema y un filtro pasabanda (BPF) para seleccionar el rango de frecuencias de interés, así como reducir ruido y rechazar posibles interferencias como la frecuencia imagen. En este punto, por lo general, la señal de RF se convierte a una frecuencia intermedia (FI) menor. Esta conversión se efectúa por medio de la multiplicación de la señal de RF por otra, denominada oscilador local (OL), la cual es generada mediante un sintetizador de frecuencias. Algunos receptores pueden utilizar múltiples conversiones a distintas FI en forma decreciente por razones prácticas que se abordarán más adelante. En otros casos se recurre a la conversión en fase y cuadratura desfasando la señal de OL. Finalmente, se realiza un filtrado adicional que proporciona la selectividad final del receptor, y se colocan los bloques de amplificación necesarios para alcanzar el nivel de señal adecuado para excitar a la etapa de digitalización posterior. Cabe destacar que en algunos receptores no se efectúa conversión a FI, por lo que las señales provenientes de la antena son digitalizadas en forma directa.

La etapa de digitalización realiza la conversión de la señal de FI al dominio digital. Esta operación se efectúa con un conversor analógico a digital (AD) adecuado para la frecuencia y el ancho de banda de las señales. La conversión de la señal de RF a FI permite reducir su frecuencia central, de manera que no sea necesario utilizar un conversor AD de gran ancho de banda.

Una vez que se tiene la señal digitalizada se realiza su procesamiento en un dispositivo lógico programable como una FPGA o un circuito integrado para aplicaciones específicas (ASIC) diseñado para llevar a cabo el procesamiento digital necesario. En esta etapa generalmente hay asociado un microprocesador que entre otras tareas se encarga de manejar las interfaces y de realizar el cálculo de la solución de navegación.

De acuerdo a lo expuesto anteriormente, en un receptor GNSS la única etapa que puede considerarse específica es el cabezal de RF debido a que debe ser correctamente diseñado para tener la capacidad de manejar los niveles de señal esperados, así como las frecuencias de interés con su respectivo ancho de banda. El resto de las etapas pueden ser implementadas con dispositivos genéricos. Para la etapa de digitalización es posible utilizar una placa adquisidora, y para la etapa de procesamiento una plataforma de desarrollo con una FPGA o un DSP en donde se implemente el software de procesamiento. Este software puede ser reconfigurado por el usuario sin necesidad de modificar el hardware del receptor [11]. La única información que requiere la etapa de procesamiento son las muestras de las señales GNSS recibidas.

Este tipo de configuración brinda una gran versatilidad, ya que una vez que se tiene las señales en el dominio digital es posible utilizar diversas técnicas de procesamiento de señales para obtener la información necesaria. Las muestras pueden ser almacenadas en una memoria para ser procesadas posteriormente o pueden procesarse en tiempo real.

2.2. Arquitecturas de Cabezales de RF

En esta sección se hará un recorrido por las distintas arquitecturas que permiten implementar un cabezal de RF. Se expondrán sus ventajas y desventajas como punto de partida para luego elegir la más conveniente.

2.2.1. Receptor Homodino

Esta arquitectura, cuyo diagrama de bloques se muestra en la Fig. 2.2, utiliza un mezclador y un oscilador local para realizar la conversión de las señales de RF a frecuencia intermedia cero. Por lo tanto, la frecuencia del oscilador local f_{OL} debe ser la misma que la de la señal de RF de interés f_{RF} , la cual resulta convertida banda base.

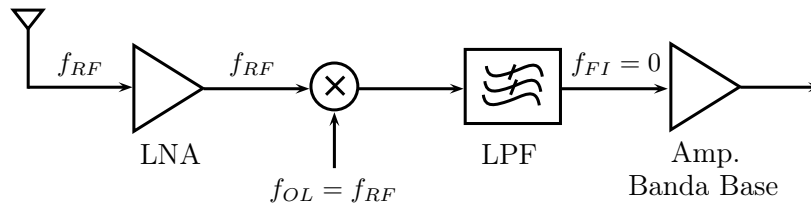


Figura 2.2: Receptor homodino.

Una ventaja del receptor homodino es que elimina el problema de la frecuencia imagen debido a que la diferencia de frecuencia entre la señal de RF y la de OL es cero. Por otra parte, la suma de las frecuencias resulta ser el doble de la frecuencia de oscilador local, por lo que puede ser fácilmente filtrada luego de la mezcla con un filtro pasabajos (LPF) [12]. Al poder prescindir del filtro de frecuencia imagen, que generalmente es voluminoso, los costos se reducen. Por esta misma razón es una arquitectura relativamente fácil de integrar.

Una de sus grandes desventajas consiste en que el OL debe ser altamente preciso y estable para evitar el corrimiento en la frecuencia de la señal recibida, especialmente cuando la señal de RF es de alta frecuencia. Sin embargo, quizás la mayor limitación de esta arquitectura es su susceptibilidad a varias fuentes de ruido en banda base, lo que produce corrimientos del nivel de continua (DC offset). En particular, aparece el problema del ruido flicker, también conocido como $1/f$ debido a que su densidad espectral de potencia es inversamente proporcional a la frecuencia [13]. Este tipo de ruido es generado por los dispositivos activos y posee una fuerte componente en banda base, lo que resulta en una degradación en la señal deseada. Por otra parte, cuando el requerimiento de ganancia es importante exige una fuerte amplificación en RF, lo cual puede conducir a inestabilidades.

Otra cuestión a tener en cuenta es que el oscilador local opera a la misma frecuencia que la señal de interés. Por lo tanto puede producirse acoplamiento de la señal de OL en RF, por ejemplo, a través de la antena. Esta señal espuria al mezclarse nuevamente con el OL principal genera un error en banda base conocido como offset de continua. Una posible solución a este

problema es utilizar un mezclador que asegure una elevada aislación entre los puertos de OL y RF [14].

2.2.2. Receptor Superheterodino

El receptor superheterodino es el más utilizado en la actualidad. Se emplea en equipos de radio, televisión, sistemas de radar, telefonía celular y sistemas de comunicaciones en general [12]. Su esquema se muestra en la Fig. 2.3 en donde pueden observarse algunas similitudes con el receptor homodino. La principal diferencia es que ahora la FI no es cero, sino que su valor típicamente se elige entre la frecuencia de RF y banda base.

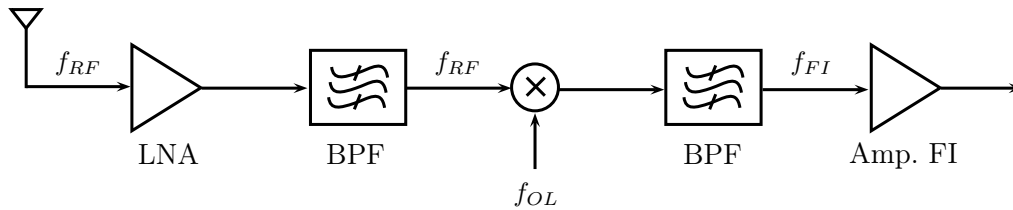


Figura 2.3: Receptor superheterodino.

A diferencia del esquema homodino en el que la frecuencia del OL está sincronizada con la señal de RF, en el receptor superheterodino la frecuencia de OL está corrida en una cantidad fija respecto de la frecuencia de la señal de RF de interés. Esta cantidad fija es el valor de la FI. La utilización de una FI menor a la RF permite emplear filtros con bandas de transición más angostas mejorando la selectividad. La sintonización puede realizarse variando la frecuencia del oscilador local, por lo que la frecuencia intermedia se mantiene constante.

Esta arquitectura permite repartir la ganancia entre las etapas de RF y FI, lo que reduce el riesgo de que se produzcan inestabilidades. Esto es una ventaja en aplicaciones cuyo requerimiento de ganancia es elevado debido a que es posible incluir una mayor cantidad de etapas de amplificación. Sin embargo, una desventaja respecto al esquema homodino es que se debe rechazar la frecuencia imagen, para lo cual es necesario colocar un filtro de RF. Esto hace que el receptor sea más costoso. No obstante, el receptor superheterodino es aún popular debido a su capacidad de manejar señales de alta frecuencia y ancho de banda angosto con presencia de interferencias fuera de banda pero cercanas.

Múltiple Conversión

En un receptor superheterodino existe un compromiso en la elección de la frecuencia intermedia. Si se elige una FI alta, la diferencia entre la señal deseada y su frecuencia imagen es grande. En este caso es sencillo rechazar la frecuencia imagen utilizando un filtro de RF moderadamente selectivo, de los que abundan en el mercado. Por el contrario, si se opta por una FI baja se tiene la ventaja de que los amplificadores y los filtros de frecuencia intermedia operan a menor frecuencia por lo que son más sencillos de implementar y menos costosos. El problema

ahora reside en que la frecuencia imagen estará localizada cerca de la frecuencia de interés, de manera que será necesario emplear un filtro de RF extremadamente selectivo. Este tipo de filtros es costoso, difícil de implementar e introduce pérdidas de inserción elevadas.

En las situaciones en las cuales este compromiso no puede solucionarse usando una única frecuencia intermedia, se recurre al uso de múltiples conversiones. Típicamente se emplea doble conversión, aunque existen aplicaciones en las que se usan hasta tres conversiones. En la Fig. 2.4 se presenta un diagrama de bloques de un receptor superheterodino de doble conversión. El concepto es usar una primera frecuencia intermedia alta para alcanzar el nivel de rechazo de frecuencia imagen deseado. Luego, una segunda frecuencia intermedia baja con el objetivo de proveer la selectividad necesaria, que podría quedar establecida por los requerimientos de atenuación en las bandas de frecuencia adyacentes.

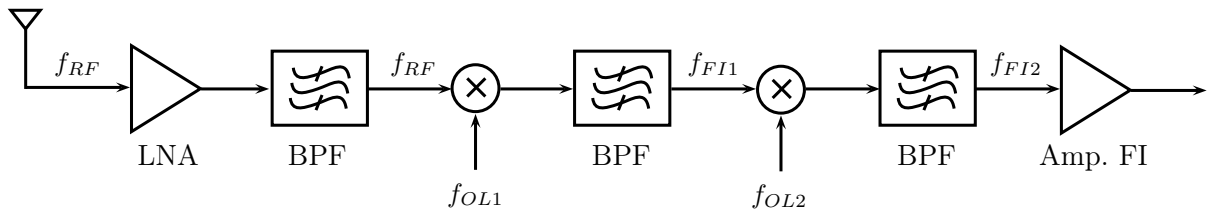


Figura 2.4: Receptor superheterodino de doble conversión.

La desventaja evidente de este esquema es su mayor complejidad. Se debe emplear un mezclador y un filtro adicional, sin perder de vista que es necesario generar un segundo tono de OL, lo cual agrega aún más complejidad al circuito. Sin embargo, en algunas aplicaciones todavía constituye una alternativa atractiva, especialmente para frecuencias de portadora muy altas.

2.2.3. Conversión en Fase y Cuadratura

Cuando la señal recibida posee modulación en cuadratura es necesario utilizar dos mezcladores para obtener ambos canales, que es lo mismo que la amplitud y fase de la envolvente compleja de la señal. Esto es porque las dos bandas laterales del espectro de RF contienen información diferente y si se solapan al realizar una mezcla no es posible recuperar dicha información. A fin de explicar con más detalle lo expuesto anteriormente, a continuación se presenta una justificación matemática. Sea $x_{BP}(t)$ es una señal pasabanda definida como

$$x_{BP} = x(t)e^{j2\pi f_c t} \quad (2.1)$$

donde $x(t)$ es una señal de envolvente compleja, es decir

$$x(t) = x_I(t) + jx_Q(t) \quad (2.2)$$

y las dos bandas laterales de $x_{BP}(t)$ no son necesariamente simétricas.

La señal real pasabanda puede escribirse como [15]

$$x_{RBP}(t) = \Re\{x(t)e^{j2\pi f_c t}\} = x_I(t) \cos(2\pi f_c t) - x_Q(t) \sen(2\pi f_c t) \quad (2.3)$$

Para obtener toda la información contenida en la envolvente compleja $x(t)$ es necesario tener las dos señales reales $x_I(t)$ y $x_Q(t)$, que se denominan componentes en fase y cuadratura de $x(t)$. Sin embargo, llevar a cabo una conversión real sólo permite hallar una señal real $x_1(t)$

$$\begin{aligned} x_1(t) &= x_{RBP}(t) \cos(2\pi f_c t + \varphi_1) \\ &= x_I(t) \cos(2\pi f_c t) \cos(2\pi f_c t + \varphi_1) - x_Q(t) \sen(2\pi f_c t) \cos(2\pi f_c t + \varphi_1) \end{aligned} \quad (2.4)$$

Desarrollando (2.4) y usando algunas identidades trigonométricas se obtiene

$$x_1(t) = x_I(t) \frac{\cos(4\pi f_c t + \varphi_1) + \cos(\varphi_1)}{2} + x_Q(t) \frac{-\sen(4\pi f_c t + \varphi_1) + \sen(\varphi_1)}{2} \quad (2.5)$$

Luego, si se aplica un filtro pasabajos para remover las componentes de doble frecuencia de (2.5) resulta

$$x_1(t) = \frac{1}{2} [x_I(t) \cos(\varphi_1) + x_Q(t) \sen(\varphi_1)] \quad (2.6)$$

El resultado es una combinación de las señales $x_I(t)$ y $x_Q(t)$, por lo tanto es necesaria una observación más para poder separar ambas componentes. Esto podría realizarse mediante otra conversión real, pero esta vez usando $\cos(2\pi f_c t + \varphi_2)$. Escribiéndolo en forma matricial se tiene

$$\begin{bmatrix} x_1(t) \\ x_2(t) \end{bmatrix} = \frac{1}{2} \begin{bmatrix} \cos(\varphi_1) & \sen(\varphi_1) \\ \cos(\varphi_2) & \sen(\varphi_2) \end{bmatrix} \begin{bmatrix} x_I(t) \\ x_Q(t) \end{bmatrix} \quad (2.7)$$

Las componentes $x_I(t)$ y $x_Q(t)$ pueden obtenerse si la matriz es no singular. En general, se utiliza $\varphi_1 = 0$ y $\varphi_2 = \pi/2$. Sin embargo, a partir de (2.7) es posible concluir que mientras que las fases sean conocidas y que la matriz sea invertible, no es necesario que la diferencia de fase sea 90° .

En la práctica existen dos modos de realizar la conversión en fase y cuadratura, los cuales se presentan en la Fig. 2.5. En el primer esquema (Fig. 2.5a) la entrada se divide en dos canales, generando un corrimiento relativo de 90° entre ambos. Luego, a partir de un oscilador local se derivan dos OL en fase para realizar la mezcla en cada canal. En el segundo esquema (Fig. 2.5b), la señal de entrada se divide en dos canales en fase y se utiliza un híbrido de cuadratura para generar dos osciladores locales desfasados 90° [12]. Luego, con estos osciladores desfasados se realiza la mezcla para obtener los canales I y Q. Este segundo esquema es el más utilizado debido a que es más sencillo de implementar y menos riesgoso. Desfasar el OL es conveniente

por tratarse de un tono, es decir una señal de banda angosta. Además, existen circuitos que permiten generar dos tonos desfasados 90° entre sí [16].

Como puede verse, cualquiera de los dos esquemas requieren más componentes de hardware porque se tiene un canal adicional. Por otra parte, resulta complicado mantener un balance exacto en la amplitud y la fase de los dos canales. Una ventaja es que cada canal contiene la mitad de la información, por lo tanto la tasa de muestreo necesaria para cada canal también se reduce a la mitad.

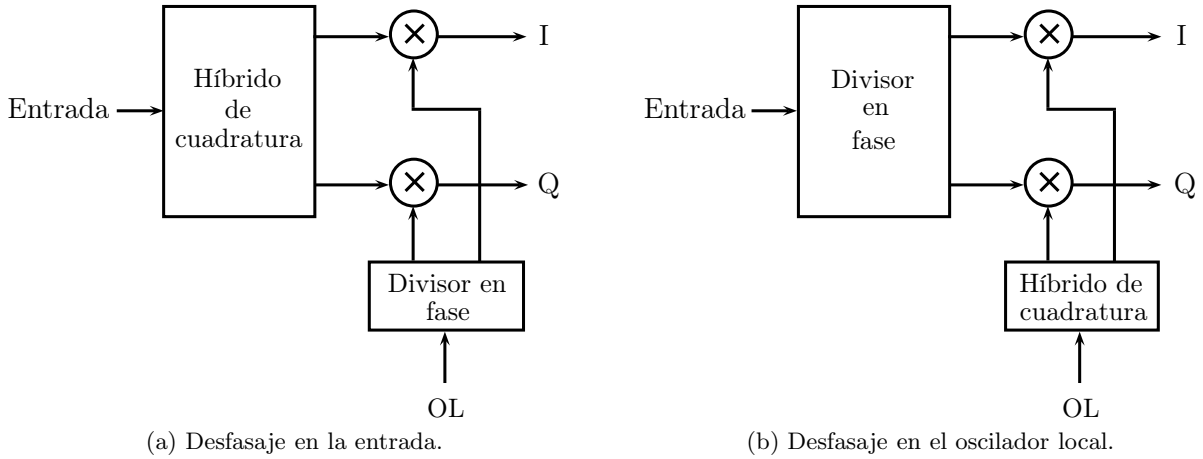


Figura 2.5: Esquema de conversión en fase y cuadratura.

A continuación se dará una descripción de las dos arquitecturas más utilizadas y se puntualizarán sus ventajas y desventajas.

Frecuencia Intermedia Cero

Es similar al receptor homodino en el sentido de que la señal de RF se mezcla con un OL de igual frecuencia, lo cual se traduce en que la señal de interés queda localizada en banda base. La diferencia con el receptor homodino descrito en la Subsección 2.2.1 es que, en este caso, se obtienen las componentes en fase y cuadratura en lugar de la señal real. La Fig. 2.6 es un diagrama de bloques esta arquitectura.

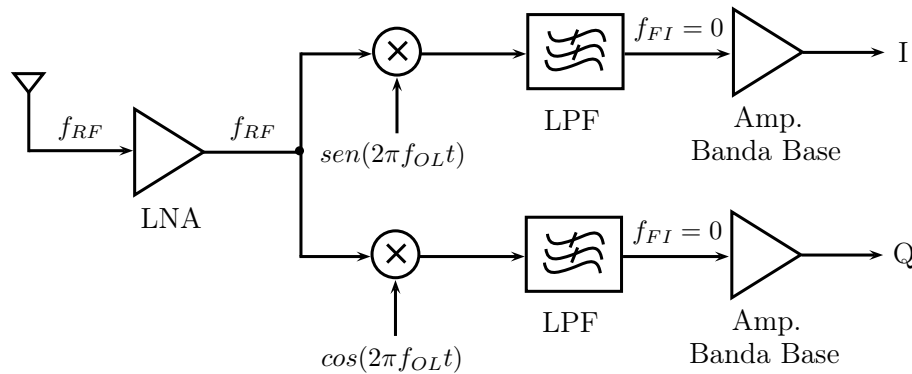


Figura 2.6: Esquema de frecuencia intermedia cero.

Sus ventajas son similares a las mencionadas para el receptor homodino. Entre éstas se destacan la eliminación del problema de la frecuencia imagen, y en consecuencia la posibilidad evitar el uso de un filtro de RF. Esto hace que sea una arquitectura altamente integrable, además de ser compatible con múltiples estándares de comunicación.

Las desventajas son básicamente las mismas que las del receptor homodino: problemas de offset, ruido flicker y acoplamiento del OL. También se suma que los desbalances entre las dos ramas conllevan a una degradación en el desempeño del receptor [17].

Frecuencia Intermedia Baja

Es muy similar a la arquitectura de frecuencia intermedia cero, sólo que en lugar de trasladar la señal de interés a banda base se la lleva a una FI baja. El objetivo es eliminar los problemas de offset de continua y ruido flicker. Entonces la frecuencia de oscilador local f_{OL} es levemente distinta a la frecuencia de la señal de interés f_{RF} , esa diferencia es la frecuencia intermedia resultante. La Fig. 2.7 es un diagrama de bloques de esta arquitectura.

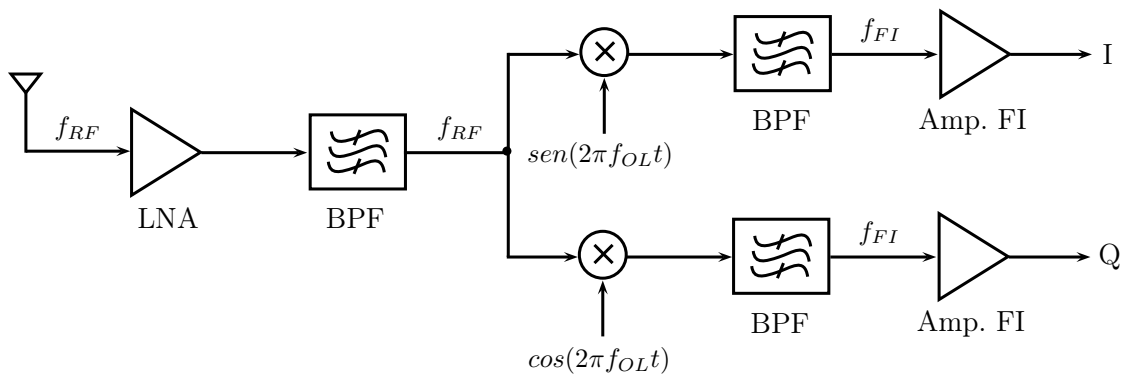


Figura 2.7: Esquema de frecuencia intermedia baja.

Su mayor ventaja, como se dijo anteriormente, es la eliminación del problema del offset de continua. La gran desventaja es que no posee rechazo de frecuencia imagen, por lo que es necesario colocar un filtro para atenuarla. En este sentido ya se mencionaron los inconvenientes que ocasiona dicho filtro cuando el objetivo es la integración. Sin embargo, cabe destacar que existen mezcladores que proporcionan rechazo a la frecuencia imagen. Más información al respecto puede encontrarse en [16].

2.3. Digitalización de las Señales

El enfoque tradicional consiste en realizar la digitalización de las señales luego de la mezcla, es decir a continuación de las etapas de amplificación en FI. Sin embargo, con los avances en el procesamiento digital de señales se está logrando llevar funciones que antes se realizaban en hardware al dominio digital. Esta es la filosofía Software Defined Radio, que los últimos años ha experimentado enorme crecimiento debido a que permite obtener receptores más sencillos y

flexibles, aptos para múltiples aplicaciones. En este sentido, se distinguen dos esquemas diferentes los cuales se describen a continuación.

2.3.1. Fase y Cuadratura Digital

Una posibilidad es utilizar una arquitectura superheterodina como la descrita anteriormente y aprovechar las ventajas del procesamiento digital y la capacidad de programación de dispositivos como DSPs y FPGAs para obtener las componentes en fase y cuadratura de la señal digitalizada en frecuencia intermedia [11]. Esto permite eliminar el problema de los desbalances entre las ramas I y Q, por lo que es una solución ampliamente difundida para numerosas aplicaciones [18].

2.3.2. Digitalización Directa

Otra alternativa es digitalizar en forma directa las señales provenientes de la antena, sin realizar ninguna conversión de frecuencia, tal como se muestra en la Fig. 2.8. En esta configuración los únicos componentes necesarios son filtros y amplificadores. Los amplificadores proveen la ganancia necesaria para obtener un nivel de señal adecuado para excitar al conversor AD. El filtro pasabanda a continuación del LNA se utiliza para seleccionar la banda de frecuencias de interés y para rechazar posibles interferencias fuera de banda. Finalmente, otro filtro limita el ancho de banda de ruido a la entrada del conversor AD.

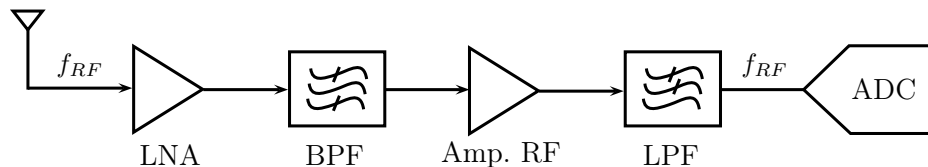


Figura 2.8: Receptor de conversión directa.

La digitalización directa tiene la ventaja de que no requiere la generación de un oscilador local ni la utilización de un mezclador. La generación de un tono de oscilador local implica circuitería adicional que puede introducir interferencias, por su parte el mezclador es un dispositivo no lineal que produce frecuencias espurias. Sin embargo, debe tenerse presente que con esta arquitectura no se elimina la necesidad de generar el reloj de muestreo para el conversor AD. En este punto, una cuestión a considerar es el ruido de fase en el reloj de muestreo, ya que incluso bajos niveles de jitter pueden degradar el desempeño del receptor debido a que la señal de interés es de frecuencia elevada [19].

La mayor desventaja de la digitalización directa está relacionada con el ancho de banda del conversor AD. Si bien puede aplicarse la técnica de muestreo pasabanda, el conversor AD debe tener un tiempo de apertura suficientemente pequeño para poder manejar la frecuencia de portadora sin distorsionar a la señal [20]. Los conversores AD de gran ancho de banda aún son

costosos y su consumo de potencia es elevado. Además, con este esquema surge la necesidad de utilizar filtros y amplificadores que operan en RF, es decir a altas frecuencias. Por lo tanto, para evitar inestabilidades la cantidad de amplificación que se puede proporcionar es limitada. Otro inconveniente proviene de la necesidad de utilizar filtros relativamente estrechos. Los filtros resultantes son de alto factor de mérito (Q) y, por lo tanto, sus pérdidas de inserción son considerables.

2.4. Elección de la Arquitectura

Habiéndose descrito las principales arquitecturas que permiten implementar un cabezal de RF se está en condiciones de evaluar, en función las ventajas y desventajas de cada una, cuál es la más adecuada para nuestra aplicación. Debe tenerse presente que el objetivo de esta tesis es obtener un cabezal de RF para un receptor GNSS multifrecuencia y multiconstelación. Tal como se mencionó en el Capítulo 1, dicho receptor será utilizado como plataforma de prueba para algoritmos de adquisición, seguimiento y navegación. Para este tipo de aplicación es deseable poder probar diferentes configuraciones de funcionamiento por lo que es necesario contar con un hardware versátil, cuyos parámetros puedan ser modificados. Por otra parte, es importante que el cabezal cuente con características como baja figura de ruido, alto rechazo a la frecuencia imagen, buena estabilidad de frecuencia y baja distorsión, a fin de obtener señales de buena calidad para su procesamiento.

Si bien es posible integrar el cabezal de RF en forma completa en un único chip [6] [7] [8], las ventajas que esto ofrece están relacionadas con la miniaturización, la reducción del consumo y la disminución de costos a gran escala. Sin embargo, para los objetivos planteados en esta tesis este no parece ser el camino. Lo que se busca es obtener un hardware de altas prestaciones, mientras que otros aspectos como el consumo de potencia y el tamaño resultan secundarios en un receptor de laboratorio. En este punto, la alternativa de implementar el cabezal de RF con componentes discretos, los cuales se ofrecen con distintas calidades, resulta ser la opción más razonable.

El esquema homodino tiene como principal punto a favor que evita el uso del filtro de rechazo de frecuencia imagen. Sin embargo, esto no constituye una ventaja de peso para una implementación discreta, ya que podría utilizarse un filtro de RF tipo SAW [21] [22]. Estos filtros son poco costosos, fáciles de conseguir en el mercado para las frecuencias a las que operan los GNSS, y en los últimos años se ha logrado reducir considerablemente su tamaño. En cambio, las desventajas del receptor homodino, fundamentalmente el problema del acoplamiento del OL y el offset de continua, así como el ruido flicker, resultan en problemas serios que pueden afectar fuertemente su desempeño. Por lo tanto, esta arquitectura queda descartada para una posible implementación.

El receptor superheterodino permite solucionar algunos de los inconvenientes del receptor homodino. Como se mencionó anteriormente, el problema de la frecuencia imagen puede mitigarse empleando un filtro de los que abundan en el mercado. Gracias al crecimiento explosivo de las aplicaciones de los GNSS, el mercado ha respondido ofreciendo numerosos componentes para uso específico en receptores GNSS. Entre ellos filtros en las bandas de frecuencias en las que transmiten los distintos sistemas. Por lo tanto, el compromiso existente en la arquitectura superheterodina entre el valor de la FI y la selectividad en cierto modo ha dejado de ser un problema por la variedad de filtros disponibles. Más de una década atrás cuando había menos componentes disponibles y la tecnología estaba menos desarrollada se planteaban diseños de múltiple conversión [23]. Actualmente es posible encontrar un balance adecuado sin tener que recurrir a múltiples conversiones, sobre todo teniendo en cuenta que las bandas de frecuencia son relativamente anchas y que se encuentran suficientemente separadas [24]. Por ejemplo, en L1 el ancho de banda de la señal de GPS es aproximadamente 10MHz al igual que la señal de GLONASS, y ambas bandas están separadas por alrededor de 30MHz.

Las arquitecturas de conversión en fase y cuadratura resultan aptas para la integración, ya que permiten implementar las ramas I y Q en un área pequeña de sustrato, con lo cual los problemas de desbalance pueden ser controlados más fácilmente [25] [26] [27]. En una implementación discreta la cantidad adicional de componentes que se requiere respecto a las otras arquitecturas hace que el circuito resultante sea más complejo y, por lo tanto, más propenso a errores. Por otra parte, es más difícil evitar los desbalances entre las ramas, los cuales resultan en una degradación importante en el desempeño del receptor.

En este sentido la solución más adecuada para una implementación discreta es aprovechar las bondades del procesamiento de señales para obtener las componentes en fase y cuadratura en forma digital. Esto puede realizarse con un esquema de conversión superheterodino tradicional, muestreando la señal en frecuencia intermedia. Una vez obtenidas las muestras, éstas pueden procesarse con un DSP o una FPGA [9]. De esta forma se evita el problema de los desbalances, que incluso pueden ser de importancia en diseños integrados.

Finalmente, se harán algunos comentarios acerca de la digitalización directa. Si bien actualmente existen conversores AD que permiten manejar las señales GNSS, su costo es muy elevado. Por otra parte involucran un consumo de potencia excesivo por las altas tasas de muestreo necesarias [28] [29] [30]. En relación a la tasas de muestreo, la cantidad de datos generados se vuelve difícil de procesar y almacenar. Sin perder de vista los cuidados que deben tenerse cuando se trabaja con señales digitales de alta velocidad [31]. Además existe el problema del ruido de fase en el reloj de muestreo, que puede degradar fuertemente el desempeño del receptor. Por todas estas razones, este tipo de implementación no resulta conveniente para un receptor de altas prestaciones.

De acuerdo a lo dicho anteriormente, la arquitectura elegida es la de un receptor superheterodino de simple conversión. Las señales provenientes de la antena son amplificadas mediante un

LNA y luego son filtradas para atenuar suficientemente la frecuencia imagen y para seleccionar la banda de interés. En este punto se realiza la conversión a frecuencia intermedia mediante la mezcla de la señal de RF con un tono de oscilador local de la frecuencia adecuada. Por último, se filtra para proveer la selectividad final y se amplifica para proporcionar la ganancia suficiente para excitar correctamente a la etapa de digitalización posterior. Cabe mencionar que en este tipo de aplicaciones no es necesario realizar un control de ganancia en RF debido a que las señales recibidas son muy débiles, normalmente el control de ganancia se efectúa en FI para evitar la saturación del conversor AD de la etapa de digitalización. El cabezal de RF así implementado puede ser conectado a una placa adquisidora para realizar el muestreo de la señal de FI. A partir de las muestras es posible obtener las componentes en fase y cuadratura mediante procesamiento, para luego aplicar algoritmos específicos.

2.5. Requerimientos de Diseño

Con la arquitectura definida resta determinar los requerimientos de diseño que deberá satisfacer el cabezal de RF para cumplir con los objetivos que motivaron la realización de la presente tesis, los cuales fueron descritos en el Capítulo 1. Si bien los requerimientos establecidos serán desarrollados en detalle y fundamentados en los sucesivos capítulos en los que se describirán los distintos bloques que componen el cabezal de RF, para resaltar las características del diseño en la Tabla 2.1 se resumen los requerimientos principales.

Característica	Requerimiento
Bandas de frecuencia	L1 y L2
Constelaciones	GPS y GLONASS
Figura de ruido total	< 2dB
Rechazo de frecuencia imagen	> 30dB
Ganancia mínima	> 68dB
Estabilidad en frecuencia	< 2.5ppm
Ruido de fase del OL	< -74dBc/Hz @ 10kHz
Jitter del reloj de muestreo	< 10ps

TABLA 2.1: Requerimientos de diseño.

2.6. Conclusiones

Se presentó el esquema básico de un receptor GNSS y se describieron brevemente sus etapas principales. Posteriormente, se profundizó en el cabezal de RF por ser el tema de la presente tesis. Se realizó un repaso de las distintas arquitecturas que permiten implementar un cabezal de RF. Para cada caso se dio una descripción general, se presentó el diagrama de bloques típico y se expusieron las ventajas y desventajas, considerando fundamentalmente los aspectos prácticos.

En base al análisis realizado y teniendo presente que se llevará a cabo una implementación discreta, se escogió la arquitectura que resultó ser más ventajosa para la presente tesis. Se des-

cartaron los esquemas homodinos por los serios inconvenientes que presentan en relación al offset de continua y al acoplamiento del OL. También se decidió evitar las arquitecturas de conversión en fase y cuadratura por su complejidad y por el problema de los desbalances entre ramas, aunque se dejó en claro que para diseños integrados son atractivas. En consecuencia, se optó por el tradicional esquema superheterodino con una conversión a frecuencia intermedia. Si bien este esquema presenta el problema de la frecuencia imagen, su solución en una implementación discreta como la propuesta es sencilla.

Capítulo 3

Diseño Preliminar del Cabezal de RF

En este Capítulo se presenta el diseño y la implementación un cabezal de RF básico que constituyó el paso previo para la obtención del diseño final. Este cabezal de RF es capaz de operar en dos configuraciones de hardware diferentes: con señales las bandas L1/E1 de GPS/Galileo y la banda L1 de GLONASS, o con la banda L2 tanto de GPS como de GLONASS. Ambos modos de operación pueden ser implementados en el mismo circuito impreso reemplazando algunos pocos componentes.

3.1. Introducción

De acuerdo a lo expuesto en el Capítulo 2 la arquitectura elegida para implementar este cabezal es la conocida como superheterodina. En particular, el diseño propuesto utiliza un esquema de simple conversión. El cabezal de RF toma las señales de L1 o L2 de GPS y GLONASS provenientes de una antena y provee el filtrado y la ganancia necesarios para excitar adecuadamente a la etapa de digitalización que se coloque a continuación. Respecto a la etapa de digitalización, el uso de una frecuencia intermedia moderadamente baja permite emplear un conversor AD con frecuencia de muestreo relativamente baja, lo que implica un menor consumo de potencia y un costo reducido.

El presente diseño está orientado a la recepción de señales diferentes dependiendo de la configuración de hardware elegida. En el modo L1, el cabezal de RF puede ser utilizado para recibir el código C/A de la portadora L1 de GPS, la señal E1 de Galileo y la banda L1 de GLONASS. En cambio, en el modo L2 el cabezal de RF es apto para recibir las señales L2C de GPS y la banda L2 de GLONASS. Cabe aclarar que se descartó el código P debido a que actualmente está encriptado y sólo puede ser empleado por usuarios autorizados. En la Tabla 3.1 se muestra el rango de frecuencias de interés para ambos modos de funcionamiento. Se puede observar que este rango de frecuencias tiene un ancho de banda máximo de aproximadamente 36MHz. Por lo tanto, para satisfacer el teorema del muestreo es necesario utilizar una tasa de muestreo mayor a 72Msps. Si bien con los conversores AD actuales es posible alcanzar estas

tasas de muestreo, esto produce una gran cantidad de información que debe ser procesada y almacenada, además de un consumo de potencia considerable. Por consiguiente, para una implementación práctica con la tecnología actual, estos problemas resultan relevantes.

Configuración	Banda	Rango de Frecuencias [MHz]
Modo L1	L1/E1 GPS/Galileo	1570 to 1580
	L1 GLONASS	1598 to 1606
Modo L2	L2C GPS	1222 to 1232
	L2 GLONASS	1242 to 1249

TABLA 3.1: Rango de frecuencias de interés.

3.2. Diseño Propuesto

Teniendo en cuenta que las porciones del espectro comprendidas entre 1580MHz y 1598MHz, y entre 1232MHz y 1243MHz no contienen información útil, se consideró la alternativa de separar las bandas de GPS/Galileo y GLONASS antes de llevar a cabo la digitalización. En este caso, se logra una significativa reducción de las tasas de muestreo necesarias, simplificando la etapa de digitalización en relación a los requerimientos de procesamiento, almacenamiento de información y consumo de potencia.

El esquema superheterodino propuesto consiste en una etapa de RF con un LNA que fija la figura de ruido del cabezal de RF completo. Luego, la señal de RF se convierte a frecuencia intermedia mediante su mezcla con un oscilador local externo. Finalmente, las bandas de GPS/Galileo y GLONASS son amplificadas y luego separadas a través de un duplexor. En la Fig. 3.1 se muestra un diagrama de bloques del cabezal de RF propuesto.

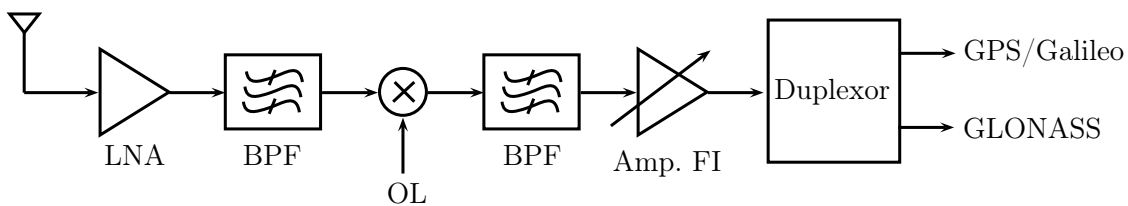


Figura 3.1: Diagrama de bloques de cabezal de RF.

3.2.1. Plan de Frecuencias

La mezcla de una señal de RF de frecuencia central f_{RF} con un tono de oscilador local de frecuencia f_{OL} genera numerosos productos de intermodulación. Considerando que se cumple que $f_{OL} < f_{RF}$, el producto de primer orden $f_{RF} - f_{LO}$ traslada la información desde RF a una frecuencia intermedia f_{FI} dada por [15]

$$f_{FI} = f_{RF} - f_{OL} \quad (3.1)$$

Generalmente, dentro de la señal de RF existe una segunda frecuencia que cuando se mezcla con el OL se superpone con la señal de interés en FI. Esta frecuencia es conocida como frecuencia imagen y se puede calcular mediante la siguiente expresión

$$f_{im} = f_{RF} - 2f_{FI} \quad (3.2)$$

Para reducir la distorsión producida en la señal de interés y evitar que ésta repercuta en el desempeño del receptor, la frecuencia imagen debe ser suficientemente atenuada antes de llevar a cabo la mezcla. Esto puede hacerse mediante un adecuado filtrado de la señal de RF. Observando (3.2) se puede llegar a la conclusión de que si se elige una FI demasiado baja, la frecuencia imagen se vuelve cercana a la señal de RF. Por lo tanto, se requiere un filtro extremadamente selectivo para proveer la atenuación suficiente. En este punto cabe aclarar que para las señales GNSS una atenuación de la frecuencia imagen mayor a 30dB es adecuada. Es importante resaltar que un filtro muy selectivo a estas frecuencias, además de que puede ser costoso y difícil de conseguir, implica grandes pérdidas de inserción.

Otra cuestión a tener en cuenta para elegir la frecuencia intermedia está relacionada con el ancho de banda del conversor AD de la etapa de digitalización. Dicho conversor debe tener un ancho de banda compatible con las señales de FI. Es decir, es necesario que su ancho de banda B_{AD} verifique la siguiente condición

$$B_{AD} = f_{FI} + \frac{B_{RF}}{2} \quad (3.3)$$

donde B_{RF} es el ancho de banda de las señales de interés.

Una FI alta requiere de un conversor AD de ancho de banda amplio, lo que implica un mayor costo. Sin embargo, relaja las condiciones sobre el filtro de RF en relación a la atenuación de la frecuencia imagen. Por lo tanto, para la selección de la frecuencia intermedia existe un compromiso entre el costo del conversor AD y la atenuación de la frecuencia imagen, además de las cuestiones planteadas en el Capítulo 2. Entonces, considerando la atenuación que puede alcanzarse con filtros comerciales y el ancho de banda del conversor AD, una FI de aproximadamente 45MHz constituye una elección razonable. Por otra parte, a estas frecuencias es posible implementar fácilmente los filtros de FI y los duplexores, además de que es sencillo conseguir amplificadores integrados.

Usando (3.1) la frecuencia de OL necesaria puede obtenerse como

$$f_{OL} = f_{RF} - f_{FI} \quad (3.4)$$

donde f_{RF} es el centro de la banda comprendida entre 1570MHz y 1606MHz para el modo L1, o el centro de la banda entre 1222MHz y 1249MHz para el modo L2. Por lo tanto, usando una f_{FI} cercana a 45MHz, las frecuencias de oscilador local resultan ser 1545MHz para el modo L1 y 1195MHz para el modo L2. Cabe aclarar que, por razones que se explicarán en el

Capítulo 4, se utilizaron frecuencias intermedias ligeramente diferentes para ambos modos con el objetivo de que los OL sean múltiplos de una misma frecuencia. Con estos valores de OL, los centros de las bandas de frecuencias imagen resultantes son 1502MHz y 1154.5MHz para L1 y L2 respectivamente. Estas frecuencias imagen pueden ser fácilmente atenuadas más de 30dB empleando filtros comerciales. Por otra parte, haciendo uso de (3.3) se obtiene que el ancho de banda requerido para el conversor AD es 63MHz. En este sentido, es importante remarcar que actualmente existe una gran cantidad de conversores AD de bajo costo capaces de satisfacer dicha demanda.

3.2.2. Cálculo de la Ganancia

La ganancia necesaria depende directamente de la potencia requerida para excitar correctamente al conversor AD de la etapa de digitalización posterior, es decir de la potencia de salida del cabezal de RF. Sin embargo, las señales recibidas por la antena están inmersas en ruido, cuya potencia es en general superior al nivel de señal esperado. En el caso de una antena pasiva, para determinar la potencia de ruido recibida se utiliza la ecuación de ruido térmico [15]

$$N_{ant} = kT_{ant}B \quad (3.5)$$

donde k es la constante de Boltzmann, T_{ant} es la temperatura equivalente de ruido de la antena en K y B es el ancho de banda en Hz. La temperatura de ruido depende del tipo de antena y de su orientación, entre otros parámetros [32]. Los valores típicos para antenas GNSS están alrededor de los 100K [4]. Considerando que el ancho de banda de la antena es de aproximadamente 40MHz, la potencia de ruido recibida es del orden de -102dBm . Puede verse entonces que la potencia de ruido esperada es superior a la potencia de señal (ver Capítulo 1), de manera que es el ruido el que determina la ganancia máxima que evita la saturación del conversor AD [11]. Por tratarse de ruido térmico puede asumirse que posee distribución gaussiana con media cero y varianza σ^2 . Entonces, la potencia de salida del cabezal de RF está dada por

$$P_{oRF} = \frac{\sigma_o^2}{R} \quad (3.6)$$

donde σ_o^2 es la varianza del ruido a la salida del cabezal de RF y R es la resistencia de carga, que en este caso es 50Ω (impedancia característica del sistema).

La mayoría de los conversores AD aptos para este tipo de aplicaciones posee un rango dinámico de $1V_{pp}$ (pico a pico). Si se desea evitar la saturación del conversor AD es necesario asegurar que exista una baja probabilidad de que la distribución del ruido en la entrada del mismo supere su rango dinámico. En una distribución gaussiana con media cero el 99.7% de los valores están comprendidos en el intervalo $[-3\sigma, +3\sigma]$. Entonces, para evitar la saturación es posible establecer la siguiente condición

$$3\sigma_o = \frac{A}{2} \quad (3.7)$$

donde A es el rango dinámico del conversor AD en V_{pp} . Despejando de (3.7) se obtiene

$$\sigma_o = 0,167V \quad (3.8)$$

y reemplazando este valor en (3.6), la potencia máxima en la salida del cabezal de RF resulta $-2,5\text{dBm}$.

Suponiendo ahora el caso más general en el que se tiene una antena activa cuya ganancia es G_{amp} , la potencia en la entrada del cabezal de RF está dada por

$$P_{iRF}[\text{dBm}] = P_{ant}[\text{dBm}] + G_{amp}[\text{dB}] \quad (3.9)$$

donde P_{ant} es la potencia de ruido disponible en la antena. En este punto es importante resaltar que si está empleando una antena activa, es decir que posee un amplificador de bajo ruido que proporciona la ganancia G_{amp} , debe considerarse su figura de ruido NF_{amp} . La temperatura equivalente de ruido del amplificador está dada por [15]

$$T_{amp} = T_o \left(10^{\frac{\text{NF}_{amp}[\text{dB}]}{10}} - 1 \right) \quad (3.10)$$

donde T_o es la temperatura a la que fue medida la figura de ruido del amplificador, que por convención se considera 290K. La potencia de ruido total generada por el conjunto antena-amplificador es entonces

$$P_{ant} = k(T_{ant} + T_{amp})B \quad (3.11)$$

La ganancia total necesaria puede escribirse como

$$G_{RF}[\text{dB}] = P_{oRF}[\text{dBm}] - P_{iRF}[\text{dBm}] \quad (3.12)$$

finalmente reemplazando (3.11) expresada en dBm en (3.9) y usando (3.12) resulta que la ganancia total está dada por la siguiente expresión

$$G_{RF}[\text{dB}] = P_{oRF}[\text{dBm}] - 10\log(k(T_{ant} + T_{amp})B) - G_{ant}[\text{dB}] - 30 \quad (3.13)$$

donde P_{oRF} se calcula con (3.6) y T_{amp} con (3.10).

Si el cabezal de RF opera con una antena pasiva, decir $G_{ant} = 0\text{dB}$ y consecuentemente $T_{amp} = 0$, la ganancia total requerida es 100dB. En caso de utilizar una antena activa, las cuales para GNSS poseen ganancias típicas de alrededor de 27dB y figuras de ruido del orden de 2.5dB [33] [34], la ganancia necesaria total resulta aproximadamente 68dB.

3.3. Descripción del Diseño

En esta sección se describe el diseño de las etapas principales del cabezal de RF propuesto, así como la elección de los componentes utilizados para su implementación.

3.3.1. Amplificador de Bajo Ruido

El objetivo del LNA es fijar la figura de ruido del cabezal de RF, por esta razón está localizado directamente a continuación de la entrada de antena. Las señales GNSS son muy débiles debido a que provienen de satélites que se encuentran a aproximadamente 20000km de la Tierra. En este sentido, la figura de ruido es un parámetro fundamental del cabezal de RF, ya que define su capacidad para detectar señales débiles.

El LNA utilizado está diseñado para obtener una baja figura de ruido y proveer una ganancia elevada. Se decidió realizar un diseño basado en un transistor de bajo ruido con el objetivo lograr prestaciones superiores a las que se pueden encontrar en integrados comerciales. En particular se eligió el transistor BFP740 debido a sus excelentes características [35]. El amplificador posee una red de adaptación en la entrada que refleja un valor de impedancia en la entrada del transistor que minimiza su figura de ruido [36]. Además, cuenta con una red de salida que adapta la impedancia característica del sistema a la impedancia de salida del transistor para lograr una alta ganancia. El punto de polarización está determinado por una corriente de colector de 6mA y una tensión colector-emisor de 2.5V. El objetivo de este diseño es obtener una ganancia mínima de 18dB y una figura de ruido menor a 2dB. La Fig. 3.2 es el esquema circuital del LNA. En el Capítulo 5 se pueden encontrar mayores detalles acerca del diseño de un LNA.

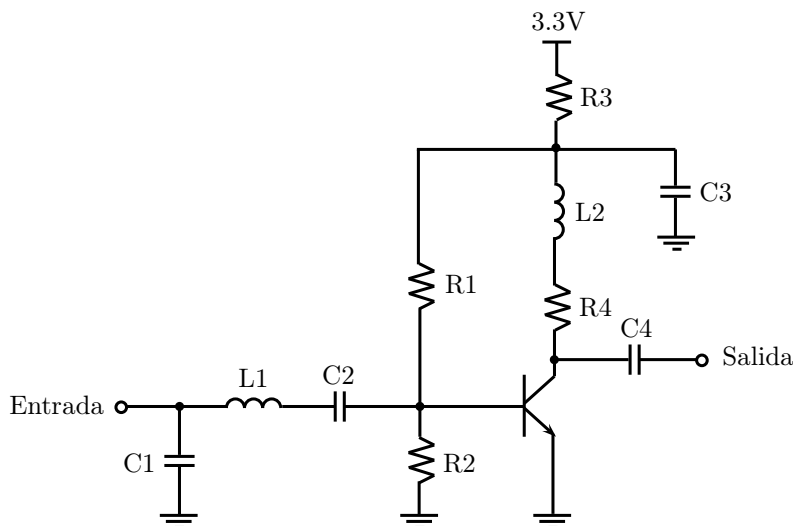


Figura 3.2: Esquema circuital del LNA.

El LNA diseñado puede ser fácilmente modificado para que sea capaz de operar en las bandas L1 o L2. Para ello sólo es necesario reemplazar algunos componentes pasivos a fin de sintonizar las redes de adaptación de entrada y de salida.

Para verificar el funcionamiento del LNA se realizaron simulaciones utilizando el modelo de parámetros S del transistor para el punto de polarización elegido. A la frecuencia de operación de los amplificadores los elementos parásitos y los efectos introducidos por el circuito impreso cobran importancia, pudiendo alterar considerablemente el comportamiento del LNA. Entonces, con el objetivo de obtener resultados ajustados a la realidad, en las simulaciones se incluyeron los modelos de los componentes discretos, las pistas de circuito impreso, las vías y el material dieléctrico. Las Figs. 3.3 y 3.4 son los resultados de las simulaciones para los modos L1 y L2 respectivamente. En las Figs. 3.3a y 3.4a se muestran los parámetros S y en las Figs. 3.3b y 3.4b se grafican la figura de ruido en dB y el factor de estabilidad k [36]. Para asegurar la estabilidad del amplificador el factor k debe ser mayor a 1.

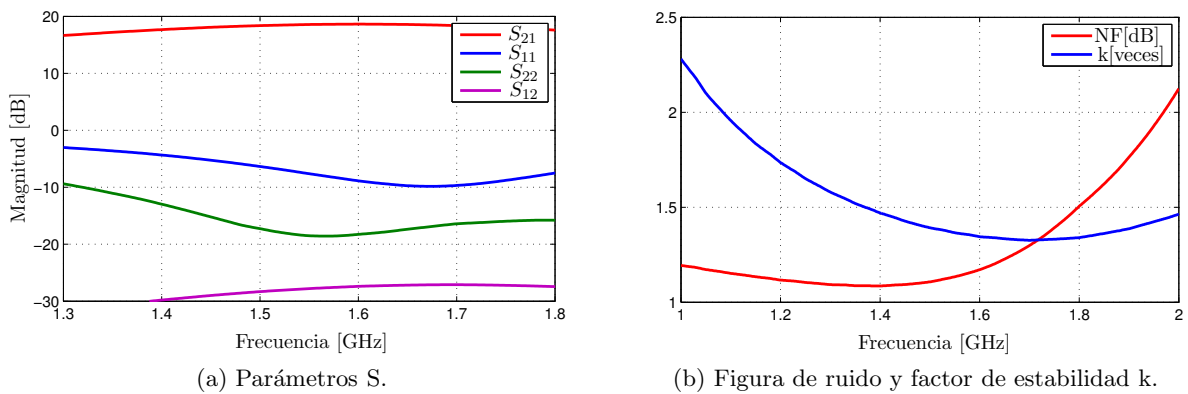


Figura 3.3: Resultados de simulación del LNA para L1.

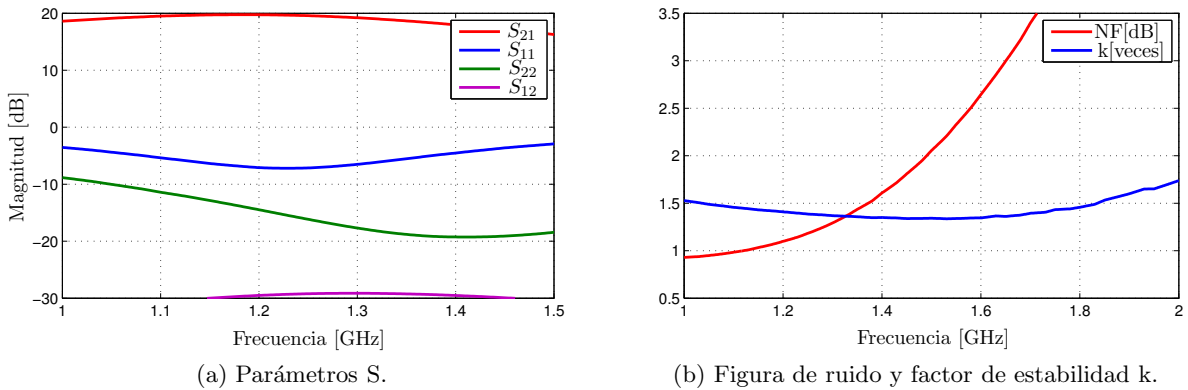


Figura 3.4: Resultados de simulación del LNA para L2.

Los resultados obtenidos por simulación fueron muy satisfactorios. La ganancia es del orden de 19dB en el rango de frecuencias de interés de cada modo de operación. La adaptación en la salida es buena, ya que las pérdidas de retorno se mantienen por encima de los 10dB. En cuanto a la figura de ruido, en ambos casos está por debajo de 1.5dB cumpliendo con los objetivos de diseño. Por otra parte el factor de estabilidad es siempre superior a 1, es decir que los LNAs son incondicionalmente estables. En la Tabla 3.2 se presentan los valores de los componentes para ambos modos de funcionamiento. En rojo se indican los valores que deben ser modificados.

Componente	Modo L1	Modo L2
C1	2.2pF	2.2pF
C2	6.8pF	12pF
C3	12pF	22pF
C4	6.8pF	12pF
R1	13.7k Ω	13.7k Ω
R2	7.5k Ω	7.5k Ω
R3	120 Ω	120 Ω
R4	10 Ω	10 Ω
L1	4.7nH	8.2nH
L2	1.5nH	2.2nH

TABLA 3.2: Valores de los componentes necesarios para implementar los LNAs.

Circuito de Alimentación de Antena

Previendo la posibilidad de utilizar una antena activa se decidió incluir un circuito de alimentación de antena conocido como Bias T. Este circuito se conecta directamente a la entrada del cabezal de RF y está diseñado para filtrar las componentes de alta frecuencia presentes en la red de alimentación, así como para evitar que las señales provenientes de la antena se acoplen por la red de alimentación de la placa y para bloquear la continua de manera que ésta no ingrese al cabezal de RF. El esquema más básico consiste en un capacitor que remueve la continua y en un inductor que actúa como un choque de RF. En este diseño se optó por implementar un circuito más complejo para asegurar el correcto filtrado en un amplio rango de frecuencias. En la Fig. 3.5 se muestra un diagrama esquemático del Bias T, cabe aclarar que el capacitor que elimina la componente de continua está incluido en la red de adaptación de entrada del amplificador de bajo ruido.

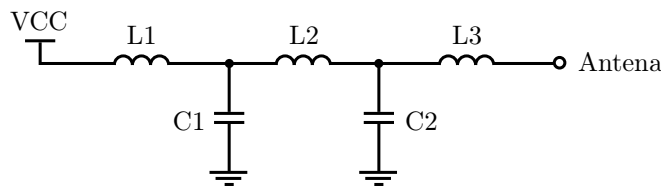


Figura 3.5: Esquema circuitual del Bias T.

En la Tabla 3.3 se presentan los valores de los componentes necesarios para armar el circuito de alimentación de antena. El inductor L1 es una cuenta de ferrite que cumple la función de rechazar las componentes espurias de menor frecuencia que pudieran provenir de la fuente de alimentación. Los valores de los componentes son los mismos para ambos modos de funcionamiento, ya que el Bias T es efectivo en todo el rango de frecuencias de interés.

Componente	Valor
C1	1nF
C2	10pF
L1	BEAD
L2	100nH
L3	33nH

TABLA 3.3: Valores de los componentes necesarios para implementar el Bias T.

3.3.2. Etapa de RF

Está compuesta por un filtro de rechazo de frecuencia imagen, un amplificador de RF y un mezclador. La Figura 3.6 es el diagrama de bloques de la etapa de RF. A continuación se describe en detalle cada uno de los bloques.

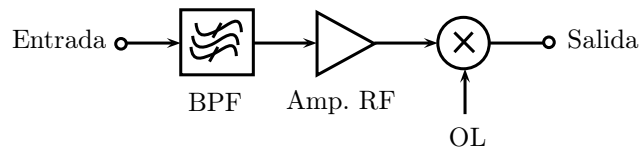


Figura 3.6: Diagrama de bloques de la etapa de RF.

Filtro de RF

Se utilizó un filtro pasabanda tipo SAW con el objetivo de seleccionar la banda de interés y rechazar tanto la frecuencia imagen como posibles interferencias fuera de banda, las cuales pueden deteriorar notablemente el desempeño del receptor. Los filtros elegidos para ambos modos de funcionamiento pertenecen a una familia que cuenta con una versión compatible con la banda L1 y otra versión compatible con la banda L2, ambas con el mismo encapsulado. De esta forma es posible utilizar un único circuito impreso para implementar ambos modos de funcionamiento.

El filtro de L1 posee una frecuencia central de 1592.5MHz y un ancho de banda de aproximadamente 43MHz [37]. Por otra parte, la frecuencia central del filtro de L2 es 1237MHz y su ancho de banda es del orden de 40MHz [38]. Cabe destacar que estos filtros son capaces de proveer una atenuación de alrededor de 40dB a las respectivas frecuencias imagen, lo cual es suficiente para este tipo de aplicaciones. Además, sus pérdidas de inserción pueden considerarse bajas ya que son inferiores a 2.5dB, mientras que la adaptación, tanto en la entrada como en la salida, es adecuada.

Amplificador de RF

Considerando el elevado requerimiento de ganancia se decidió colocar un amplificador adicional en RF, además del LNA, para repartir la ganancia total entre las etapas de RF y FI. Esto

es una buena práctica debido a que si toda la ganancia se concentra en alguna de las dos etapas aumenta considerablemente el riesgo de inestabilidad.

En particular el amplificador de RF seleccionado es del tipo MMIC. Posee una ganancia de 20dB y es capaz de operar en un amplio rango de frecuencias comprendido entre 1GHz y 2GHz [39]. Su característica de banda ancha hace que sea compatible con los dos modos de funcionamiento del cabezal de RF, lo cual es fundamental para este diseño porque permite utilizar el mismo PCB. Además, este amplificador tiene la ventaja de que se encuentra adaptado internamente a 50Ω por lo que prácticamente no requiere de componentes adicionales, lo que simplifica el diseño.

Mezclador

En general un mezclador es un dispositivo de tres puertos, por un puerto ingresa la señal de RF y por otro el OL. A través de una no linealidad se realiza la mezcla de ambas señales, produciendo la conversión en el puerto de FI.

De acuerdo al plan de frecuencias establecido en la Sección 3.2.1, para que el mezclador sea capaz de operar en ambos modos de funcionamiento debe poder manejar señales de RF en el rango de frecuencias que se extiende entre 1222MHz y 1606MHz. Por otra parte, se requiere que acepte frecuencias de OL entre 1195MHz y 1545MHz.

Existen dos tipos de mezcladores: pasivos y activos. Los pasivos introducen pérdidas de conversión, que se definen como la diferencia en dB entre la potencia de señal en FI y la potencia de señal en RF. Los activos poseen un amplificador que aporta ganancia en FI para compensar las pérdidas de conversión que son inherentes a este tipo de dispositivos. Considerando que el cabezal de RF requiere una ganancia elevada, la opción más conveniente es recurrir a un mezclador activo.

Un dispositivo que reúne las características mencionadas anteriormente es el μ PC2757, el cual posee una ganancia de conversión de aproximadamente 13dB y puede operar en ambos modos de funcionamiento [40]. Entre sus características principales se destaca su alto punto de compresión de 1dB que, para esta aplicación en la que las señales de RF son de baja potencia, asegura su correcta operación y hace que sea resistente a interferencias fuera de banda. También cuenta con un amplificador de OL integrado, lo que permite utilizar niveles de potencia de OL relativamente bajas (del orden de -5dBm) reduciendo las posibilidades de que se produzcan interferencias por acoplamiento del OL en la cadena de RF. Además, la aislación de OL en los puertos de RF y FI es adecuada. Cabe destacar que el μ PC2757, a diferencia de otros mezcladores de características similares, tiene la ventaja de que requiere pocos componentes externos.

3.3.3. Etapa de FI

En esta etapa se provee el filtrado final que determina la selectividad del cabezal de RF y se aporta el resto de la ganancia necesaria para cumplir con el requerimiento establecido en la Sección 3.2.2. En particular, consta de un filtro pasabanda, una etapa de amplificación de ganancia variable (VGA), un amplificador de ganancia fija y un duplexor que separa las bandas de GPS y GLONASS. En la Fig. 3.7 se muestra el diagrama de bloques correspondiente. A continuación se describirá cada uno de los bloques y se justificará la elección de los componentes utilizados para su implementación.

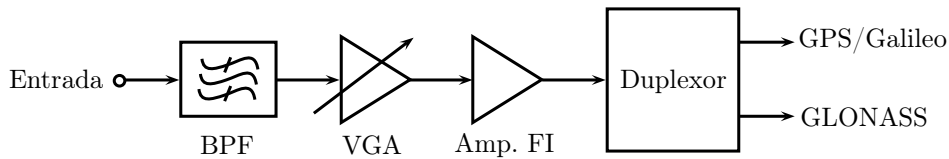


Figura 3.7: Diagrama de bloques de la etapa de FI.

Filtro de FI

Las misiones principales del filtro de FI son rechazar los productos de intermodulación no deseados generados por el mezclador y limitar el ancho de banda del cabezal de RF para eliminar posibles interferencias fuera de banda. En este sentido, debe notarse que es importante reducir el ancho de banda de ruido porque posteriormente la señal de FI se amplificará y muestreará. Entonces, el filtro de FI tendrá que ser tipo pasabanda.

Considerando el plan de frecuencias presentado en la Sección 3.2.1, los rangos de frecuencias de interés resultan

- modo L1: entre 25MHz y 61MHz,
- modo L2: entre 27MHz y 54MHz.

Si se calcula el factor de mérito Q necesario para implementar ambos filtros, el cual se define como

$$Q = \frac{f_o}{BW} \quad (3.14)$$

donde f_o y BW son la frecuencia central y el ancho de banda del filtro respectivamente, se obtiene que el Q de los componentes en el peor de los casos debe ser mayor a 1.5. Este es un valor bajo, si se considera que para un filtro pasabanda un límite práctico algo conservador es $Q < 10$ [41]. Por lo tanto, para este caso es posible implementar los filtros con componentes discretos. De esta forma, se evita el uso de filtros SAW o cerámicos, lo cual abarata los costos. Por otra parte, el uso de componentes discretos permite elegir la frecuencia central y el ancho de

banda de los filtros con un mayor grado de libertad que si se recurre a filtros comerciales como los mencionados anteriormente. Sobre todo teniendo en cuenta que los rangos de frecuencias de interés no son estándar.

Es importante notar que no es necesario que los filtros de FI sean extremadamente abruptos debido a que el duplexor proveerá selectividad adicional. Entonces, con el objetivo de lograr un balance entre atenuación en la banda de rechazo, simplicidad de implementación y tamaño, se decidió realizar filtros de tercer orden. Siguiendo el procedimiento clásico, para diseñar el filtro se parte del prototipo pasabajos, el cual se diseña para cumplir con el requerimiento de ancho de banda. Luego se aplica una transformación para llevar el filtro a la frecuencia central deseada [42]. En la Fig. 3.8 se muestra el prototipo pasabajos y el correspondiente filtro pasabanda transformado.

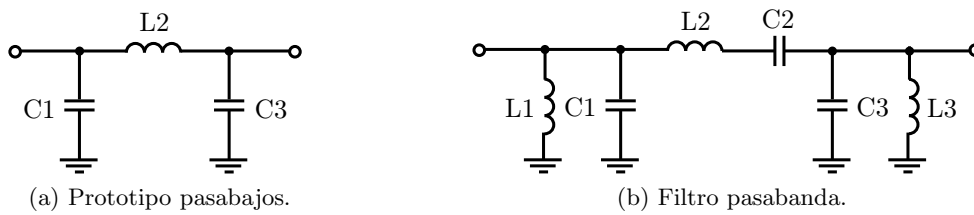


Figura 3.8: Transformación pasabajo a pasabanda de tercer orden.

Las ecuaciones de diseño para un filtro pasabanda son las siguientes [42]

$$C_k = \frac{g_k}{2\pi BW} \quad L_k = \frac{2\pi BW Z_o}{(2\pi f_o)^2 g_k} \quad k = 1, 3, 5... \quad (3.15)$$

$$L_k = \frac{g_k Z_o}{2\pi BW} \quad C_k = \frac{2\pi BW}{(2\pi f_o)^2 g_k Z_o} \quad k = 2, 4, 6... \quad (3.16)$$

donde Z_o es la impedancia de carga del filtro y los g_k son los coeficientes normalizados para un filtro pasabajos de frecuencia angular de corte 1 rad/s e impedancia de carga de 1Ω . Además se define

$$BW = f_2 - f_1 \quad f_o = \sqrt{f_1 f_2} \quad (3.17)$$

donde f_1 y f_2 son las frecuencias de corte inferior y superior respectivamente.

Los valores normalizados g_k son los que determinan el tipo de filtro a sintetizar. Existen tres tipos básicos de filtros: Butterworth, Chebychev y Bessel. Los Butterworth ofrecen una banda de paso plana y atenuación en la banda rechazo menor que los filtros Chebychev, pero mayor que los filtros Bessel para un número fijo de componentes. Los filtros Chebychev están diseñados para producir una mayor atenuación en la banda de rechazo que los filtros Butterworth y se caracterizan por presentar ripple en la banda de paso, cuya amplitud puede controlarse por

diseño. Mientras menor sea el ripple elegido, menor será la atenuación en la banda de rechazo, aunque siempre estará por encima de la que se puede obtener con filtros Butterworth y Bessel. Por otro lado, un ripple menor asegura una mayor linealidad en la fase. En cuanto a los filtros tipo Bessel, su principal característica es su linealidad de fase, lo que se traduce en un retardo de grupo constante. Esto es importante en aplicaciones en las que la distorsión de fase puede generar errores en la decodificación de símbolos [43]. Sin embargo, para los GNSS no representa un problema demasiado serio por el tipo de modulación utilizado.

De acuerdo a lo dicho anteriormente, para este caso se decidió elegir una aproximación tipo Chebychev con 0.2dB de ripple. De esta forma se asegura una banda de paso aproximadamente plana, una buena atenuación en la banda de rechazo y una respuesta de fase moderadamente lineal en el rango de frecuencias de interés. Para obtener los coeficientes correspondientes se recurrió a [44]. Una vez definido el tipo de filtro se aplicaron las ecuaciones (3.15) a (3.17) para calcular los valores de los componentes. En la Tabla 3.4 se presentan los resultados obtenidos llevados al valor comercial más cercano.

Componente	Modo L1	Modo L2
C1	120pF	150pF
L1	150nH	120nH
C2	56pF	56pF
L2	270nH	330nH
C3	120pF	150pF
L3	150nH	120nH

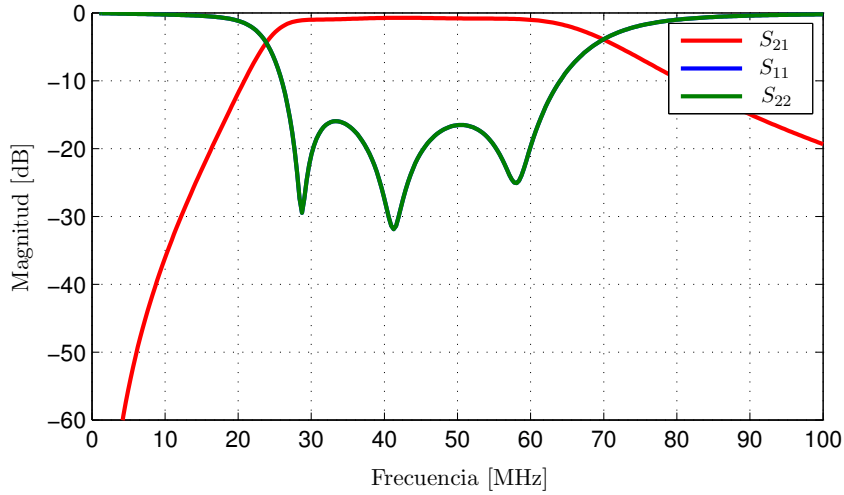
TABLA 3.4: Valores de los componentes necesarios para implementar los filtros de FI.

Finalmente, con el objetivo de verificar los diseños se realizó una simulación en la que se incluyó los modelos de los componentes a utilizar. Los resultados obtenidos se muestran en la Fig. 3.9. Como puede observarse ambos filtros cumplen con las especificaciones. Cabe destacar que, dado que la selectividad final la aportará el duplexor, sería posible emplear el mismo diseño en ambos modos de funcionamiento. En este caso, habría que optar por el filtro de L1 por ser de mayor ancho de banda.

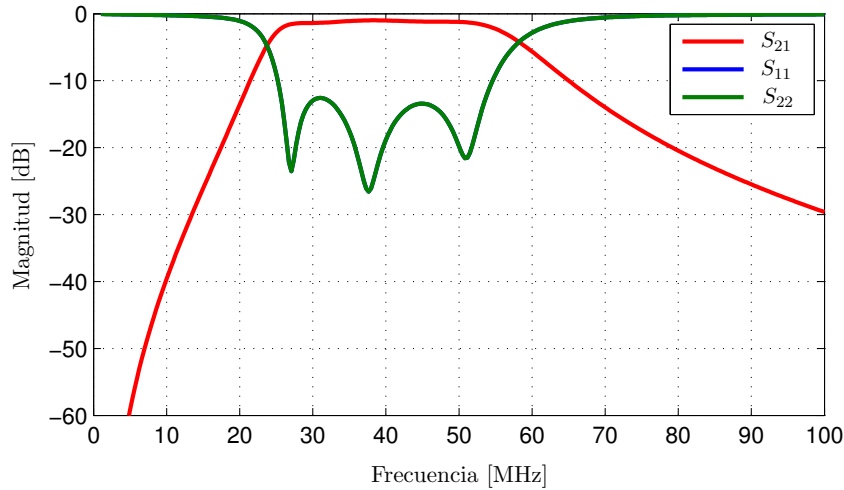
Amplificador de Ganancia Variable

La potencia recibida por la antena puede variar dependiendo de la orientación de la misma, del entorno de operación y fundamentalmente del tipo de antena (activa o pasiva), tal como se vio en el Sección 3.2.2. Un VGA es un amplificador cuya ganancia puede ser modificada mediante una tensión de control. Este dispositivo permite ajustar la ganancia del cabezal de RF para compensar las variaciones en la potencia recibida.

Generalmente el VGA está asociado a un lazo de control en el que se sensa la potencia recibida y se ajusta la ganancia para que la etapa de digitalización posterior esté correctamente excitada. Esto es lo que se denomina control automático de ganancia (AGC). En un receptor



(a) Filtro de L1.



(b) Filtro de L2.

Figura 3.9: Parámetros S simulados de los filtros de FI.

basado en SDR, la potencia recibida se estima en la etapa de procesamiento mediante algoritmos específicos. Luego, en base a esta estimación se envían al VGA los datos necesarios para ajustar su ganancia según corresponda.

El VGA a utilizar deberá ser capaz de operar en todo el rango de frecuencias de interés, es decir aproximadamente entre 25MHz y 65MHz dependiendo del modo de funcionamiento elegido. Por otra parte es importante que cuente con un rango dinámico amplio. Teniendo en cuenta estas especificaciones se optó por el amplificador AD8367 [45]. Este dispositivo tiene la ventaja de que posee un amplio rango de ganancias y su ajuste es lineal en dB. En particular la ganancia se configura mediante una tensión de control analógica como se indica en la siguiente expresión

$$G[dB] = 50V_G - 5 \tag{3.18}$$

donde V_G es la tensión de control expresada en Volt. De este modo, utilizando valores de V_G entre -50mV y 950mV es posible obtener ganancias entre -2.5dB y 42.5dB.

Con el objetivo de poder implementar el AGC, se colocó un conversor digital a analógico (DA) [46]. Este traduce la secuencia digital de control generada en la etapa de procesamiento a una tensión analógica apta para configurar la ganancia del VGA. Además se dejó la posibilidad de realizar un ajuste manual mediante la variación de un potenciómetro. Esto da versatilidad al diseño porque permite realizar ajustes gruesos de la ganancia para llevar a cabo pruebas cuando el cabezal no se encuentra asociado a una etapa procesamiento específica.

Ganancia Fija

Considerando todos los bloques que componen el cabezal de RF, hasta el momento se tiene una ganancia máxima de aproximadamente 91dB y una ganancia mínima de 46dB. Los 40dB de diferencia están dados por el rango de variación del VGA. Entonces, para cumplir con el requerimiento de ganancia es necesario agregar una etapa de amplificación adicional. Teniendo en cuenta lo expuesto en la Sección 3.2.2, se debe incluir al menos 9dB extra.

Para cumplir con este requerimiento se decidió utilizar un amplificador tipo MMIC que es capaz de operar en todo el rango de frecuencias de interés y provee una ganancia del orden de 20dB [47]. Este dispositivo posee un punto de compresión de 1dB de aproximadamente 11dBm, lo que asegura su funcionamiento dentro de la zona lineal. Esto es importante ya que se trata de la última etapa de amplificación. Si el amplificador opera en la zona no lineal puede generar armónicos y productos de intermodulación, deteriorando el desempeño del receptor [48].

Cabe destacar que este bloque de amplificación, al igual que el VGA, puede utilizarse en ambos modos de funcionamiento (L1 y L2), lo cual es importante porque permite emplear el mismo circuito impreso y reduce el número de componentes necesarios para implementar los cabezales de RF.

Duplexor

En general es un dispositivo que permite establecer una comunicación bidireccional por un mismo camino. Suelen utilizarse para aislar al receptor del transmisor cuando ambos comparten una única antena. Si bien en este caso la aplicación es diferente, se empleará el mismo principio. Para separar las bandas de GPS/Galileo y GLONASS evitando que éstas se interfieran entre sí, es necesario que cada camino provea atenuación a la banda no deseada.

Un duplexor básico podría estar compuesto por un filtro pasabajos y un filtro pasaltos con sus entradas conectadas a un mismo punto. Estos filtros deberían tener la particularidad de que sus respuestas en frecuencia sean complementarias, de manera que uno de los filtros deje pasar una porción del espectro y el otro la parte restante. Este diseño sencillo presenta algunos inconvenientes, fundamentalmente relacionados con la selectividad.

Una forma de solucionar el problema de la selectividad es utilizar dos filtros en cascada en cada rama, un filtro pasabanda que deje pasar la banda de frecuencias de interés y un filtro tipo notch que provea atenuación a la banda no deseada. Esta es la estructura típicamente empleada en la mayoría de los duplexores. La forma de implementar estos filtros depende del rango de frecuencias de operación y de la potencia de las señales. Para el caso particular del presente diseño, el rango de frecuencias de interés está comprendido entre 25MHz y 65MHz. Por otra parte, la potencia de las señales es baja ya que no supera los -2dBm (ver Sección 3.2.2). Siguiendo un razonamiento similar al aplicado para el filtro de FI, la mejor solución parece ser una implementación con componentes discretos.

Antes de comenzar a diseñar el duplexor es necesario tener en cuenta las bandas de paso y de rechazo en cada uno de los modos de funcionamiento, tanto para GPS/Galileo como para GLONASS. En la Tabla 3.5 se resumen las especificaciones. En cuanto a la atenuación de la banda no deseada, un valor superior a 20dB es razonable para evitar interferencias.

Especificación	Modo L1		Modo L2	
	Rama GPS/Galileo	Rama GLONASS	Rama GPS	Rama GLONASS
Banda de paso	25MHz a 35MHz	53MHz a 61MHz	27MHz a 37MHz	47MHz a 54MHz
Banda de rechazo	53MHz a 61MHz	25MHz a 35MHz	47MHz a 54MHz	27MHz a 37MHz

TABLA 3.5: Especificaciones de frecuencia del duplexor.

Para diseñar el duplexor se utilizaron dos topologías básicas, una para cada rama. Estas topologías están compuestas básicamente por un filtro pasabanda sintonizado a la frecuencia de la banda de paso, con el agregado de un notch sintonizado en la banda de rechazo correspondiente. En la Fig. 3.10 se muestran las topologías empleadas. En la topología de la Fig. 3.10a el capacitor C5 genera el notch a la frecuencia central de la banda de GLONASS. Mientras que en la Fig. 3.10b la rama en derivación formada por C3 y L3 es la que determina el notch a la frecuencia central de la banda de GPS.

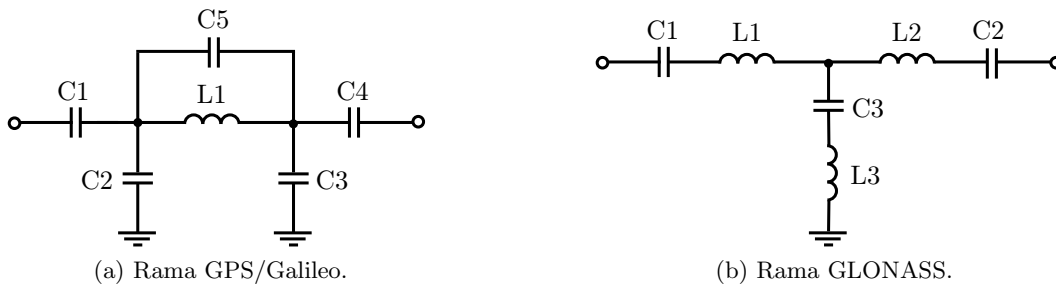


Figura 3.10: Topologías para implementar las ramas del duplexor.

En el caso de la rama GPS/Galileo el filtro pasabanda se debe diseñar con una frecuencia de corte ligeramente superior a la deseada, ya que al colocar el capacitor C5 se produce un corrimiento de la frecuencia central de la banda de paso por el cero que se introduce. Algo similar ocurre con la rama GLONASS, donde es más sencillo ver que está compuesta por dos circuitos resonantes en serie C1-L1 y C2-L2. Ambos se diseñan con igual frecuencia de resonancia

para lograr una mayor selectividad. Luego, para generar el cero en la transferencia, la rama en derivación formada por C3 y L3 se diseña con una frecuencia de resonancia igual a la del centro de la banda de GPS. En la Fig. 3.11 se muestra el diagrama circuital completo del duplexor.

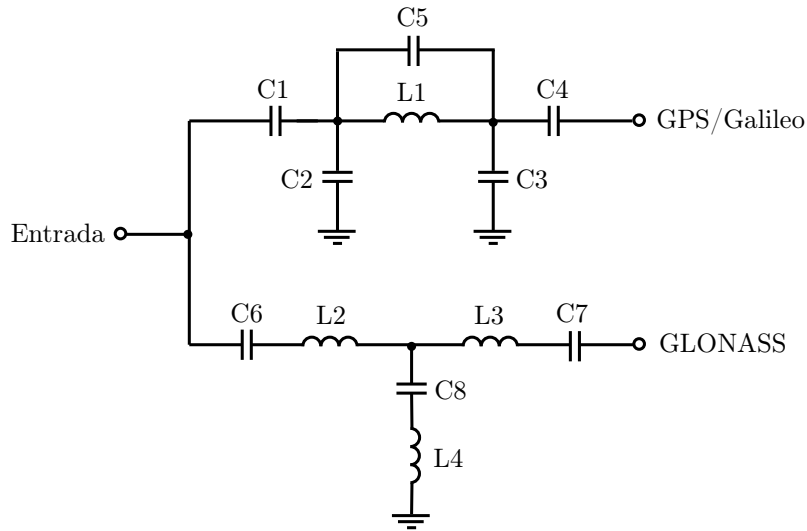


Figura 3.11: Esquema circuital del duplexor.

Por lo dicho anteriormente, para ajustar el valor de los componentes se recurrió a un programa de simulación. A fin de que la simulación sea más realista se tuvo en cuenta el modelo de los componentes. En las Figs. 3.12 y 3.13 se muestran los resultados obtenidos para el modo L1 y L2 respectivamente. El puerto 1 corresponde a la entrada, mientras que el puerto 2 es la salida de la rama GPS/Galileo y el puerto 3 es la salida de la rama GLONASS. Los resultados obtenidos por simulación son satisfactorios, se puede observar que la selectividad de las ramas es adecuada y que el rechazo fuera de banda es superior a los 20dB en todos los casos. La adaptación, tanto en las entradas como en las salidas, es satisfactoria. En la Tabla 3.6 se presentan los valores de los componentes necesarios para implementar el duplexor. En rojo se indican los valores que se repiten en ambos diseños, esto permite visualizar que comparten gran cantidad de componentes.

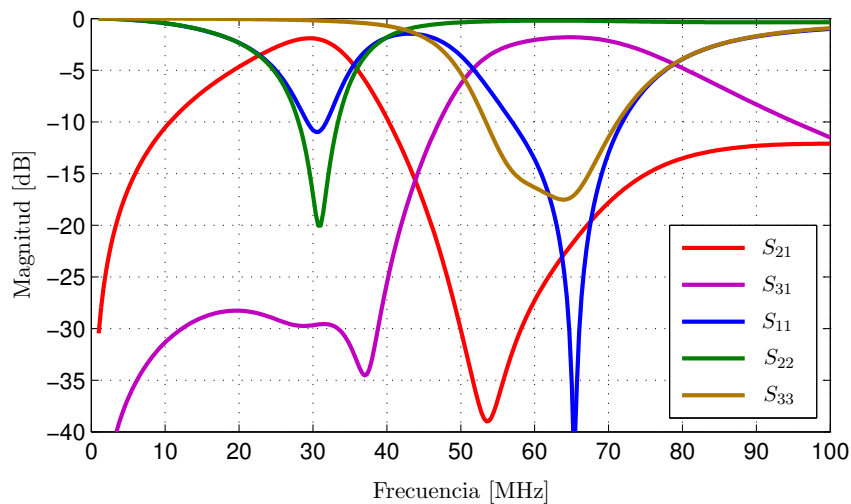


Figura 3.12: Simulación del duplexor de L1.

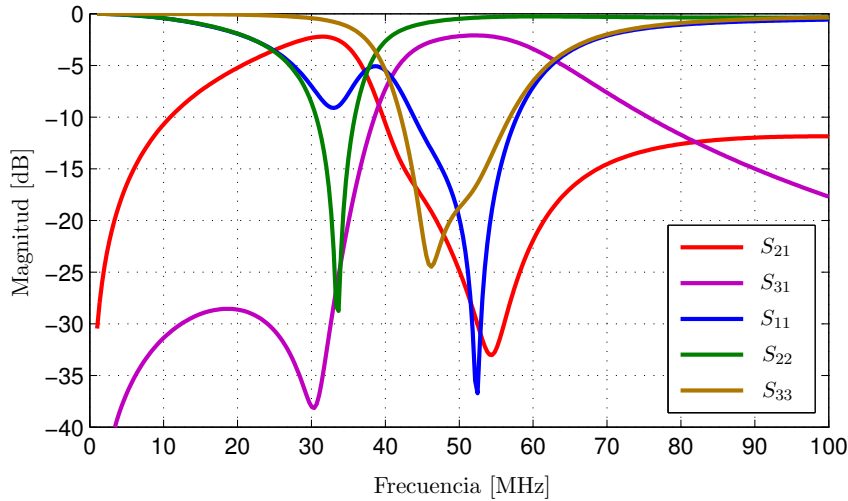


Figura 3.13: Simulación del duplexor de L2.

Componente	Modo L1	Modo L2
C1	130pF	130pF
C2	47pF	47pF
C3	47pF	47pF
C4	130pF	130pF
C5	39pF	39pF
L1	270nH	220nH
C6	27pF	20pF
C7	27pF	20pF
C8	100pF	100pF
L2	220nH	330nH
L3	220nH	330nH
L4	180nH	270nH

TABLA 3.6: Valores de los componentes necesarios para implementar los duplexores.

Simulación de la Etapa de FI

Finalmente, con el objetivo de verificar el diseño completo de la etapa de FI, se llevó a cabo una simulación incluyendo el filtro de FI, el amplificador de ganancia fija y el duplexor. En esta simulación se utilizaron los modelos de todos los componentes discretos y del amplificador. Los resultados obtenidos se muestran en las Figs. 3.14 y 3.15. En estas figuras se puede observar que al incorporar el filtro de FI se termina de conformar la respuesta en frecuencia ambas ramas. También se verifica que la atenuación a la banda no deseada toma valores cercanos a los 30dB en todos los casos. Además, cabe destacar que la adaptación de los puertos sigue siendo satisfactoria.

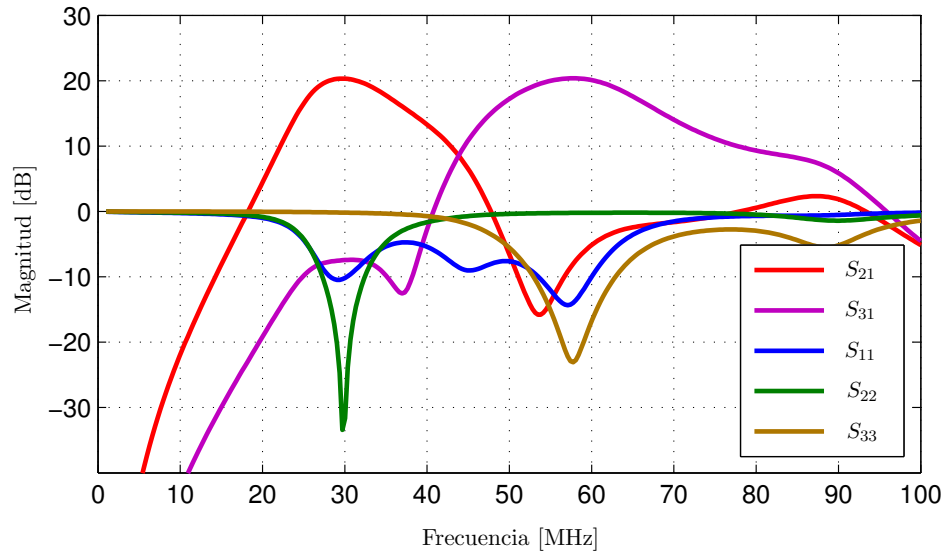


Figura 3.14: Simulación de la etapa de FI de L1.

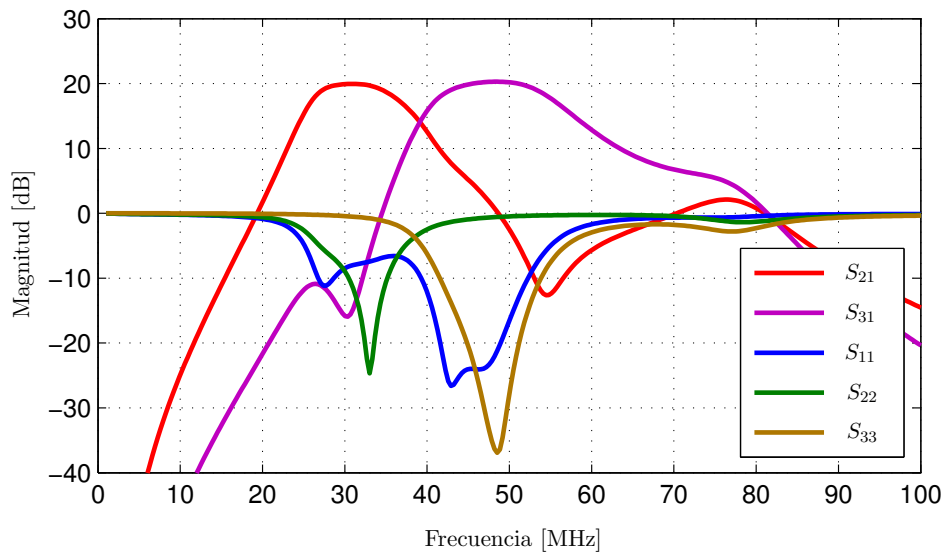


Figura 3.15: Simulación de la etapa de FI de L2.

3.4. Construcción de los Prototipos

La implementación se realizó en un circuito impreso de material RO4350. Este material es adecuado para aplicaciones de RF debido a que posee bajas pérdidas en alta frecuencia y su constante dieléctrica es estable [49]. Además permite ser laminado en circuitos impresos multicapa siguiendo los mismos procesos de fabricación que el FR4. Esta es una característica fundamental ya que, considerando la complejidad del diseño, para obtener un buen desempeño se optó por un circuito impreso de cuatro capas. En la Fig. 3.16 se muestra la distribución de capas de la placa, que está constituida por dos núcleos de RO4350 adheridos mediante una lámina de material FR4. Con esta elección el espesor final de la placa fue de 1,6mm.

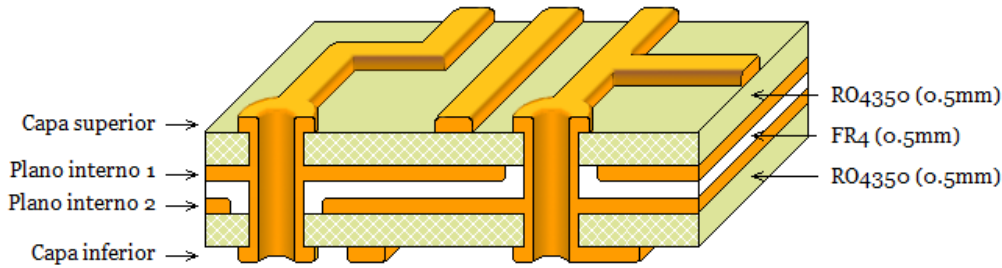


Figura 3.16: Esquema de capas del cabezal de RF.

Para diseñar el circuito impreso se tomó como referencia los diagramas esquemáticos que aparecen en el Apéndice A. El concepto de diseño aplicado consistió en colocar las líneas de RF en la capa superior, de esta forma dichas líneas resultaron del tipo microtira por la presencia del plano de tierra que se encuentra debajo. Una vez definido el espesor del núcleo de material RO4350, regulando el ancho de líneas es posible controlar su impedancia característica [12]. Con el objetivo de reducir las pérdidas por desadaptación, las líneas se diseñaron para que su impedancia característica coincidiera con la del sistema, es decir 50Ω .

Las conexiones de alimentación se realizaron en el otro plano interno, separando las distintas tensiones existentes en la placa mediante cortes. Con esta estrategia se consigue reducir la resistencia y la inductancia de las líneas de alimentación, evitando problemas acoplamiento entre los distintos circuitos del cabezal de RF. La capa inferior se empleó para realizar conexiones auxiliares y para colocar los capacitores de desacople de alimentación de los diferentes dispositivos que posee la placa.

Para mejorar el apantallamiento de las señales, alrededor de los sectores poblados de la placa se dispusieron islas de cobre conectadas al plano de tierra mediante múltiples vías. De esta forma se reduce riesgo de que se produzcan interferencias entre los diferentes subcircuitos. Estas islas de cobre también funcionan como base para colocar blindajes metálicos, en caso de que se detecte la presencia de interferencias de mayor nivel.

Una cuestión que debió ser tenida en cuenta en la implementación es que en el rango de frecuencias de interés los elementos parásitos introducidos por los componentes del circuito pueden alterar drásticamente el funcionamiento del cabezal de RF [50]. Entonces, con el objetivo de reducir estos elementos parásitos se utilizaron componentes de montaje superficial. En particular, para los componentes pasivos se optó por el tamaño 0603. Este valor es adecuado porque disminuye notablemente los elementos parásitos respecto a los tradicionales componentes pasantes, y su tamaño es apto para ser soldado en forma manual. En otras aplicaciones de mayor frecuencia, se utilizan valores aún más pequeños como 0402 e incluso 0201. En estos casos su manipulación y soldado representan un verdadero desafío.

Por otra parte, las líneas y las vías del circuito impreso generan inductancias y capacidades parásitas [42] [51]. Por esta razón, se tomaron precauciones especiales en el diseño, particularmente en las etapas que operan a alta frecuencia. Se utilizaron programas de diseño asistido

para realizar simulaciones en las que se consideraron este tipo de efectos. En el Capítulo 5 se darán más detalles acerca de estas cuestiones.

La impresión de las capas circuito impreso resultante se muestra en el Apéndice A. Una vez diseñado el circuito impreso se lo envió a fabricar. Por tratarse de un PCB multicapa se debió recurrir a una empresa especializada que opera en el exterior. Cuando el PCB estuvo listo se procedió al soldado de los componentes, el cual se llevó a cabo en forma manual. Se ensamblaron dos prototipos completos: uno para L1 y otro para L2. Finalmente, se realizó una inspección exhaustiva de las placas en busca de errores de soldadura. En la Fig. 3.17 se muestra uno de los prototipos terminado, cuyo tamaño es aproximadamente $7\text{cm} \times 7\text{cm}$.

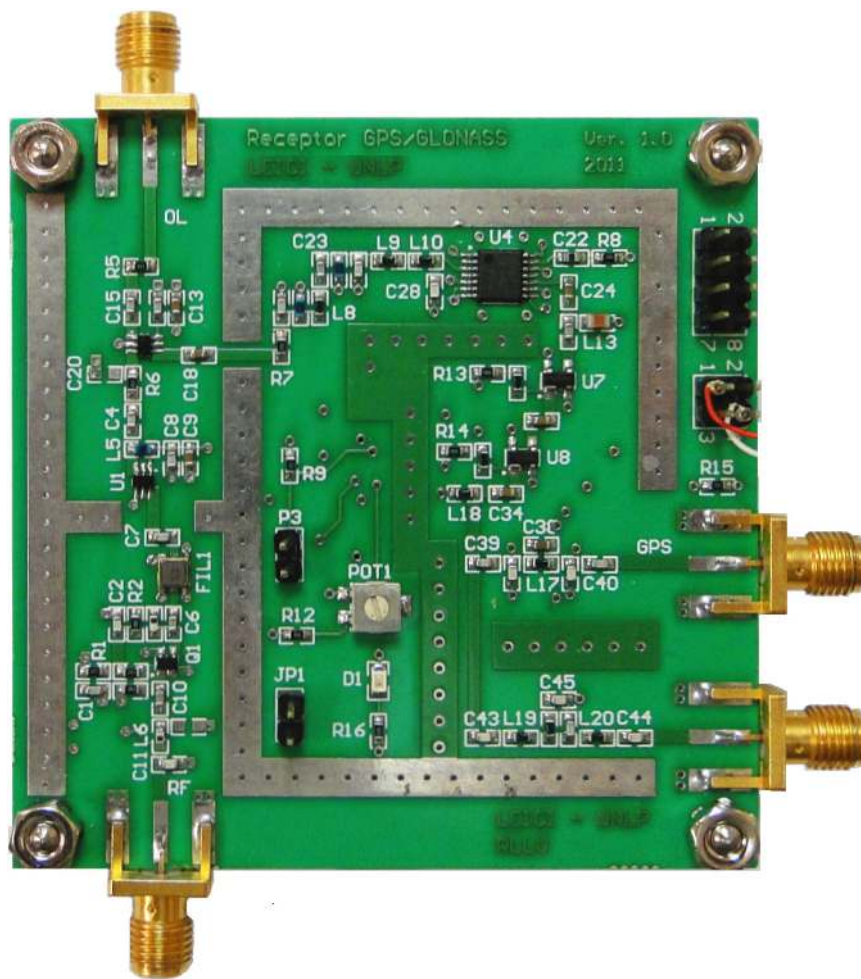


Figura 3.17: Cabezal de RF completamente ensamblado (vista superior).

3.5. Resultados

En esta sección se presentan los resultados obtenidos en las mediciones y pruebas realizadas para caracterizar al cabezal de RF.

3.5.1. Medición de los Bloques Principales

Se fabricaron varios de los bloques (subcircuitos) que componen el cabezal de RF, en particular se optó por los componentes más críticos: LNA, filtros de RF, amplificador de RF, mezclador y amplificador de FI. El objetivo de estas placas fue probar y caracterizar su desempeño en forma separada, antes de pasar a la evaluación del prototipo completo. Las placas de prueba tienen exactamente la misma disposición de componentes que el cabezal de RF y además fueron fabricadas con el mismo material e idéntica distribución de capas. Esto asegura que su desempeño será similar al que se obtendrá cuando los bloques se encuentren integrados y operando en conjunto.

Amplificadores de Bajo Ruido

Para caracterizarlos correctamente se armaron dos prototipos: uno para L1 y otro para L2. En primer lugar se midió el consumo de corriente y se verificó que el punto de polarización fuera el elegido. El consumo de corriente resultó de aproximadamente 6mA a 3,3V y la tensión colector-emisor de 2,5V. Estos valores coinciden con los establecidos en las especificaciones de diseño descritas en la Sección 3.3.1.

Luego se midieron los parámetros S, los cuales proporcionan información acerca de la ganancia y de la adaptación de los puertos. La Figura 3.18 muestra los resultados para ambos LNAs. A partir de las mediciones efectuadas, para el rango de frecuencias de interés, se observa que la ganancia de los LNAs es de alrededor de 20dB. Este valor cumple con los objetivos de diseño porque es superior a la cota mínima de 18dB que se había establecido como requerimiento. La adaptación en ambas entradas es adecuada si se tiene en cuenta que son LNAs que no están diseñados para alcanzar la mayor adaptación en la entrada, sino para lograr la menor figura de ruido [36]. La adaptación en las salidas es buena, ya que las pérdidas de retorno son del orden de 20dB en el rango de frecuencias de interés correspondiente a cada caso.

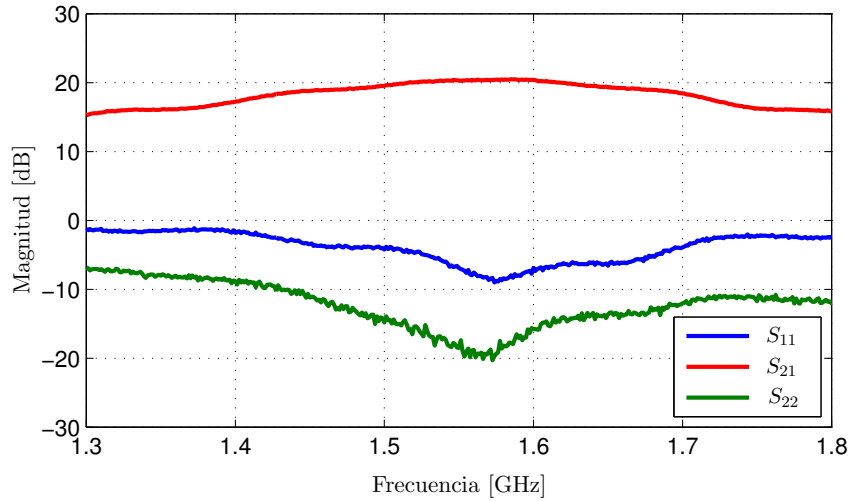
La medición de la figura de ruido se efectuó aplicando el método del factor Y , el cual es ampliamente utilizado para realizar este tipo de mediciones. Dicho método consiste en conectar una fuente de ruido en la entrada del amplificador y medir la potencia de salida cuando la fuente está encendida y apagada [52]. Estos valores de potencia se denominan N_2 y N_1 respectivamente. El factor y se define como

$$y = \frac{N_2}{N_1} \quad (3.19)$$

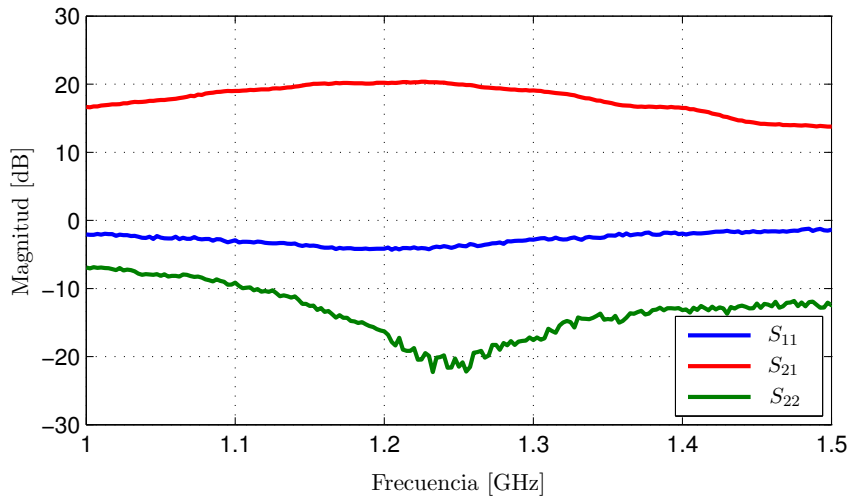
La figura de ruido expresada en dB se calcula con la siguiente ecuación

$$\text{NF} = 10 \log \left(\frac{\text{ENR}}{y - 1} \right) \quad (3.20)$$

donde ENR es la relación de exceso de ruido de la fuente de ruido empleada en la medición.



(a) LNA de L1.



(b) LNA de L2.

Figura 3.18: Parámetros S de los LNAs.

La ENR se define como

$$\text{ENR} = \frac{T_h - T_0}{T_0} \quad (3.21)$$

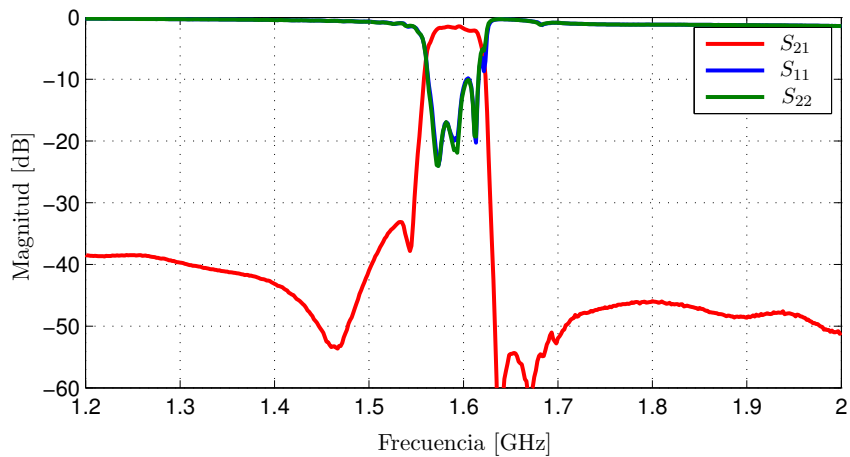
donde T_h es la temperatura equivalente de ruido cuando la fuente está encendida y T_0 es la temperatura de referencia definida como 290K (fuente apagada). Cabe destacar que para que los resultados obtenidos sean correctos la fuente de ruido debe estar calibrada.

En particular para realizar la medición se utilizó una fuente de ruido calibrada modelo N4000A de Agilent [53]. El valor medido fue de 1.1dB para L1 y 1.2dB para L2, los cuales son menores a los establecidos en los objetivos de diseño y son considerablemente menores a los que se puede encontrar en receptores comerciales. Por lo tanto, se puede concluir que los LNAs cumplen ampliamente con las expectativas propuestas.

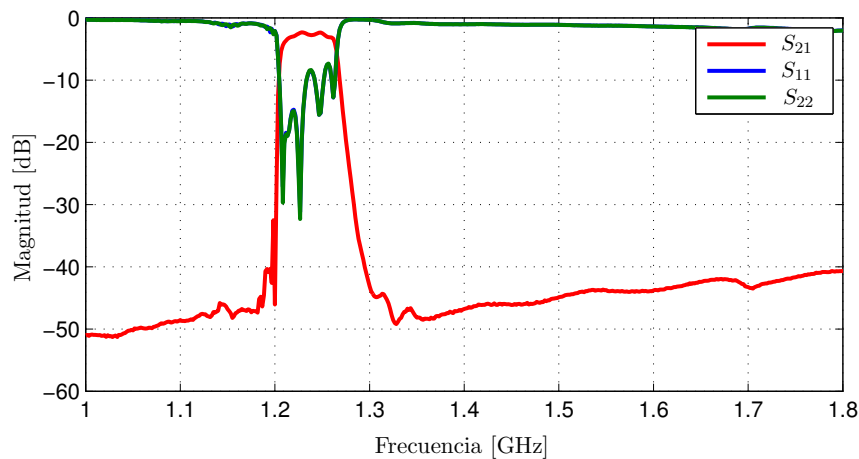
Filtros de RF

En el caso de los filtros de RF también se construyeron dos placas, una para el filtro de L1 y otra para el filtro de L2. Para caracterizarlos se midieron sus parámetros S. Los resultados obtenidos se muestran en la Fig. 3.19, en donde se puede corroborar que para ambos casos las pérdidas de inserción son del orden de 2dB y la adaptación es adecuada.

Por otra parte el ancho de banda de los filtros permite seleccionar la banda de interés correspondiente, proporcionando una atenuación del orden de 40dB a las respectivas frecuencias imagen.



(a) Filtro de L1.



(b) Filtro de L2.

Figura 3.19: Parámetros S de los filtros de RF.

Amplificador de RF

Las mediciones realizadas al amplificador de RF consistieron básicamente en la obtención de sus parámetros S, ya que a partir de estos es posible determinar su ganancia y adaptación. En la Fig. 3.20 se muestran los resultados obtenidos con la placa de prueba desarrollada para

evaluar el funcionamiento de amplificador. Allí se puede ver que está correctamente adaptado en todo el rango de frecuencias de interés y que su ganancia es del orden de 20.5dB. Además, se observa que la ganancia se mantiene prácticamente constante en todo el rango de medición. Por lo tanto, se verifica que es capaz de operar en ambos modos de funcionamiento.

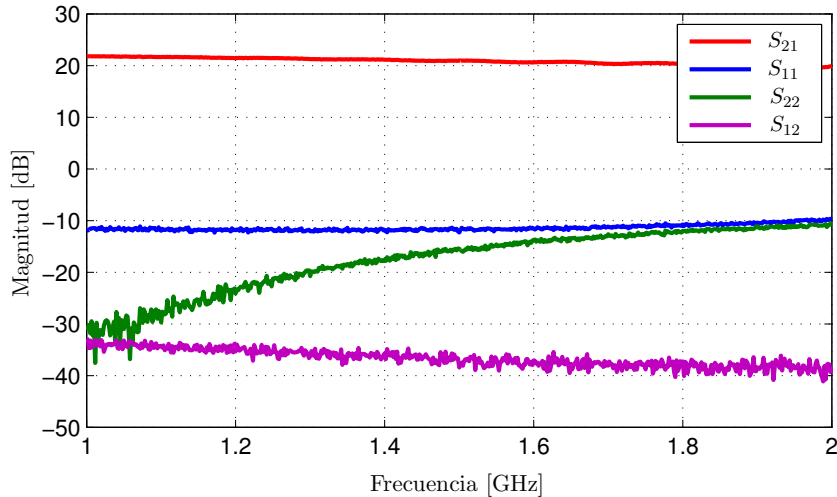


Figura 3.20: Parámetros S del amplificador de RF.

Mezclador

Se realizaron tres mediciones fundamentales para evaluar el desempeño del mezclador. En la Tabla 3.7 se resumen los resultados de dichas mediciones, los cuales se obtuvieron haciendo operar al mezclador en las condiciones de funcionamiento esperadas para los dos modos posibles. Se verificó que la aislación entre los puertos de OL y RF es correcta, sobre todo si se tiene en cuenta que es un mezclador activo. En cuanto a la aislación OL-FI, si bien es menor, no constituye un problema serio debido a que en el presente diseño la frecuencia de OL está muy alejada de FI. La ganancia de conversión obtenida está de acuerdo a lo especificado en la hoja de datos [40].

Parámetro	Modo L1	Modo L2
Ganancia	13dB	13dB
Aislación OL-RF	37dB	33dB
Aislación OL-FI	22dB	20dB

TABLA 3.7: Resultados de las mediciones realizadas al mezclador.

Amplificador de FI

Al igual que en el caso del amplificador de RF, se midieron los parámetros S. Estos se muestran en la Fig. 3.21. Allí se observa que la ganancia es superior a 20dB y que la adaptación, tanto en la entrada como en la salida, es adecuada para todo el rango de frecuencias de interés. De esta forma se corrobora su correcto funcionamiento para ambos modos de operación.

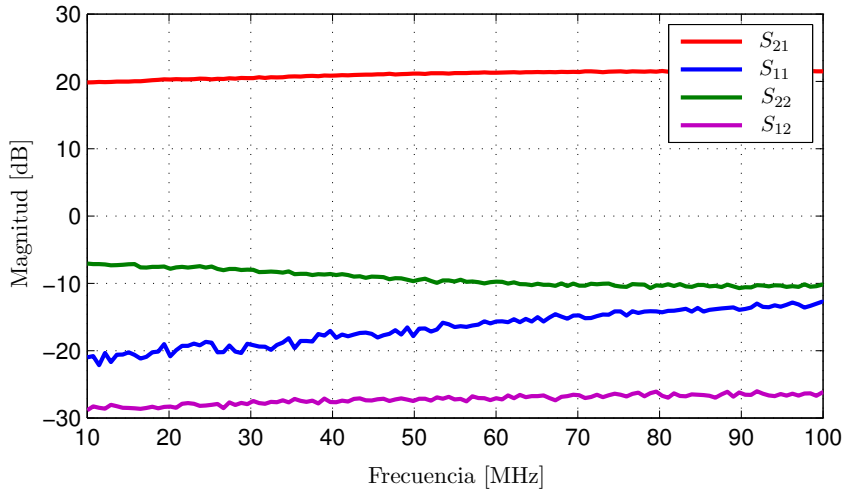


Figura 3.21: Parámetros S del amplificador de FI.

Considerando que este amplificador es la última etapa de ganancia del cabezal de RF, se estimó su punto de compresión de 1dB con el objetivo de verificar si es capaz de operar fuera de la zona de saturación en todo el rango dinámico requerido. Para determinar el punto de compresión de 1dB se realizó un barrido de potencia a una frecuencia de 45MHz, es decir aproximadamente el centro de la banda de interés. En el punto de compresión se obtuvo un valor de potencia de salida de 7dBm, por lo tanto de acuerdo a los niveles de potencia requeridos a la salida del cabezal de RF, el amplificador operará dentro de la zona que se considera como lineal. Sin embargo, el valor medido es algo inferior al que figura en la hoja de datos, lo que puede atribuirse a la frecuencia de medición.

3.5.2. Medición del Cabezal de RF Completo

Una vez que se comprobó el adecuado funcionamiento de los bloques fundamentales se prosiguió con la evaluación del desempeño del cabezal de RF completo. Los tonos de oscilador local necesarios para llevar a cabo estas pruebas se generaron con un sintetizador de frecuencias cuyo diseño se describe en el Capítulo 4.

Rechazo de Frecuencia Imagen

En el modo L1 los valores de frecuencia imagen para GPS y GLONASS son 1515MHz y 1488MHz respectivamente. Colocando tonos de estas frecuencias en la entrada del cabezal de RF y comparando los valores de potencia en las respectivas salidas de FI con los medidos para las frecuencias de interés, es decir 1575.42MHz y 1602.00MHz, se calculó el rechazo a la frecuencia imagen para ambas bandas. Los resultados obtenidos fueron 37dB para GPS y 42dB para GLONASS.

En el caso de L2 los valores de frecuencia imagen son 1163MHz y 1145MHz para GPS y GLO-NASS respectivamente. Operando en forma similar a la descrita anteriormente se determinó que el rechazo de frecuencia imagen para GPS es 40.5dB y para GLONASS es 39.5dB.

Los valores obtenidos son adecuados para este tipo de aplicaciones y cumplen con los objetivos de diseño establecidos en la Sección 3.2.1.

Figura de ruido

Otro parámetro fundamental del cabezal de RF es la figura de ruido, ya que determina su capacidad para detectar señales débiles. Si bien en la sección anterior se había medido la figura de ruido del LNA, es importante determinar la figura de ruido de todo el cabezal para verificar su correcto funcionamiento. La figura de ruido total podría estimarse utilizando la ecuación de Friis [15], pero si alguno de los componentes no está operando en forma correcta, por ejemplo un amplificador que se encuentre en saturación, la figura de ruido total se verá degradada. Este tipo de degradaciones no están contempladas en la ecuación de Friis.

La figura de ruido se midió siguiendo el procedimiento descrito en la Sección 3.5.1. En ambos modos de funcionamiento se obtuvo un valor de 1.6dB, el cual resulta muy satisfactorio. Sobre todo si se lo compara con el de algunos integrados comerciales [6] [7] [8].

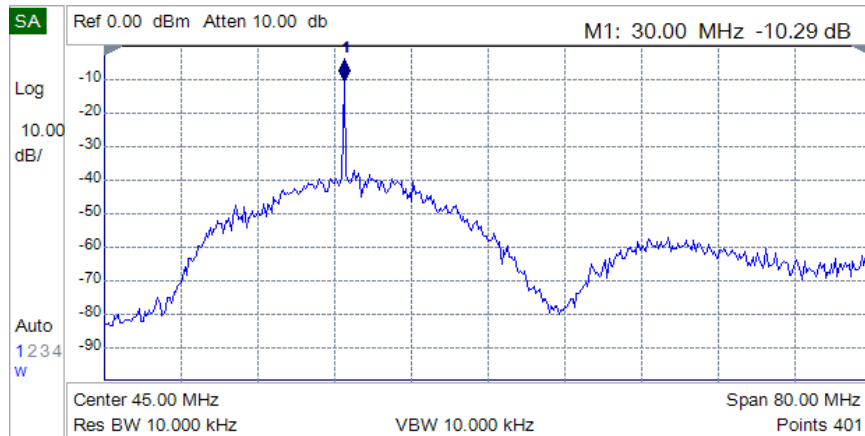
Espectro en FI

Para caracterizar los cabezales de RF se midieron los espectros en las salidas de FI colocando tonos de la frecuencia central de las bandas L1 y L2 de GPS y GLONASS en las respectivas entradas de antena. La frecuencia de los tonos empleados para L1 fue 1575MHz y 1602MHz, mientras que para L2 fue de 1227MHz y 1245MHz. La potencia estos tonos se fijó en -95dBm y ambos cabezales se configuraron con una ganancia de aproximadamente 85dB.

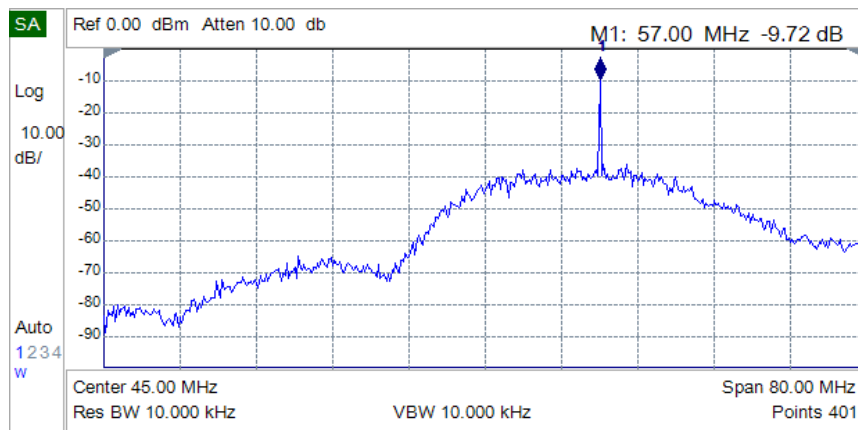
Las Figs. 3.22 y 3.23 muestran los espectros medidos. En estas figuras se aprecia la selectividad en las salidas de FI y la presencia del tono de prueba en la frecuencia intermedia correcta, con la ganancia adecuada. Cabe destacar que no se visualizan frecuencias espurias o interferencias en todo el rango de frecuencias de interés.

3.5.3. Prueba funcional

Las pruebas funcionales consistieron en realizar la adquisición de señales GNSS reales. La adquisición es un procedimiento mediante el cual es posible detectar la presencia de un satélite GNSS dado [4]. Para llevar a cabo estas pruebas se conectaron antenas para las bandas L1 y L2 a los cabezales de RF correspondientes. Las señales de FI se digitalizaron simultáneamente con una placa adquisidora a 20Msps [54]. Los datos obtenidos se procesaron con MATLAB utilizando rutinas de adquisición específicas [55].



(a) GPS/Galileo L1.



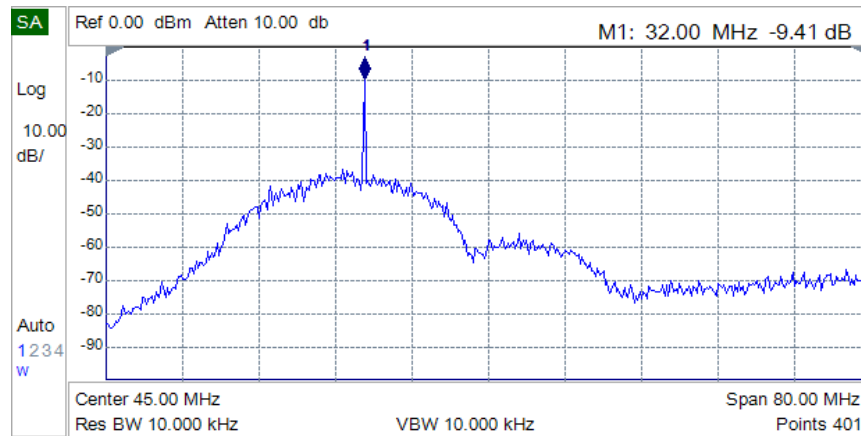
(b) GLONASS L1.

Figura 3.22: Espectros en las salidas de FI de L1.

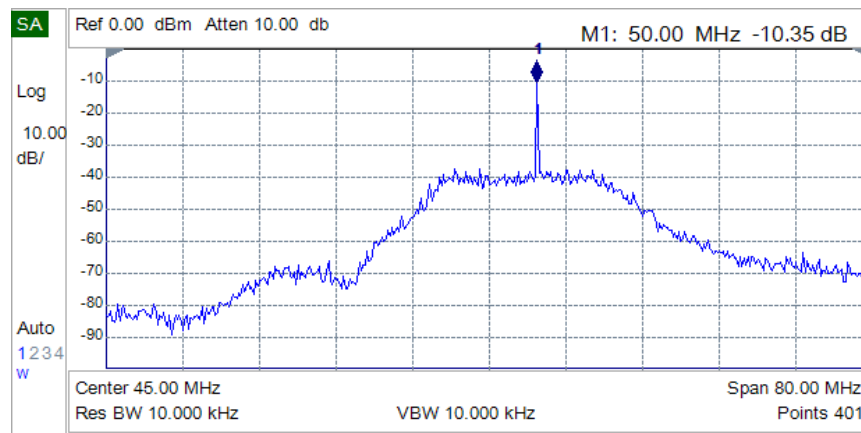
A modo de ejemplo en la Fig. 3.24 se muestran los picos de correlación pertenecientes al satélite 29 de GPS, para las señales de código C/A de L1 y CM de L2. En estas imágenes se puede observar que el retardo de código coincide, ya que se trata de señales provenientes de un mismo satélite y adquiridas en forma simultánea. Además, se verifica que la relación entre las desviaciones Doppler en L1 y L2 es la misma que entre las respectivas frecuencias de portadora. La Fig. 3.25 es el pico de correlación del satélite de GLONASS que transmite en la frecuencia 1603.6875MHz.

3.6. Conclusiones

En este capítulo se presentó el diseño y la implementación de un cabezal de RF para señales GNSS apto para operar con la banda L1 de GPS/Galileo y GLONASS, o la banda L2 de GPS y GLONASS. Estos dos modos de funcionamiento pueden ser implementados en un mismo circuito impreso reemplazando algunos componentes pasivos, lo que reduce el costo y el número de componentes necesarios.



(a) GPS L2.



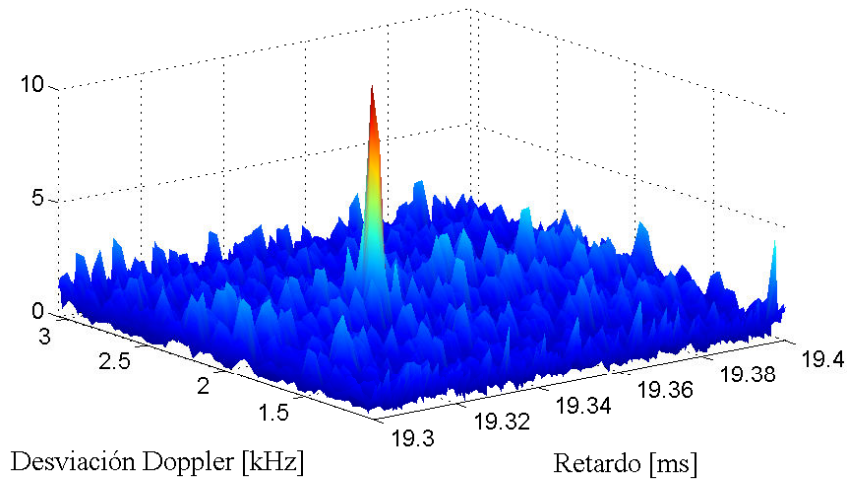
(b) GLONASS L2.

Figura 3.23: Espectros en las salidas de FI de L2.

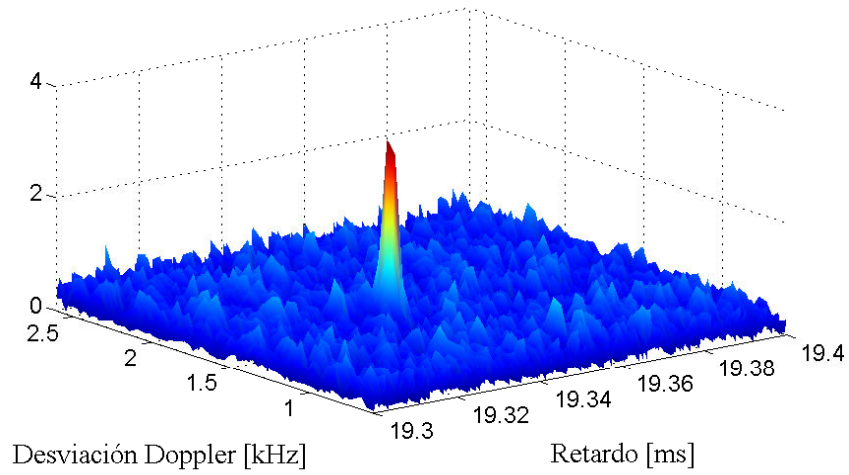
Las características del presente cabezal de RF hacen que sea capaz operar en conjunto con una plataforma de procesamiento para implementar un receptor GNSS multifrecuencia y multi-constelación basado en SDR, versátil y de altas prestaciones. Las pruebas y mediciones realizadas a los prototipos construidos validaron el diseño y arrojaron resultados muy satisfactorios.

Uno de los inconvenientes que presenta este diseño es que para lograr la característica multifrecuencia es necesario utilizar dos cabezales de RF, cada uno con su entrada de antena independiente. Como el receptor en rigor calcula la posición de la antena, esto introduce un error. Con el objetivo de solucionar este y otros problemas que se mencionarán oportunamente, en el Capítulo 6 se propone una alternativa diferente pero basada en los principios de diseño expuestos en este capítulo.

Los principales resultados obtenidos del desarrollo del diseño propuesto en este capítulo fueron presentados en un congreso internacional [56]. Posteriormente, una versión extendida de ese trabajo, en el que se incluyen resultados de los modos de funcionamiento L1 y L2, fue publicado en una revista internacional [57].



(a) Pico de correlación de código C/A L1 (satélite 29).



(b) Pico de correlación de código CM L2 (satélite 29).

Figura 3.24: Picos de correlación del satélite 29 de GPS.

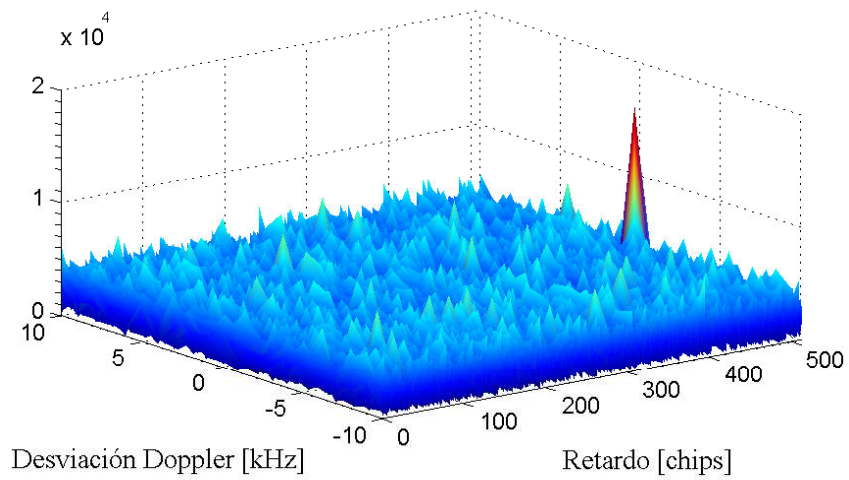


Figura 3.25: Pico de correlación de GLONASS L1.

Capítulo 4

Sintetizador de Frecuencias

En este capítulo se presenta el diseño del sintetizador de frecuencias, el cual genera los tonos de oscilador local necesarios para realizar conversión a FI de las señales provenientes de la antena en los cabezales de RF. Además provee el reloj de muestreo para la etapa de digitalización posterior. Todas las señales generadas se derivan de una única referencia, ya que en un receptor GNSS el procesamiento debe realizarse en forma coherente. Para generar los OLs y el reloj de muestreo se emplearon sintetizadores integrados basados en PLLs.

4.1. Introducción

La arquitectura propuesta en el capítulo anterior utiliza dos cabezales de RF: uno para la banda L1 y otro para la banda L2. Estos cabezales de RF realizan la conversión de las señales recibidas por la antena a una frecuencia intermedia menor. Una vez en FI, las señales pueden ser digitalizadas utilizando una placa adquisidora con conversores AD.

Para realizar la conversión a frecuencia intermedia es necesario mezclar las señales de RF con un tono de oscilador local de la frecuencia adecuada a fin de cumplir con el plan de frecuencias establecido. Como se tienen dos cabezales de RF que operan en distintas bandas de frecuencias (L1 y L2) se deben generar dos osciladores locales. De acuerdo al plan de frecuencias descrito en el Capítulo 3, se requieren tonos de OL de 1545MHz y 1195MHz. Por otra parte, como el ancho de banda de las señales es del orden de 10MHz, la frecuencia de muestreo debe ser de al menos 20Msps.

Debido a que las señales deben ser procesadas en forma coherente para evitar degradaciones en el desempeño del receptor, es necesario que los tonos de OL sean derivados de una referencia común. Esto impone una restricción en la forma de generar los OLs. Además, es importante que los OLs sean estables en frecuencia, incluso frente a variaciones en la temperatura. De lo contrario, el funcionamiento del receptor puede verse fuertemente afectado por la pérdida de enganche de los satélites [4].

Si bien en el mercado es posible conseguir osciladores que operan a las frecuencias requeridas para los OLS, estos funcionan en forma independiente lo cual impide mantener la coherencia entre las señales generadas [58]. Generalmente se trata de osciladores, cuya estabilidad en frecuencia ante variaciones de temperatura es pobre. Existen otros tipos de osciladores que trabajan a menor frecuencia y que poseen buena estabilidad. En particular, los osciladores a cristal compensados en temperatura (TCXO) y los osciladores a cristal controlados con horno (OCXO) son dos alternativas viables si se desea obtener una buena estabilidad en frecuencia. Sin embargo, la principal desventaja de este tipo de osciladores es su dificultad para ser sintonizados. Es decir, una vez que se elige su frecuencia de oscilación es necesario reemplazar el cristal por otro si se pretende modificar la frecuencia de operación.

Para obtener tonos de oscilador local con las características necesarias para un receptor GNSS de altas prestaciones, una solución es utilizar sintetizadores de frecuencias basados en lazos de enganche de fase. Estos permiten generar tonos de alta frecuencia mediante un oscilador de referencia fijo y de menor frecuencia. Una ventaja de dichos dispositivos es que varios de ellos pueden compartir la misma referencia. De esta forma se logra resolver el problema de la coherencia. Cabe destacar que estos sintetizadores, al estar basados en PLLs, tienen la ventaja de que su exactitud y estabilidad quedan determinados por la referencia empleada. Por lo tanto, es posible generar tonos de OL con características similares a las de la referencia. Como la frecuencia de la referencia puede ser baja, existe una amplia variedad de osciladores capaces de cumplir con los requisitos de exactitud y estabilidad en temperatura.

Con el objetivo de clarificar algunos de los conceptos expuestos hasta ahora y para facilitar la comprensión del resto de este capítulo, a continuación se presenta una descripción general del funcionamiento de un lazo de enganche de fase y de cada uno de sus componentes.

4.2. Lazos de Enganche de Fase

Un lazo de enganche de fase es un circuito que sincroniza la señal de un oscilador con una señal de entrada denominada referencia. El oscilador sincronizado generalmente es un oscilador controlado por tensión (VCO). El lazo sincroniza el VCO con la referencia comparando sus fases y controlando al VCO para mantener constante la relación de fases entre ambos. Para sintetizar una señal de frecuencia diferente a la de la referencia es necesario colocar un divisor de frecuencia a la salida del oscilador. Normalmente, también se utiliza un divisor de frecuencia para la referencia con el objetivo de ampliar la resolución de la frecuencia de salida. En la Fig. 4.1 se muestra el diagrama de bloques básico de un PLL.

El PLL comienza con una frecuencia de referencia estable f_{ref} , típicamente obtenida a partir de un cristal. Esta frecuencia se divide por un factor R dando lugar a lo que se denomina frecuencia de comparación f_{comp} , la cual constituye una de las entradas del comparador de fase. La salida del comparador de fase generalmente es una corriente cuyo valor medio es proporcional

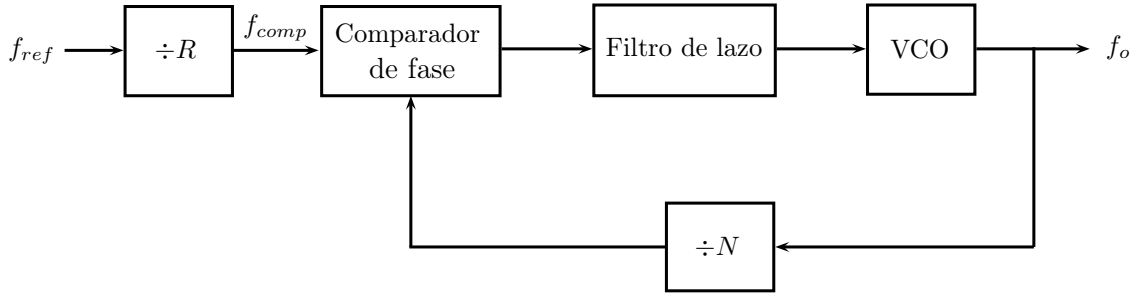


Figura 4.1: Diagrama de bloques de un PLL.

a la diferencia de fase entre la señal de frecuencia f_{comp} y la señal de salida de frecuencia f_o/N . La impedancia del filtro de lazo convierte la corriente de salida del detector de fase en una tensión. Esta tensión se utiliza para ajustar la frecuencia del VCO de manera que al dividirse por N coincida con la frecuencia de comparación. Cuando esto ocurre se dice que el lazo se encuentra enganchado y la frecuencia sintetizada queda definida por la siguiente relación

$$f_o = \frac{N}{R} f_{ref} \quad (4.1)$$

Cuando N sólo puede tomar valores enteros se dice que el PLL es de tipo entero. En este caso, el paso mínimo entre dos frecuencias adyacentes usando (4.1) resulta

$$\Delta f_{min} = \frac{f_{ref}}{R} = f_{comp} \quad (4.2)$$

por lo que el paso de frecuencia depende directamente del valor de R . En general, para obtener buena pureza espectral es conveniente mantener f_{comp} tan alta como sea posible, es decir que la diferencia entre dos frecuencias adyacentes se vuelve importante. Para aplicaciones en las que sólo es necesario generar una frecuencia fija, un PLL entero suele ser la solución más sencilla. Sin embargo, si se requiere una mayor resolución en la frecuencia sintetizada se puede recurrir a los PLL fraccionales.

En un PLL fraccional la división se realiza por un factor de la forma

$$\tilde{N} = N + \frac{K}{F} \quad (4.3)$$

El factor de división \tilde{N} está compuesto por una parte entera N y por una parte fraccional K/F , donde K y F son enteros positivos. Sustituyendo \tilde{N} por N en (4.1) se obtiene

$$f_o = \frac{\tilde{N}}{R} f_{ref} \quad (4.4)$$

Como ahora el incremento mínimo de \tilde{N} es $1/F$, entonces el paso de frecuencia para un PLL

fraccional es

$$\Delta f_{min}^{frac} = \frac{f_{comp}}{F} \quad (4.5)$$

A partir de (4.5) se puede concluir que con un PLL fraccional se logra incrementar el número de posibles frecuencias por un factor F respecto de un PLL entero. No obstante, el funcionamiento de un PLL fraccional es mucho más complejo. El factor de división \tilde{N} se realiza alternando entre factores enteros en un patrón de tiempo que depende de los parámetros K y F . Esto requiere de un método sofisticado que utiliza un interpolador fraccional para procesar esas variables y generar la salida adecuada [59]. Algunas configuraciones de los parámetros K y F pueden causar una degradación en el espectro de salida. Esto se debe a que en un PLL fraccional se introducen desviaciones temporales respecto del equilibrio, que generalmente se manifiestan como frecuencias espurias en el espectro. Cabe destacar que existen diferentes técnicas que permiten reducir estas frecuencias espurias, más información al respecto puede encontrarse en [60].

4.2.1. Componentes Principales

A continuación se explica brevemente cada uno de los componentes básicos que constituyen un PLL.

Oscilador de Referencia

Es el que proporciona la frecuencia de referencia a partir de la cual se sintetiza la frecuencia deseada. Las variaciones o inestabilidades en la frecuencia de referencia se verán reflejadas inevitablemente en la salida del PLL. Por lo tanto, el oscilador de referencia es un componente fundamental. Generalmente, a fin de asegurar la estabilidad y exactitud de la referencia se utilizan osciladores a cristal de frecuencia fija.

El término estabilidad de frecuencia se refiere al grado de constancia en la frecuencia de un oscilador bajo ciertas condiciones particulares. Para obtener más detalles acerca de la estabilidad de los osciladores a cristal se recomienda consultar [61]. Existen distintos factores que afectan la estabilidad de los osciladores a cristal. Los efectos se pueden clasificar a grandes rasgos en [62]

- Variaciones en la frecuencia producidas por cambios ambientales, fundamentalmente relacionados con la temperatura, tensión y carga.
- Estabilidad a largo plazo, que consiste en cambios en la frecuencia que se producen por el envejecimiento del cristal.
- Estabilidad a corto plazo, también conocida como estabilidad de fase.

Los cambios en la temperatura pueden afectar el valor de algunos de los componentes que

constituyen el circuito del oscilador. Si estas variaciones en los componentes no se cancelan unas con otras se producirá un cambio en la frecuencia nominal de oscilación. El componente que produce mayores variaciones en la frecuencia es el cristal.

La estabilidad a largo plazo está relacionada con las variaciones en la frecuencia que se producen gradualmente por el envejecimiento de los componentes, y en particular del cristal. El envejecimiento del cristal es causado por la transferencia de masa desde o hacia el cristal, así como por la relajación y el estrés producidos durante su funcionamiento. Puede reducirse operando el oscilador a baja temperatura, aunque es más importante mantener el cristal en un ambiente limpio, por lo cual se prefieren los encapsulados herméticos.

La estabilidad a corto plazo se refiere a los cambios en la frecuencia de oscilación que se producen por la interacción de la señal de interés con una señal no deseada o ruido. Esta interacción puede ser simplemente la superposición, modulación de amplitud, frecuencia, fase o una combinación de las anteriores. Sólo en el caso de la modulación de frecuencia o fase es que existe un verdadero cambio en la frecuencia. Si la modulación de fase es el único tipo de interacción que está siendo considerado, o es el predominante, se suele utilizar el término estabilidad de fase. Generalmente, estas variaciones se especifican en un período de tiempo. La estabilidad temporal está relacionada con la densidad espectral de fase, que se obtiene como el cociente entre la potencia de señal y la potencia de ruido a diferentes desplazamientos de frecuencia de la portadora, normalizado a 1 Hz.

Detector de Fase

El detector de fase es el elemento que compara la fase eléctrica de la señal de referencia con la salida del VCO. En base a esta diferencia de fase, el detector genera la señal de error necesaria para el lazo de control del PLL. La mayoría de los PLLs actuales utilizan un circuito denominado detector de fase frecuencia (PFD) cuyo esquema se muestra en la Fig. 4.2. A diferencia de los detectores tradicionales basados en compuertas XOR o multiplicadores, que sólo pueden resolver diferencias de fase entre $-\pi/2$ y $\pi/2$ [63], el PFD es capaz de resolver diferencias en el rango $[-2\pi, 2\pi]$ o mayores ¹.

El PFD está compuesto por dos flip-flops tipo D, cuyas salidas se denominan UP and DN. En principio existen cuatro estados posibles, pero cuando ambos flip-flops se encuentran en estado alto la compuerta AND coloca las entradas de *clear* (CLR) en alto, reseteando los flip-flops. Por lo tanto, el PFD actúa como un dispositivo de tres estados

- DN = 1, UP = 0: estado -1
- UP = 0, DN = 0: estado 0
- UP = 1, DN = 0: estado 1

¹Típicamente, se utiliza el término diferencia de frecuencia para denotar diferencias de fase mayores a 2π .

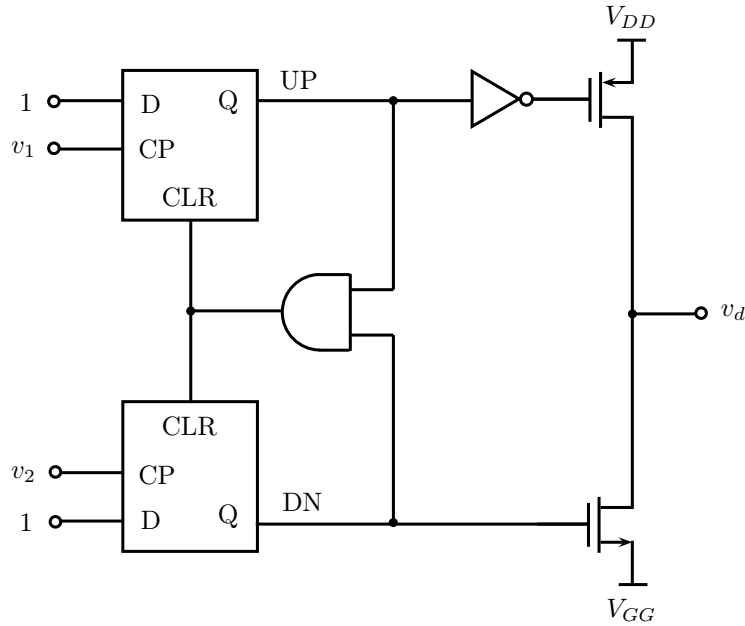


Figura 4.2: Esquema circuital del PFD.

Los flancos de subida de las señales v_1 y v_2 determinan el estado del PFD. Un flanco de subida de v_1 fuerza al PFD a su siguiente estado alto, excepto que ya se encuentre en el estado 1. En forma similar, un flanco positivo de v_2 lleva al PFD al siguiente estado bajo, excepto que estuviera en el estado -1 . La señal de salida v_d es una función lógica del estado del PFD. Cuando el PFD está en estado 1, v_d debe ser positiva. De manera análoga, cuando está en estado -1 la salida v_d debe ser negativa. Así mismo, para el estado 0 la señal v_d debería tomar el valor cero. En este caso se utiliza el tercer estado, es decir alta impedancia.

El circuito que genera la señal v_d funciona de la siguiente forma. Cuando la señal UP está en alto, el transistor MOS de canal P conduce haciendo que v_d sea igual al valor de tensión V_{DD} . Cuando DN está en alto, el transistor MOS de canal N conduce llevando v_d a V_{GG} que normalmente es cero. Si ninguna de las señales está en estado alto, ambos transistores operan en corte dejando la salida en alta impedancia.

El circuito de salida suele modificarse reemplazando las fuentes de tensión por fuentes de corriente. Este montaje se denomina *charge-pump* y es ampliamente utilizado en los circuitos integrados modernos. En la Fig. 4.3 se presenta el esquema básico. El *charge-pump* proporciona una corriente de amplitud constante i_p que es insensible a variaciones en la tensión de alimentación. La polaridad de la corriente depende de los valores de las entradas UP y DN. Para obtener más información al respecto puede consultarse [64] y [65].

El PFD operando en conjunto con un *charge-pump* produce una corriente que es proporcional a la diferencia de fase entre la señal de referencia y la salida del VCO escalada en frecuencia por el factor N , es decir

$$i_p = K_d \theta_e \quad (4.6)$$

donde K_d es la constante de proporcionalidad del circuito y θ_e es el error de fase.

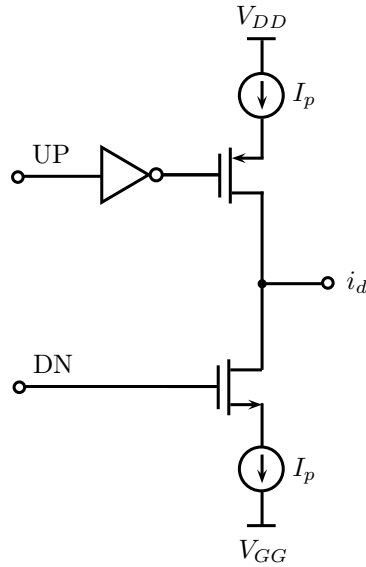


Figura 4.3: Esquema simplificado del charge-pump.

Filtro de Lazo

De acuerdo a lo expuesto anteriormente, la salida del detector de fase es una corriente que depende del error de fase. El filtro de lazo convierte esta corriente en la tensión de control del VCO. En este sentido, el filtro de lazo proporciona un valor de impedancia adecuado.

Los pulsos de corriente generados por el charge-pump son de corta duración, es decir su espectro es de gran ancho de banda. El VCO en principio sólo requiere la componente de continua y la información de baja frecuencia contenida en los pulsos de corriente. Por lo tanto, el filtro de lazo debe ser pasabajos. Esta característica además permite mejorar el desempeño del PLL desde el punto de vista del ruido, porque evita que la frecuencia de referencia module al VCO. Por otra parte, limita el ancho de banda de ruido removiendo fundamentalmente las frecuencias espurias introducidas por la referencia. Para lograr estos beneficios es necesario elegir una frecuencia de corte baja comparada con la frecuencia de la referencia.

Oscilador Controlado por Tensión

En términos generales un VCO es un oscilador cuya frecuencia puede ser modificada mediante una tensión de control. Idealmente, la frecuencia de salida de un VCO puede expresarse como

$$\omega_o = \omega_c + K_v V_t \quad (4.7)$$

donde ω_c es la frecuencia angular nominal del circuito, K_v es lo que se conoce como ganancia del VCO y V_t es la tensión de control aplicada. En los circuitos prácticos, la relación lineal es válida en un rango de valores de V_t que está vinculado con la tensión de alimentación del VCO.

En un PLL el VCO fija el ruido de fase a frecuencias alejadas de la portadora, mientras que el resto de los bloques determinan el ruido a frecuencias cercanas a la portadora. De todas las topologías posibles las basadas en resonadores LC ofrecen el mejor desempeño en cuanto al ruido de fase generado. En particular, las más utilizadas son las conocidas como *cross-coupled* y *double cross-coupled* [16]. En la Fig. 4.4 se muestra el esquema circuital simplificado de un VCO tipo cross-coupled. El espejo de corriente constituido por Mb y M3 polariza los transistores M1 y M2, que conforman el oscilador. El tanque formado por los inductores y los diodos varactores determina la frecuencia de resonancia. La variación de la frecuencia se realiza modificando la capacidad de los diodos varactores a través de una tensión de control V_i aplicada en CTRL. La topología *double cross-coupled* es muy similar, pero utiliza un par de transistores más, lo que permite eliminar uno de los dos inductores [66]. Esto es una ventaja porque implementar un inductor en un circuito integrado demanda una amplia área de sustrato.

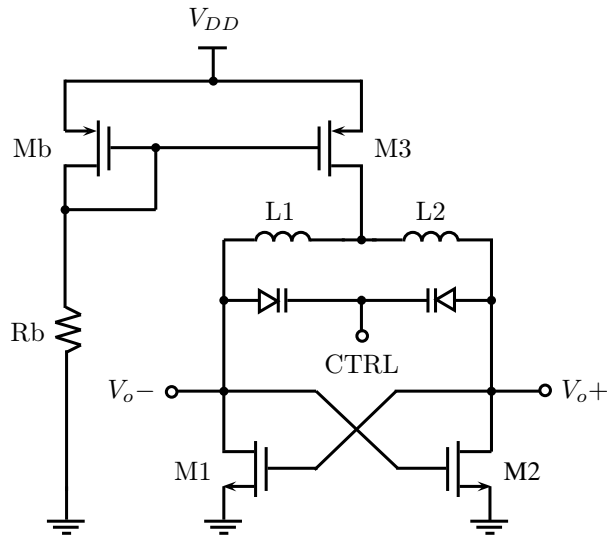


Figura 4.4: Esquema circuital simplificado de un VCO con topología cross-coupled.

Divisor de Frecuencia

Los divisores utilizados en los sintetizadores de frecuencia típicamente son programables, lo cual permite configurar la frecuencia de salida. Estos divisores se construyen como una cascada de flip-flops que conforman un contador. Por ejemplo, con un flip-flop JK es posible dividir la frecuencia de entrada por un factor 2. En consecuencia, si se colocan dos flip-flops JK en cascada se consigue un factor 4, y así sucesivamente. Para obtener un divisor arbitrario, es decir con un factor de escala distinto de una potencia de 2, es necesario agregar compuertas lógicas al circuito [67]. En el caso de los PLL fraccionales los circuitos de división de frecuencia son diferentes [63], ya que con contadores es imposible lograr un factor de división no entero.

4.2.2. Modelo lineal

Por lo visto en la sección previa, se puede concluir que muchos de los parámetros de un PLL pueden ser tratados como constantes. Aunque el PLL es un dispositivo decididamente no lineal, si se asume que está enganchado es posible utilizar un modelo lineal que constituye una buena aproximación para describir y analizar su desempeño frente a pequeños apartamientos respecto a este punto de equilibrio. Para llevar a cabo el análisis se utiliza como herramienta la transformada de Laplace.

Usando (4.6) se obtiene que la salida del detector de fase en el dominio transformado es

$$I_p(s) = K_d \theta_e(s) \quad (4.8)$$

donde θ_e es la diferencia entre las fases de las señales que ingresan al detector.

La frecuencia generada por el VCO está determinada por (4.7). Como la frecuencia angular es la derivada de la fase, por definición para obtener la fase se debe integrar la variación de la frecuencia. Por lo tanto,

$$\theta_o(t) = \int K_v V_t(t) dt = K_v \int V_t(t) dt \quad (4.9)$$

y aplicando transformada de Laplace resulta

$$\theta_o(s) = \frac{K_v}{s} V_t(s) \quad (4.10)$$

En este punto se está en condiciones de presentar el diagrama de bloques del modelo lineal del PLL correspondiente a la Fig. 4.1. Dicho diagrama de bloques se muestra en la Fig. 4.5. Allí puede notarse que las entradas y salidas son directamente las fases de las señales.

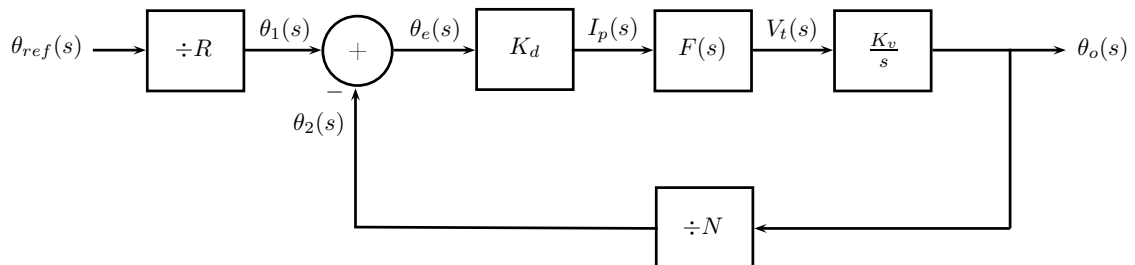


Figura 4.5: Modelo lineal de un PLL.

La transferencia de fase del PLL se define como

$$H(s) = \frac{\theta_o(s)}{\theta_{ref}(s)} \quad (4.11)$$

y la transferencia del error de fase está dada por

$$H_e(s) = \frac{\theta_e(s)}{\theta_{ref}(s)} \quad (4.12)$$

Usando álgebra de bloques es posible escribir las funciones de transferencia definidas anteriormente en términos de la ganancia de lazo $G(s)$ como

$$H(s) = \frac{G(s)}{R \left(1 + \frac{G(s)}{N} \right)} \quad (4.13)$$

$$H_e(s) = \frac{1}{R \left(1 + \frac{G(s)}{N} \right)} \quad (4.14)$$

donde

$$G(s) = \frac{K_d K_v F(s)}{s} \quad (4.15)$$

Reemplazando (4.15) en (4.13) y (4.14), las expresiones expandidas de las transferencias del PLL resultan

$$H(s) = \frac{K_d K_v F(s)}{R \left(s + \frac{K_d K_v F(s)}{N} \right)} \quad (4.16)$$

$$H_e(s) = \frac{s}{R \left(s + \frac{K_d K_v F(s)}{N} \right)} \quad (4.17)$$

Más adelante se usarán estas expresiones cuando se realice el diseño del filtro de lazo y se analicen algunas cuestiones relacionadas con el ruido.

4.3. Diseño Propuesto

Los sintetizadores de frecuencia son básicamente lazos de enganche de fase programables, lo cual les proporciona versatilidad porque permiten generar la frecuencia deseada dentro de un cierto rango de operación establecido que depende de cada dispositivo. Para este diseño se deben generar tres señales, es decir dos osciladores locales y un reloj de muestreo. Por lo tanto, se propuso emplear tres sintetizadores de frecuencia. Estos sintetizadores utilizan la misma referencia, que se distribuye mediante una red diseñada especialmente para acondicionar los niveles.

En cuanto a la referencia, para otorgarle más flexibilidad al diseño se decidió que la placa contara con un oscilador interno, pero se dejó la posibilidad de ingresar con una referencia externa mediante un conector. En particular, para la referencia interna se optó por un TCXO de 10MHz.

La programación de los sintetizadores se realiza mediante una CPLD que configura los registros internos de los PLLs para lograr obtener la frecuencia de salida deseada en cada caso. En la Fig. 6.7 se muestra el diagrama de bloques del sintetizador de frecuencias propuesto.

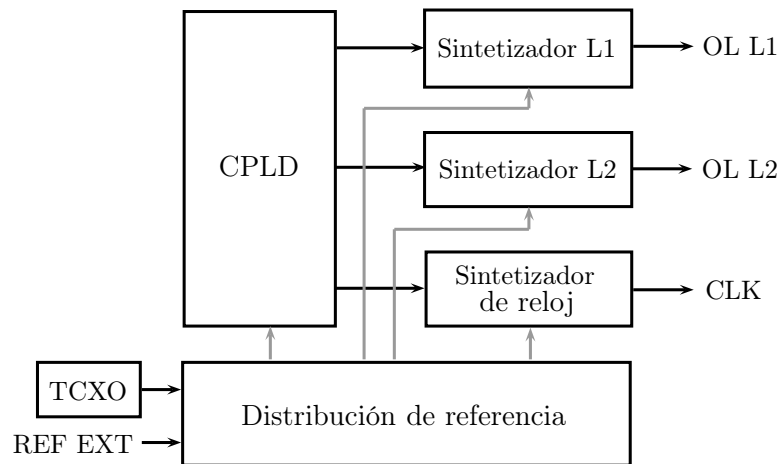


Figura 4.6: Diagrama de bloques del sintetizador de frecuencias.

A continuación se presentan los componentes utilizados para diseñar el sintetizador de frecuencias del cabezal de RF, justificando la elección de cada uno de ellos. Además, se describen los criterios de diseño aplicados y su implementación.

4.3.1. Sintetizadores de Frecuencias

Existen en el mercado varios sintetizadores de frecuencias con divisores programables que permiten generar las frecuencias requeridas para el presente diseño. En la mayoría de los casos, los circuitos integrados comerciales poseen el comparador de fase y los divisores de frecuencias, mientras que el filtro de lazo y el VCO deben ser colocados en forma externa de acuerdo a las necesidades que demande la aplicación en cuestión. Si bien el filtro de lazo es una red relativamente sencilla, el VCO es un componente más complejo. En general es costoso y debe ser cuidadosamente elegido para el rango de frecuencias de interés.

Teniendo en cuenta las cuestiones mencionadas anteriormente se decidió optar por sintetizadores de frecuencias con VCO integrado. La oferta de este tipo de dispositivos es limitada, sin embargo actualmente hay una familia de sintetizadores con VCO integrado que cubren un amplio rango de frecuencias. En particular se trata de la serie ADF4360 de Analog Devices, la cual es apta para cumplir con el plan de frecuencias propuesto en el Capítulo 3.

Osciladores Locales

De acuerdo al plan de frecuencias oportunamente establecido, para los modos L1 y L2 se deben generar tonos de 1545MHz y 1195MHz respectivamente. De la serie de sintetizadores elegidos, los que son capaces de generar estas frecuencias son el ADF4360-4 y el ADF4360-6. El diagrama funcional de estos dispositivos se presenta en la Fig. 4.7.

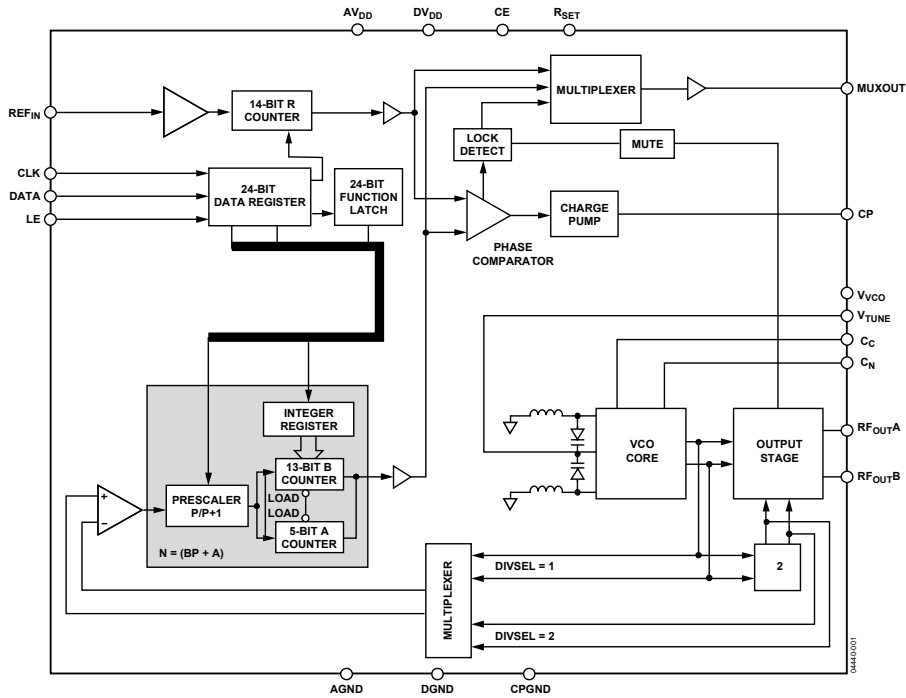


Figura 4.7: Diagrama funcional de los sintetizadores de oscilador local.

El ADF4360-4 es capaz de operar entre 1450MHz y 1750MHz, es decir es apto para generar el tono de 1545MHz necesario para el oscilador local de L1 [68]. Por su parte, el ADF4360-6 puede funcionar entre 1050MHz y 1250MHz, por tanto es adecuado para el modo L2 [69]. Cabe destacar que ambos sintetizadores pueden dividir su salida de frecuencia por un factor de 2, lo que amplía su rango de operación. Esto es una ventaja porque aporta flexibilidad al hardware desarrollado. Del mismo modo, al ser dispositivos programables es posible variar su frecuencia de salida, lo cual se traduce en versatilidad para el cabezal de RF, ya que en caso de ser necesario se podría modificar el plan de frecuencias.

Los sintetizadores son del tipo entero, sin embargo esto no implica una limitación para el presente diseño debido a que las frecuencias que se deben generar pueden ser múltiplos enteros de una referencia común. En este sentido, como se vio previamente, los sintetizadores enteros ofrecen mejores prestaciones en cuanto al ruido y las frecuencias espurias. Esto sí constituye un factor de peso cuando lo que se pretende es obtener un receptor GNSS de alto desempeño, ya que el ruido de fase afecta la calidad de las señales recibidas. En cuanto al ruido de fase es importante aclarar que estos sintetizadores cumplen con los requerimientos necesarios para aplicaciones GNSS, cuestión sobre la que se volverá más adelante. Una ventaja adicional de estos

dispositivos es que permiten obtener una potencia de salida suficiente para excitar correctamente a los mezcladores utilizados en el cabezal de RF, lo que evita el uso de amplificadores de OL y, en consecuencia, reduce la complejidad del circuito.

Reloj de Muestreo

De acuerdo a la arquitectura de cabezal de RF propuesta, en la que se separan las bandas en frecuencia intermedia, la tasa de muestreo mínima para cada salida de FI es de 20MHz. Típicamente, los conversores AD aptos para este tipo de aplicaciones requieren señales de muestreo con forma de onda cuadrada y niveles CMOS.

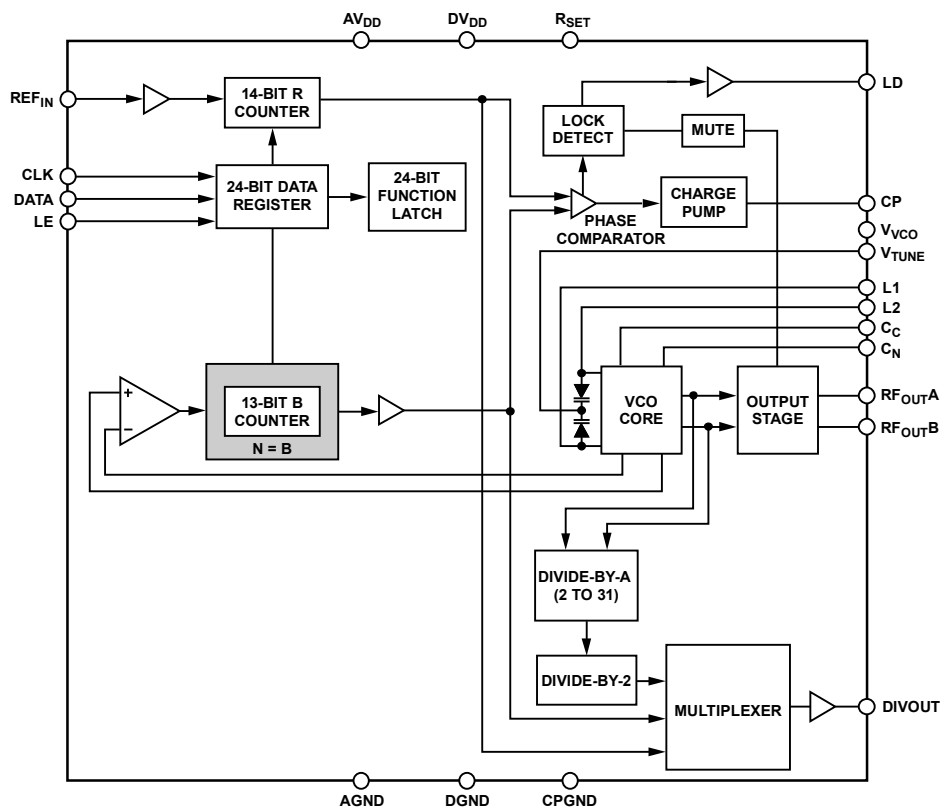


Figura 4.8: Diagrama funcional del sintetizador de reloj de muestreo.

La serie ADF4360 cuenta con un dispositivo capaz de generar señales digitales en un rango de frecuencias amplio. En particular se trata del ADF4360-9, cuyo diagrama funcional se muestra en la Fig. 4.8 [70]. Como puede observarse, la arquitectura de este sintetizador es muy similar a la de los utilizados para los OLs. La diferencia fundamental es que posee un divisor de salida adicional y un circuito que permite conformar una onda cuadrada a través del pin DIVOUT.

El VCO del ADF4360-9 puede operar entre 65MHz y 400MHz. A diferencia de otros integrantes de la familia ADF4360, este dispositivo permite configurar la frecuencia central del VCO mediante un par de inductores externos. Para generar frecuencias menores, como la necesaria para esta aplicación, es necesario recurrir al divisor de salida adicional mencionado anterior-

mente. Las ventajas fundamentales de este sintetizador son su capacidad de producir señales digitales aptas para los conversores AD y su amplio rango de frecuencias de trabajo, lo que le confiere mayor versatilidad al diseño. Por otra parte, sus especificaciones en cuanto a ruido de fase son adecuadas.

En el presente diseño es necesario disponer de dos señales digitales: una para la etapa de digitalización y otra para la etapa de procesamiento. Sin embargo, el ADF4360-9 sólo posee una salida. Con el objetivo de solucionar este problema, a la salida del sintetizador se colocó un buffer de reloj que permite generar dos señales con desfase mínimo entre ellas y con bajos niveles de jitter [71].

4.3.2. Balun de Salida

La salida de los sintetizadores de oscilador local es diferencial, pero los mezcladores utilizados en el cabezal de RF poseen entrada de OL simple. Por lo tanto, para poder interconectar estos dispositivos es necesario realizar la conversión de modo diferencial a modo simple.

Para realizar la conversión de modo diferencial a modo simple se debe combinar las señales con un desfase relativo de 180° . Existen varias formas de llevar a cabo esta tarea: puede emplearse un transformador con relación 1:1; un circuito conocido como acoplador *rat-race*, que normalmente se implementa en microtira; o un balun LC. En el rango de frecuencias de interés los transformadores comerciales son poco comunes e introducen desbalances considerables, tanto en amplitud como en fase. Las dimensiones de los acopladores *rat-race* están relacionadas con la longitud de onda de la frecuencia central de operación (que para este caso es del orden de 20cm), por lo tanto demandan una extensa área de circuito impreso [12]. Entonces, la opción más conveniente parece ser el balun LC, el cual se implementa con componentes discretos.

El esquema circuital típico de un balun LC se muestra en la Fig. 4.9. En los puertos 1 y 2 ingresa la señal diferencial, mientras que el puerto 3 es la salida de modo simple. La red se diseña para que introduzca un desfase de 90° en cada rama, es decir entre los puertos 1-3 y 2-3, de manera que las señales se combinen en el puerto 3 con un desfase total de 180° .

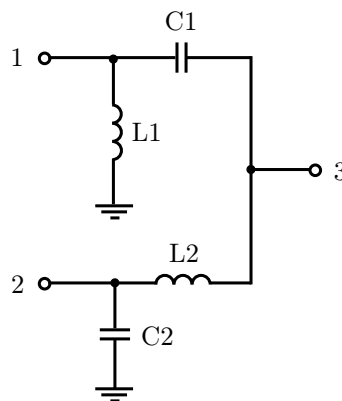


Figura 4.9: Esquema circuital de un balun LC.

Para mantener la adaptación de impedancias se debe cumplir la siguiente condición

$$Z_o = \sqrt{R_G R_L} \quad (4.18)$$

donde R_G y R_L son las impedancias de carga en la entrada y la salida, respectivamente.

Los valores de capacidad e inductancia se calculan a partir de la impedancia característica Z_o y de la frecuencia de operación f , mediante

$$L = \frac{Z_o}{2\pi f} \quad (4.19)$$

$$C = \frac{1}{2\pi f Z_o} \quad (4.20)$$

Los sintetizadores elegidos requieren que los pines de salida de oscilador local estén polarizados con una tensión V_{DD} de 3.3V. A fin de proporcionar esta polarización se propone una modificación en el circuito del balun. La Fig. 4.10 es el esquema circuital del balun modificado. El inductor L1 se coloca a la tensión V_{DD} para alimentar el puerto 1, mientras que para alimentar el puerto 2 se utiliza el choque de RF (inductor) L3 junto con el capacitor C3, cuya función es bloquear la continua en la salida. Finalmente, se agregan los inductores L_a para compensar la capacidad parásita del VCO del sintetizador de frecuencias. El valor de esta inductancia lo provee el fabricante y es diferente para cada chip [68] [69].

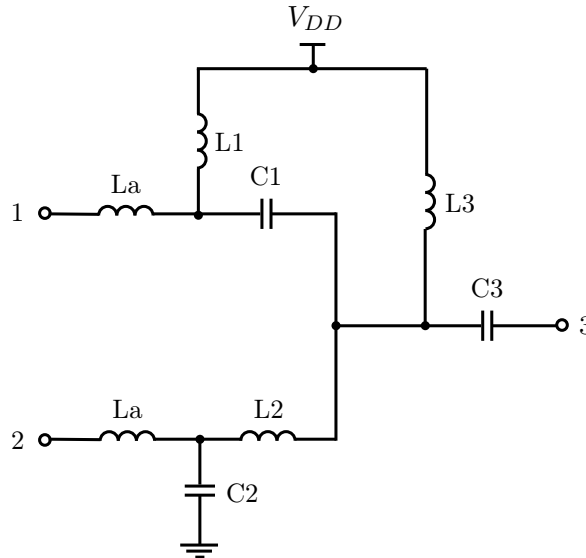


Figura 4.10: Balun LC modificado.

Usando las ecuaciones (4.18) a (4.20) se obtuvieron los valores de inductancia y capacidad necesarios para los balunes de cada uno de los sintetizadores. En la Tabla 4.1 se resumen los resultados, los cuales se aproximaron por el valor comercial más cercano.

Componente	Sintetizador L1	Sintetizador L2
C1	2pF	2.7pF
C2	2pF	2.7pF
L1	5.1nH	6.8nH
L2	5.1nH	6.8nH
C3	10pF	10pF
L3	56nH	56nH
La	4.3nH	6.8nH

TABLA 4.1: Valores de los componentes necesarios para implementar los balunes.

Finalmente, para verificar el diseño realizado, se llevó a cabo una simulación. Debido a que los balunes operan a frecuencias relativamente altas, en la simulación se incluyeron los modelos de los componentes discretos (inductores y capacitores), el circuito impreso, las líneas de transmisión y las vías. Los resultados obtenidos se presentan en las Figs. 4.11 y 4.12, en donde se muestran la magnitud y fase de los parámetros S de transmisión. La línea punteada indica la frecuencia nominal de trabajo de cada balun.

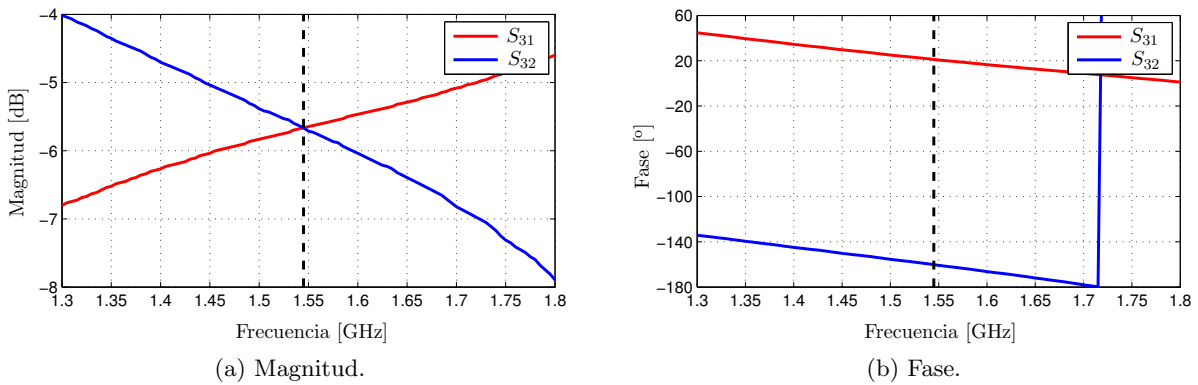


Figura 4.11: Resultados de simulación del balun de L1.

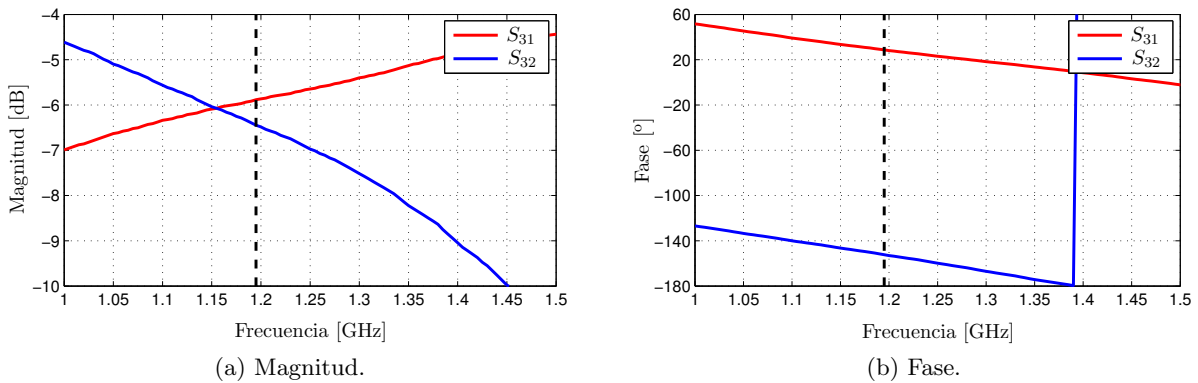


Figura 4.12: Resultados de simulación del balun de L2.

Los dos parámetros que caracterizan el desempeño de un balun son los desbalances de amplitud y fase. El desbalance de amplitud se define como

$$\Delta A[\text{dB}] = |S_{32}[\text{dB}] - S_{31}[\text{dB}]| \quad (4.21)$$

mientras que el desbalance de fase puede calcularse mediante

$$\Delta\theta[^\circ] = 180 - |\angle S_{32} - \angle S_{31}| \quad (4.22)$$

En la Tabla 4.2 se indican los valores de los desbalances calculados a partir de los resultados de simulación. Los valores obtenidos son muy satisfactorios, ya que los desbalances de magnitud no superan 1dB y los desbalances de fase son del orden de 1° .

Medición	Sintetizador L1	Sintetizador L2
Desbalance de Magnitud	0.02dB	0.56dB
Desbalance de Fase	1.34°	0.97°

TABLA 4.2: Desbalances de magnitud y fase de los balunes.

4.3.3. Oscilador de Referencia

En algunas aplicaciones la estabilidad de frecuencia no es un parámetro crítico. En los sistemas de medición de posición y tiempo (como los GNSS) la coherencia en la frecuencia entre dos instantes de tiempo diferentes es importante [4]. Debido a que el oscilador de referencia determinará la estabilidad de los sintetizadores, es fundamental utilizar un oscilador estable para este fin.

Para obtener una frecuencia de referencia exacta normalmente se recurre a osciladores a cristal. No obstante, como se adelantó en la sección anterior, las variaciones en la temperatura pueden afectar fuertemente la estabilidad de este tipo de osciladores. En particular, la estabilidad de un cristal puede aproximarse por una ecuación cúbica de la forma [72]

$$\frac{\Delta f}{f} = a(T - T_o) + b(T - T_o)^2 + c(T - T_o)^3 \text{ [ppm]} \quad (4.23)$$

donde a , b y c son los coeficientes de Bechmann, T_o es la temperatura de referencia (normalmente 25°C) y T es la temperatura del cristal.

El límite de estabilidad en un rango de temperaturas de -55°C a 105°C es aproximadamente 0.002% . Los receptores GNSS requieren estabilidades mayores para asegurar su adecuado funcionamiento. Para estos casos existen dos métodos que permiten mejorar la estabilidad: control de temperatura y compensación de temperatura.

Control de temperatura

La técnica consiste en hacer operar el cristal o incluso el circuito completo a una temperatura óptima para obtener la mejor estabilidad posible. Dicha temperatura depende del tipo de corte del cristal [62]. Estos osciladores se conocen como OCXO (Oven Controlled Crystal Oscillator).

El grado de control de temperatura requerido está determinado por la estabilidad que se pretenda conseguir. Es posible obtener estabilidades del orden de 0.5ppm colocando el cristal en un horno y dejando el circuito oscilador fuera. En cambio, para alcanzar estabilidades del orden de algunas partes por billón es necesario colocar tanto el cristal como el circuito oscilador dentro del horno. Sin embargo, el control de temperatura tiene varias desventajas que hacen que su uso sea limitado a aplicaciones específicas

1. Se requiere un tiempo para conseguir una temperatura constante.
2. Los osciladores ocupan un volumen relativamente grande, aunque actualmente se ha logrado reducir su tamaño.
3. El consumo de potencia es elevado porque se debe contar con un sistema calefactor.
4. Su costo es alto.

Compensación de Temperatura

En términos generales los TCXO utilizan una red de compensación de temperatura que sensa la temperatura ambiente y lleva al cristal a su frecuencia nominal. Este método es muy práctico para obtener estabilidades que van desde las 5ppm a las 0.5ppm.

La técnica consiste en utilizar una red de termistores para sensar la temperatura. A partir de estas mediciones se genera una tensión dependiente de la temperatura, la cual se emplea para controlar un varactor que forma parte del circuito oscilador. Al variar el valor de capacidad se logra compensar los cambios en la frecuencia producidos por las variaciones en la temperatura.

Actualmente la mayoría de los TCXOs poseen la red de compensación integrada y utilizan un conjunto de amplificadores operacionales, cuyas salidas se suman para producir una tensión que es una función de tercer orden de la temperatura. Al igual que en el esquema tradicional, esta tensión se emplea para controlar la capacidad de un varactor que modifica la frecuencia del oscilador, llevando a cabo la compensación. En la etapa de prueba del dispositivo se usa un arreglo de capacitores para ajustar la frecuencia de oscilación requerida a la temperatura de operación nominal, luego se obtienen los parámetros para generar la función de compensación y se almacenan en una memoria interna [73].

Los TCXOs son útiles en numerosas aplicaciones porque pueden conseguirse en encapsulados pequeños y ofrecen estabilidades de 10 a 40 veces superiores a los VCXO, con un consumo de potencia similar. En este sentido, el consumo de potencia de los TCXOs es muy bajo. Por lo tanto,

resultan una buena alternativa frente a los OCXOs cuando los requerimientos de estabilidad no son extremadamente exigentes.

Elección del Oscilador

Teniendo en cuenta todo lo dicho anteriormente, para este diseño se decidió optar por un TCXO. Se eligió una frecuencia de 10MHz, ya que es un valor estándar, y en consecuencia existe una gran oferta de este tipo de osciladores en el mercado. Además, dicho valor de frecuencia resulta adecuado para generar los tonos de oscilador local requeridos, que en principio son múltiplos enteros de 5MHz.

En particular se utilizó la serie FOX924 que ofrece una estabilidad de 2.5ppm, la cual es razonable para receptores GNSS. Este dispositivo genera una forma de onda con niveles CMOS que es apta para excitar a los sintetizadores de frecuencias. Su consumo de potencia es del orden de 6mA a 3.3V y su encapsulado es pequeño [74].

Para aplicaciones de precisión este diseño cuenta con una entrada de oscilador de referencia externa, en la cual se puede conectar una referencia de mayor calidad. La alternativa natural es un OCXO de 10MHz, y una opción posible es el BSOF3S3E-010.0M cuya estabilidad es de 10ppb [75]. Sin embargo, en este caso el consumo de potencia se verá fuertemente incrementado, debido a que este OCXO demanda aproximadamente 450mA a 3.3V en estado estacionario.

4.3.4. Red de Distribución de la Referencia

En el presente diseño se utiliza la misma referencia para los tres sintetizadores de frecuencias. Por lo tanto, es necesario tomar ciertos recaudos a la hora de realizar la distribución de la referencia para evitar su degradación, ya que esto afecta directamente a la calidad de las señales generadas.

En primer lugar, la red de distribución se encarga de realizar la selección entre oscilador interno o externo, según lo decida el usuario. Para llevar a cabo la selección se emplea una llave analógica controlada por tensión [76]. Si bien la solución más sencilla hubiera sido recurrir a un jumper, esta alternativa no es adecuada porque puede introducir ruido en la referencia, sobre todo teniendo en cuenta que ésta opera a 10MHz y que incluso podría ser mayor en caso que fuera externa.

Para que los efectos de carga de los sintetizadores no afecten al oscilador de referencia se debe utilizar un separador de impedancias, típicamente conocido como buffer. Esta tarea puede llevarse a cabo mediante un amplificador operacional de gran ancho de banda. Sin embargo, varios fabricantes ya cuentan con soluciones integradas conocidas bajo el nombre de buffers de reloj. En particular, Texas Instruments posee el circuito integrado CDCV304 que contiene cuatro buffers, lo que permite obtener cuatro señales de reloj a partir de una entrada [77]. La Fig. 4.13 es el diagrama de bloques de la red de distribución de la referencia.

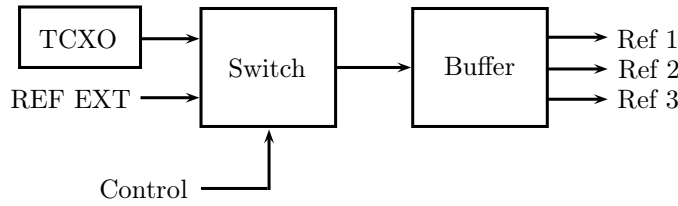


Figura 4.13: Diagrama de bloques de la red de distribución de la referencia.

4.3.5. Filtro de Lazo

Los filtros de lazo pueden clasificarse en activos o pasivos, y para cada caso existe una gran cantidad de topologías. En general los filtros activos se utilizan sólo cuando el PLL no es capaz de proveer el nivel de tensión necesario para controlar al VCO en todo su rango de operación. De lo contrario se evita su uso porque introducen ruido adicional, fundamentalmente generado por el amplificador operacional, que degrada el desempeño del PLL. En particular, en este diseño los PLLs poseen el VCO integrado, por lo tanto el nivel de la tensión de control no constituye un problema debido a que el fabricante escogió correctamente el rango de operación del VCO. En consecuencia, la elección más adecuada es un filtro pasivo. En la Fig 4.14 se muestran las dos topologías de filtros de lazo pasivos más comunes.

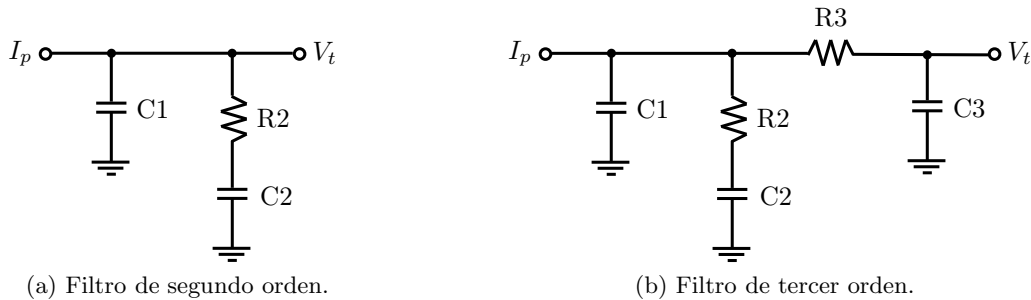


Figura 4.14: Filtros de lazo pasivos.

Filtro de Segundo Orden

La función del capacitor C1 es evitar saltos de tensión en el puerto de control del VCO producidos por los cambios instantáneos en la corriente de salida del charge-pump. La sección pasabajos constituida por C2 y R2 se utiliza para limitar el ruido y atenuar las frecuencias espurias introducidas por la referencia. La función de transferencia puede escribirse como

$$F(s) = \frac{V_t(s)}{I_p(s)} = \frac{1}{C_1 + C_2} \frac{1 + sT_2}{s(1 + sT_1)} \quad (4.24)$$

donde T_1 y T_2 son las constantes de tiempo que determinan los polos y ceros del filtro

$$T_1 = \frac{C_1 C_2}{C_1 + C_2} R_2 \quad T_2 = C_2 R_2 \quad (4.25)$$

Usando (4.15) y (4.24) la ganancia de lazo abierto del PLL resulta

$$\left. \frac{G(s)}{N} \right|_{s=j\omega} = \frac{-K_d K_v (1 + j\omega T_2)}{\omega^2 N (1 + j\omega T_1)} \frac{1}{C_1 + C_2} = \frac{-K_d K_v (1 + j\omega T_2)}{\omega^2 N (1 + j\omega T_1)} \frac{T_1}{C_1 T_2} \quad (4.26)$$

Un método de diseño muy difundido consiste en utilizar el ancho de banda de la ganancia de lazo abierto y el margen de fase para determinar el valor de los componentes del filtro [78]. El margen de fase se define como la diferencia entre 180° y la fase de la transferencia de lazo abierto a la frecuencia ω_p , correspondiente a la ganancia unitaria. Colocando el punto de mínima fase a la frecuencia donde la ganancia de lazo abierto es unitaria se asegura la estabilidad del lazo. El margen de fase de la ganancia de lazo abierto está dado por

$$\phi(\omega) = \arctan(\omega T_2) - \arctan(\omega T_1) + 180^\circ \quad (4.27)$$

Derivando el margen de fase e igualando a cero se obtiene la frecuencia del punto de inflexión del margen de fase

$$\frac{d\phi(\omega)}{d\omega} = \frac{T_2}{1 + (\omega T_2)^2} - \frac{T_1}{1 + (\omega T_1)^2} = 0 \quad (4.28)$$

resultando

$$\omega_p = \frac{1}{\sqrt{T_1 T_2}} \quad (4.29)$$

Entonces, para asegurar el máximo margen de fase cuando la magnitud de la ganancia de lazo abierto es unitaria se debe cumplir la siguiente condición, que se obtiene a partir de (4.26)

$$C_1 = \frac{K_d K_v T_1}{\omega_p^2 N T_2} \sqrt{\frac{1 + (\omega T_2)^2}{1 + (\omega T_1)^2}} \quad (4.30)$$

Los valores de las constantes de tiempo pueden encontrarse mediante las siguientes expresiones [79]

$$T_1 = \frac{\sec \phi_p - \tan \phi_p}{\omega_p} \quad T_2 = \frac{1}{\omega_p^2 T_1} \quad (4.31)$$

donde ϕ_p es el margen de fase.

El resto de los valores de los componentes del filtro se obtienen en función de las constantes de tiempo

$$C_2 = C_1 \left(\frac{T_2}{T_1} - 1 \right) \quad (4.32)$$

$$R_2 = \frac{T_2}{C_2} \quad (4.33)$$

Normalmente se elige un margen de fase entre 30° y 70° . Un margen de fase elevado asegura la estabilidad del lazo, pero produce una menor atenuación a la frecuencia de referencia y hace que la respuesta del lazo sea más lenta. Es decir que existe un compromiso entre estabilidad y atenuación. En este sentido, el criterio de diseño más utilizado es establecer el margen de fase en 45° [78].

Filtro de Tercer Orden

El ruido producido por la conmutación de corriente del charge-pump a la frecuencia de comparación puede causar bandas laterales por modulación de frecuencia en la salida del PLL. En los receptores GNSS el ruido de fase es un parámetro importante [80], por lo tanto para lograr un buen desempeño es necesario proveer atenuación adicional. Para estos casos es conveniente modificar el filtro de lazo colocando un resistor en serie y un capacitor en derivación, los cuales agregan un polo que produce mayor atenuación a las frecuencias espurias.

La función de transferencia puede escribirse como

$$F_3(s) = \frac{F(s) \frac{1}{sC_3}}{F(s) + R_3 + \frac{1}{sC_3}} = \frac{\frac{1}{C_1 + C_2}(1 + sT_2)}{s \left[\frac{C_3}{C_1 + C_2}(1 + sT_2) + (1 + sT_3)(1 + sT_1) \right]} \quad (4.34)$$

donde $F(s)$ es la función de transferencia del filtro de segundo orden dada por (4.24) y $T_3 = R_3C_3$.

A partir de (4.34) se puede concluir que si se verifica que $C_1 + C_2 \gg C_3$ la función de transferencia se simplifica a

$$F_3(s) = \frac{\frac{1}{C_1 + C_2}(1 + sT_2)}{s(1 + sT_3)(1 + sT_1)} \quad (4.35)$$

Comparando (4.24) con (4.35) la atenuación adicional introducida por el filtro de tercer orden a la frecuencia de comparación resulta

$$A[\text{dB}] = 20 \log \left[(2\pi f_{comp} R_3 C_3)^2 + 1 \right] \quad (4.36)$$

El método de diseño explicado para el filtro de segundo orden también puede aplicarse en este caso, y su desarrollo puede encontrarse en [78]. En primer lugar se establece un valor de atenuación A y luego se calcula el resto de los componentes del filtro haciendo algunas aproximaciones. Pareciera que se debe elegir un valor de A tan alto como sea posible para

obtener la máxima atenuación. Sin embargo, haciendo esto otros parámetros del filtro se verán modificados. Por ejemplo, la constante de tiempo T_1 disminuye, por lo que el efecto del filtro en el lazo será diferente del que se esperaba. En este sentido, existe un enfoque diferente en el que se maximiza la atenuación para un dado ancho de banda [81]. Esto se logra con la siguiente condición

$$T_1 = T_3 = \frac{\sec \phi - \tan \phi}{2\omega_c} \quad (4.37)$$

donde ϕ es el margen de fase y ω_c es la frecuencia de corte del filtro.

Luego, se continúa utilizando las ecuaciones de diseño desarrolladas en [78] para el filtro de tercer orden, pero introduciendo la condición establecida en (4.37). Por lo tanto, la constante de tiempo T_2 se calcula como

$$T_2 = \frac{1}{\omega_c^2(T_1 + T_3)} = \frac{1}{2\omega_c^2 T_1} \quad (4.38)$$

El valor del capacitor C_1 resulta

$$C_1 = \frac{K_d K_v T_1}{\omega_c^2 N T_2} \sqrt{\frac{1 + (\omega_c T_2)^2}{[1 + (\omega_c T_1)^2]^2}} \quad (4.39)$$

y el resto de los valores se obtienen a partir de (4.32) y (4.33).

Debe tenerse en cuenta que a la capacidad C_3 se le suma en paralelo la capacidad parásita del varactor del VCO, por lo tanto el valor de C_3 debe ser relativamente grande para que la capacidad parásita del VCO no modifique la respuesta del filtro.

Diseño Propuesto

Se optó por un filtro de tercer orden para proveer atenuación adicional a las frecuencias espurias y lograr un mejor desempeño en relación al ruido de fase. Además, sabiendo que los mejores resultados de ruido de fase se obtienen cuando la frecuencia de comparación es alta, se decidió utilizar una frecuencia de comparación de 5MHz por ser el máximo valor admitido para los sintetizadores. El ancho de banda de los filtros de lazo se fijó en 20kHz para lograr una buena atenuación a la frecuencia de comparación.

De acuerdo a lo visto anteriormente, para realizar el diseño del filtro es necesario conocer algunos parámetros propios de los sintetizadores. En la Tabla 4.3 se muestran esos parámetros, algunos de los cuales fueron extraídos de las hojas de datos correspondientes y otros fueron calculados, en base a las frecuencias generadas y a la frecuencia de comparación, empleando (4.1).

Parámetro	Sintetizador L1	Sintetizador L2	Sintetizador CLK
R	2	2	2
N	309	239	64
K_d	0.62mA/rad	0.31mA/rad	2.5mA/rad
K_v	50MHz/V	32MHz/V	6MHz/V

TABLA 4.3: Parámetros de los sintetizadores.

Por medio de las expresiones (4.37) a (4.39) en combinación con (4.32) y (4.33), y usando los valores de la Tabla 4.3 se determinó los componentes de los filtros de lazo para cada uno de los sintetizadores. Cabe destacar que se tomó como criterio de diseño un margen de fase de 45° en todos los casos. En la Tabla 4.4 se resumen los resultados obtenidos.

Componente	Sintetizador L1	Sintetizador L2	Sintetizador CLK
C1	1.5nF	470pF	3.3nF
C2	22nF	6.8nF	47nF
R2	1.1k Ω	3.3k Ω	510 Ω
R3	2.2k Ω	7.5k Ω	750 Ω
C3	680pF	220pF	2.2nF

TABLA 4.4: Valores de los componentes de los filtros de lazo.

En las Figs. 4.15 y 4.16 se muestran los diagramas de Bode de las transferencias de lazo abierto de los sintetizadores de OL y de reloj de muestreo, respectivamente. En estos gráficos se puede verificar que se cumple la condición de margen de fase de 45° para 20kHz, lo que valida el diseño realizado.

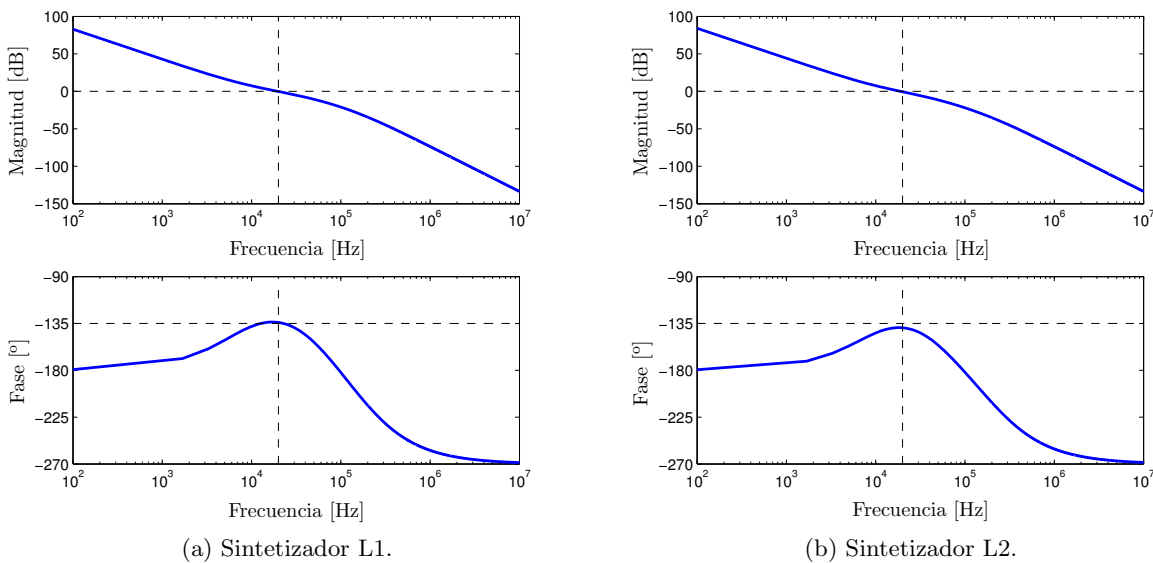


Figura 4.15: Diagramas de Bode de las transferencias de lazo abierto de los sintetizadores de OL.

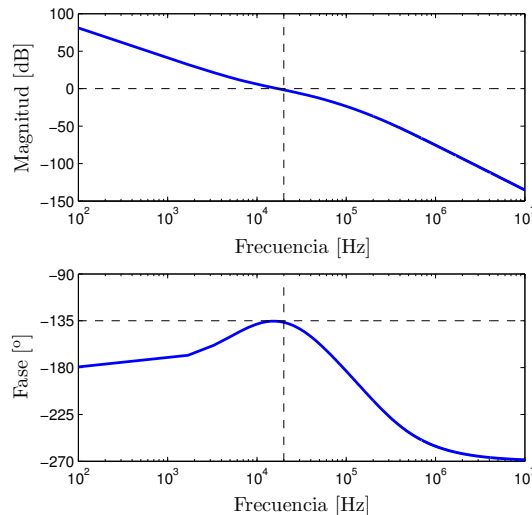


Figura 4.16: Diagrama de Bode de la transferencia de lazo abierto del sintetizador de reloj de muestreo.

4.3.6. Circuito de Programación

Se encarga básicamente de configurar los registros internos de los tres sintetizadores de frecuencias. Estos registros son los que determinan la frecuencia de operación, la potencia de salida y otros parámetros internos de los sintetizadores. Todos los sintetizadores se programan mediante una interfaz tipo SPI, la cual utiliza tres líneas de conexión.

En este diseño preliminar se decidió dejar la posibilidad de configurar a los sintetizadores en forma externa, ya que el fabricante provee un software de programación que funciona a través del puerto paralelo. Este software es versátil porque permite variar los parámetros de configuración en tiempo real, lo cual es útil en la etapa de prueba.

De todos modos, para la etapa de uso se diseñó una placa de programación externa constituida fundamentalmente por una CPLD. Una CPLD es un dispositivo lógico programable similar a una FPGA, pero de menor complejidad. La diferencia principal entre una FPGA y una CPLD es que esta última no requiere de una memoria no volátil para su configuración inicial, ya que posee una memoria integrada. Esta característica constituye una ventaja debido a que permite que la CPLD entre en funcionamiento inmediatamente después de ser alimentada, si fue previamente programada. En este caso, la CPLD almacena la configuración de los registros internos de los sintetizadores, de manera que pueda realizar la escritura de los mismos en forma automática.

Para ofrecer mayor flexibilidad, la placa cuenta con un gran número de líneas de entrada/salida de la CPLD accesibles por medio de conectores tipo tira de pines. En este sentido se escogió una CPLD de tamaño medio, con 128 macroceldas, lo que permite la incorporación de funcionalidades adicionales programadas por el usuario [82]. La CPLD opera a 10MHz, la misma frecuencia del oscilador de referencia de los sintetizadores.

Configuración de los Registros

Los sintetizadores de frecuencias cuentan con tres registros internos de 24 bits que permiten configurar las características de la señal generada, así como algunos parámetros internos del PLL. Estos registros son los contadores N y R , y otro adicional de control. Para obtener más detalles sobre los registros y su funcionalidad se debe recurrir a las hojas de datos correspondientes. En la Tabla 4.5 se muestran los valores de configuración en hexadecimal utilizados en el presente diseño.

Registro	Sintetizador L1	Sintetizador L2	Sintetizador CLK
N	002616	001D1E	004012
R	300009	300009	300009
Control	0E5100	0E1100	0FF1A4

TABLA 4.5: Valores de configuración en hexadecimal de los registros de los sintetizadores.

En este punto se debe aclarar que el reloj de muestreo se configuró en 40MHz, ya que para llevar a cabo las pruebas se utilizó una placa adquisidora con dos conversores AD de dos canales. Estos conversores requieren que la frecuencia del reloj de muestreo sea el doble de la frecuencia a la que realmente operarán los conversores. Por esta razón, si bien la tasa de muestreo de los conversores AD es 20MHz, el reloj de muestreo que debe ingresar a la placa adquisidora es de 40MHz.

4.4. Implementación

Al igual que el cabezal de RF, la placa del sintetizador de frecuencias se implementó en un circuito impreso de material RO4350 de cuatro capas. Además, en ambas placas se utilizó la misma distribución de capas. De esta forma se pudo fabricar los diseños en un mismo panel, lo que redujo notablemente los costos de fabricación. Aclaradas estas cuestiones se pasará directamente a describir el diseño del circuito impreso para no repetir los conceptos expuestos en el Capítulo 3.

El diseño del circuito impreso se basó en los diagramas esquemáticos que aparecen en el Apéndice B. El criterio de diseño empleado consistió en colocar las líneas de señal de los tres sintetizadores en la capa superior. Dichas líneas resultaron del tipo microtira por la presencia del plano de tierra que se encuentra debajo. Este tipo de líneas permite mantener su impedancia característica controlada para que coincida con la del sistema, en este caso 50Ω , lo cual reduce las pérdidas por desadaptación. La capa inferior se empleó para realizar conexiones auxiliares y para colocar los capacitores de desacople de alimentación de los diferentes dispositivos que posee la placa. Para las conexiones de alimentación se utilizó el otro plano interno, separando las distintas tensiones existentes en la placa y para cada uno de los sintetizadores. Con esta estrategia se consigue reducir la resistencia y la inductancia de las líneas de alimentación, evitando problemas

de acoplamiento entre los distintos circuitos. Con el objetivo de disminuir los componentes parásitos, debido a las altas frecuencias involucradas, y para reducir el área de circuito impreso, se decidió utilizar componentes de montaje superficial. Se optó por el tamaño 0603 por ser suficientemente pequeño, pero no al punto de complicar el montaje.

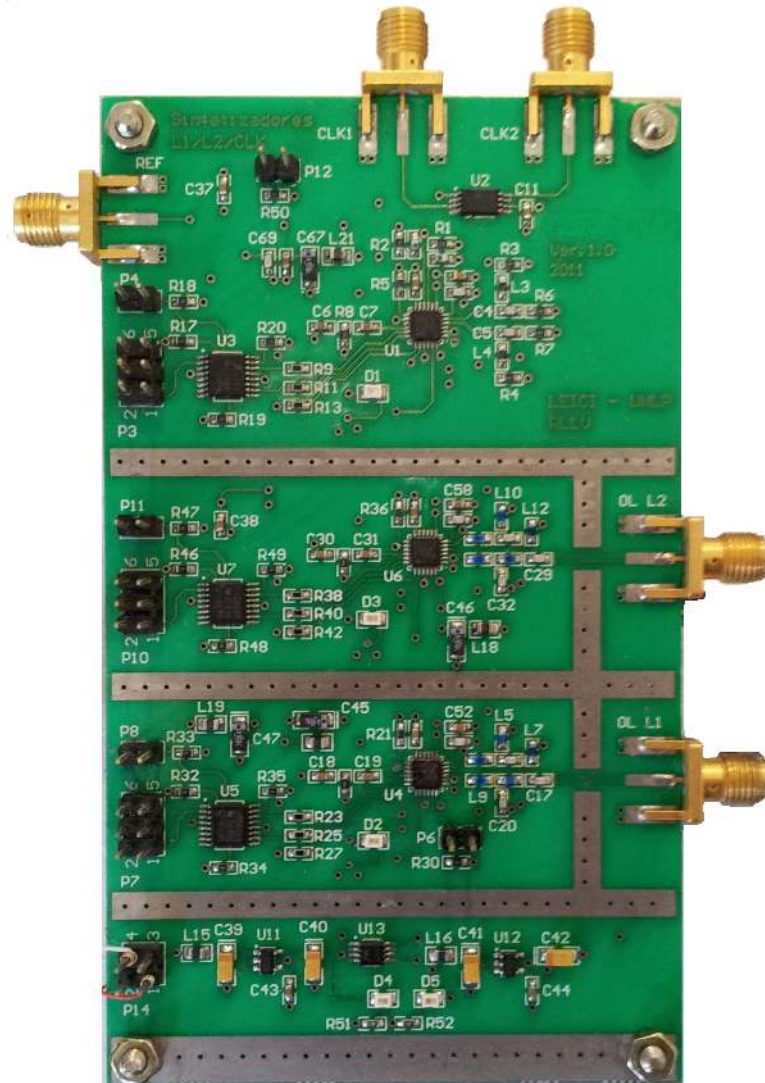


Figura 4.17: Sintetizador de frecuencias completamente ensamblado (vista superior).

La impresión de las capas del circuito impreso resultante se presenta en el Apéndice B. Con el diseño del circuito impreso concluido se envió a fabricar la placa. Una vez que se tuvo el prototipo se comenzó con el proceso de ensamblado, el cual tuvo ciertas particularidades debido a que los circuitos integrados de los sintetizadores de frecuencias poseen un tipo de encapsulado sin patas con un pad de disipación en la cara inferior. Esto impidió aplicar el soldado manual a toda la placa, y obligó a recurrir a otra técnica de soldadura para los sintetizadores de frecuencias. En particular, se optó por la técnica conocida como reflujo, en la que se utiliza pasta de soldar y un horno en lugar de alambre de estaño y un soldador de punta. Básicamente el proceso consta de tres pasos [83]:

1. Se coloca pasta de soldar sobre los pads en los que se debe soldar el integrado.
2. Se alinea el integrado sobre los pads.
3. Se lleva la placa a un horno especial que sigue un perfil de temperatura adecuado.

El horno utilizado fue desarrollado en el Laboratorio de Electrónica Industrial, Control e Instrumentación (LEICI) por el Ing. Gerardo Puga, respondiendo a la creciente demanda de este tipo de técnica de soldadura, debido a que los fabricantes optan cada vez más por encapsulados sin patas para reducir su tamaño y mejorar su desempeño en altas frecuencias. Para obtener más información acerca de la soldadura por reflujo puede consultarse [84].

El resto de los componentes de la placa fueron soldados en forma manual, al igual que en el cabezal de RF. En la Fig. 4.17 se muestra una foto del sintetizador de frecuencias completamente ensamblado, cuyo tamaño es aproximadamente 12cm × 7cm.

La placa de programación, por tratarse de un circuito de relativamente baja velocidad de operación, se implementó en un circuito impreso de material FR4. En este caso la soldadura se realizó en forma manual. La Fig. 4.18 es una foto de placa.

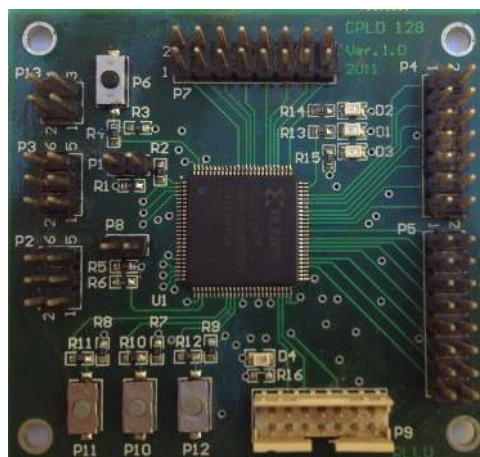


Figura 4.18: Placa de programación (vista superior).

4.5. Resultados

En esta sección se presentan los resultados obtenidos a partir del prototipo desarrollado. En primer lugar se realiza un análisis cualitativo, donde se muestran los espectros medidos para cada una de las señales generadas. Luego, se lleva a cabo un análisis cuantitativo mediante el ruido de fase de los osciladores locales y el error de fase del reloj de muestreo.

Cabe destacar que estas mediciones se llevaron a cabo utilizando como referencia el TCXO interno de la placa. Es esperable que usando una referencia externa de mayor calidad, como el OCXO propuesto, los resultados obtenidos mejoren considerablemente.

4.5.1. Espectros de Salida

Todos los espectros se obtuvieron con un analizador de señales. Las Figs. 4.19, 4.20 y 4.21 son las capturas de pantalla correspondientes a los osciladores locales de L1, L2 y del reloj de muestreo respectivamente. En el caso de los osciladores locales se muestra una ventana de 100MHz centrada alrededor de la frecuencia de portadora. Para el reloj de muestreo se tomó una ventana de 200MHz en la que se puede ver la frecuencia fundamental y los primeros cuatro armónicos.

Se puede observar que la potencia de los tonos de OL es del orden de -4dBm , el cual es un valor adecuado para excitar a los mezcladores del cabezal de RF. Por otra parte es importante notar que no existen frecuencias espurias relevantes, incluso en la frecuencia de comparación.

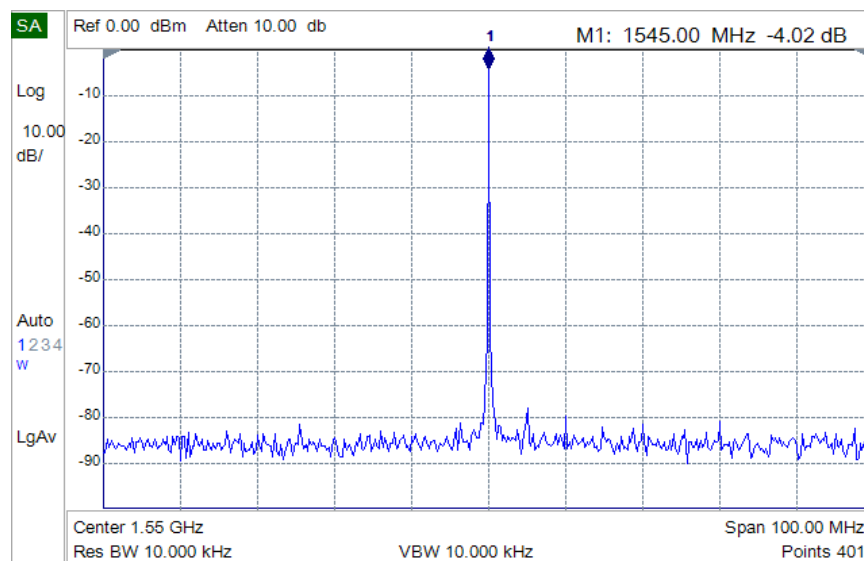


Figura 4.19: Espectro del oscilador local de L1.

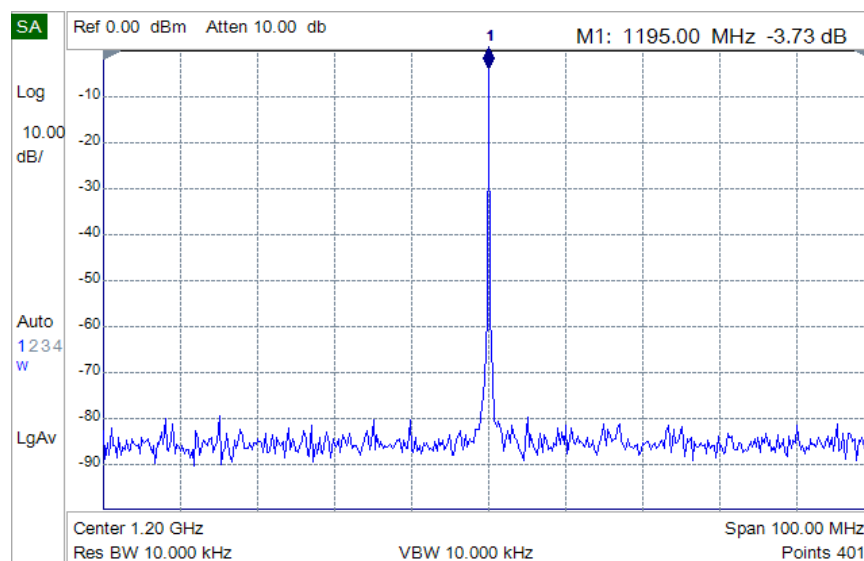


Figura 4.20: Espectro del oscilador local de L2.

Respecto del reloj de muestreo, se verifica que los armónicos impares son de mayor potencia que los pares, lo que es un indicio de que la forma de onda de la señal generada es cuadrada, tal como se esperaba. En este sentido, la potencia del armónico fundamental es la más elevada. Al igual que en los osciladores locales, no se advierte la presencia de frecuencias espurias.

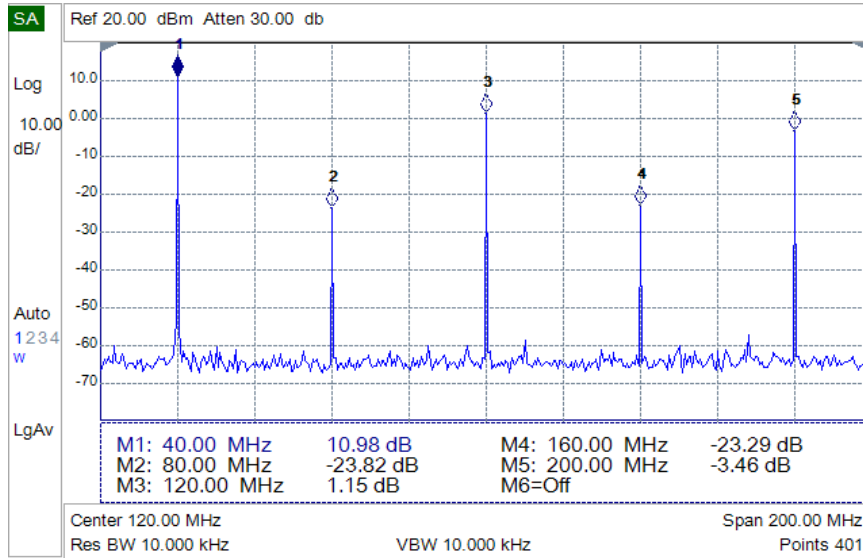


Figura 4.21: Espectro del reloj de muestreo.

4.5.2. Ruido de Fase de los Osciladores Locales

La frecuencia instantánea de un oscilador se puede caracterizar mediante tres componentes: un valor constante, correspondiente a la frecuencia ideal de diseño; una componente que varía lentamente; y una componente aleatoria. La variación lenta se debe fundamentalmente al envejecimiento y por lo general se la describe por una expresión polinómica predominantemente lineal. La variación aleatoria representa el ruido en la frecuencia. Entonces, la frecuencia instantánea puede escribirse como

$$\omega(t) = \omega_c + \alpha t + \dot{\psi}(t) \tag{4.40}$$

donde ω_c es la frecuencia ideal de diseño, α es el coeficiente de variación lenta y $\dot{\psi}(t)$ es el proceso aleatorio de ruido de frecuencia.

Integrando (4.40) la fase instantánea resulta

$$\theta(t) = \omega_c t + \frac{1}{2} \alpha t^2 + \psi(t) \tag{4.41}$$

donde $\psi(t)$ se denomina proceso de ruido de fase.

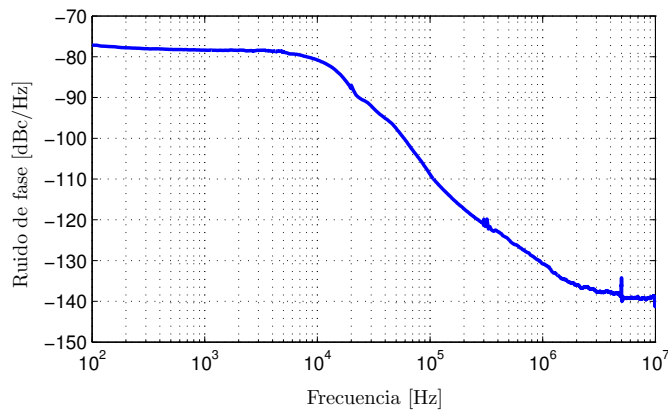
El ruido de fase representa las variaciones aleatorias rápidas en la fase de una señal. El espectro de un oscilador sinusoidal ideal es una línea en la frecuencia de oscilación. Sin embargo,

en la práctica no es posible obtener una línea espectral perfecta, ya que el ruido de fase propio del oscilador produce un ensanchamiento en el espectro. Uno de los factores que limita el desempeño de los receptores GNSS son las imperfecciones en el oscilador local, representadas fundamentalmente por estas variaciones aleatorias en la fase o frecuencia instantánea. Por lo tanto, es importante caracterizar el ruido de fase de los osciladores locales diseñados.

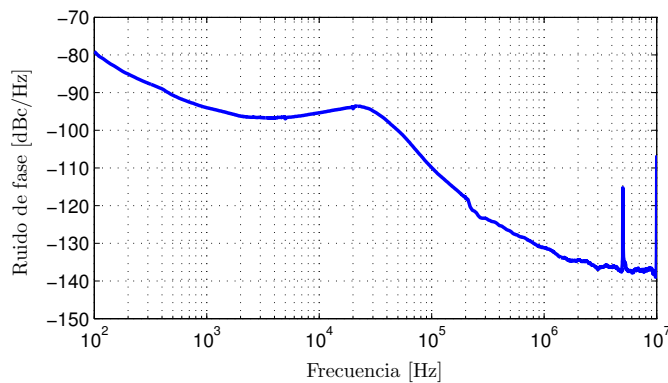
Generalmente el ruido de fase se expresa en dBc/Hz, es decir potencia de ruido relativo a la potencia de la portadora en 1Hz de ancho de banda, y se mide a distintos valores de offset respecto de la frecuencia de portadora. La Fig. 4.22 contiene los gráficos de ruido de fase de los osciladores locales de L1 y L2. Las mediciones se realizaron con un analizador de señales, por lo tanto para construir los gráficos se utilizó la siguiente expresión

$$L(f)[\text{dBc/Hz}] = P_{med}(f)[\text{dBm}] - 10 \log(BW_{res}[\text{Hz}]) - P_c[\text{dBm}] \quad (4.42)$$

donde $P_{med}(f)$ es la potencia a la frecuencia f respecto de la portadora (offset), BW_{res} es el ancho de banda de resolución del instrumento y P_c es la potencia de la portadora.



(a) Sintetizador L1.



(b) Sintetizador L2.

Figura 4.22: Ruido de fase medido de los osciladores locales.

Los resultados demuestran que el desempeño de los sintetizadores en cuanto a ruido de fase es muy satisfactorio, ya que con los valores obtenidos es posible asegurar una mínima degradación

en los niveles de señal a ruido de correlación, incluso con tiempos de integración largos [80]. En ambas gráficas se observa la línea correspondiente a la frecuencia de comparación en 5MHz. Sin embargo, se encuentra muy por debajo de la portadora.

4.5.3. Reloj de Muestreo

La caracterización del reloj de muestreo se llevó a cabo en dos etapas, en primer lugar se obtuvo la forma de onda de las señales para verificar que cumplieran con los requerimientos necesarios. Luego se pasó al dominio frecuencial, en donde se realizaron mediciones relacionadas con el ruido de fase, el cual se traduce en jitter. Este último parámetro resulta de gran importancia porque tiene influencia directa en la relación señal a ruido de los conversores AD de la etapa de digitalización.

Análisis Temporal

Para obtener la forma de onda de los relojes de muestreo se utilizó un osciloscopio digital de gran ancho de banda. Esto permitió medir algunos parámetros de las señales, como tiempos de subida y sobrepicos, en forma precisa. En la Fig. 4.23 se puede visualizar las formas de onda obtenidas. La Tabla 4.6 resume los resultados de las mediciones efectuadas.

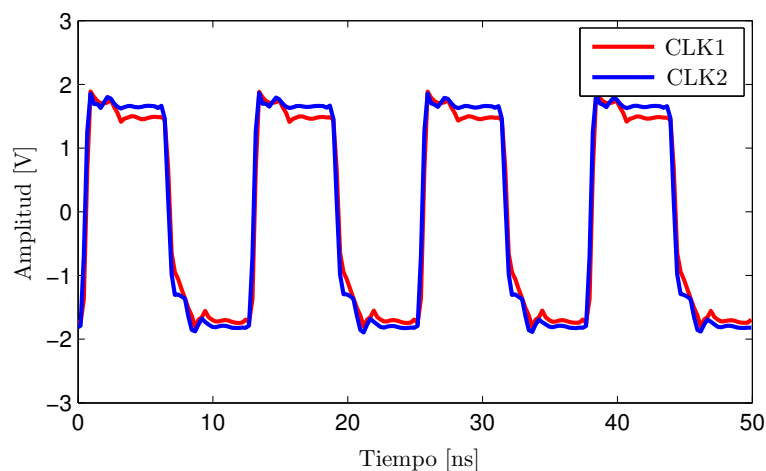


Figura 4.23: Formas de onda de los relojes de muestreo.

Analizando los resultados obtenidos se puede concluir que la generación de las señales es correcta, ya que éstas poseen la frecuencia y los niveles de tensión adecuados (CMOS). Por otra parte, el sobrepico es bajo y los tiempos de subida y de bajada están dentro de los valores esperados. La diferencia de fase entre las dos señales de reloj es de sólo 2.6° .

Medición	CLK1	CLK2
Amplitud	3.2V	3.4V
Frecuencia	40.0MHz	40.0MHz
Tiempo de subida	0.8ns	0.9ns
Tiempo de bajada	2.9ns	3.1ns
Sobrepico	12 %	6 %
Ciclo de trabajo	50 %	50 %

TABLA 4.6: Resultados de las mediciones temporales de los relojes de muestreo.

Jitter

En una señal cuadrada real los flancos de subida no siempre ocurren exactamente en el instante de tiempo que deberían, esto es porque existe un error de fase aleatorio. Si bien la media de este error es cero, su varianza no es nula y se conoce como error de fase eficaz o jitter de fase. El jitter se relaciona con el ruido de fase mediante la siguiente expresión

$$\theta_j[\text{rad}] = \sqrt{2 \int_0^{\infty} L(f) df} \quad (4.43)$$

donde $L(f)$ es la densidad espectral de ruido de fase de la señal.

Para determinar el jitter es necesario conocer completamente el ruido de fase de la señal. Otra alternativa es tomar ciertos valores particulares del ruido de fase y realizar algunas aproximaciones. En particular, estas aproximaciones consisten en considerar que el ruido de fase del VCO cae 20dB por década a partir de la frecuencia de corte del filtro de lazo, en donde además se produce el pico de ruido de fase. Bajo estas condiciones el jitter puede calcularse como [81]

$$\theta_j[\text{rad}] = \sqrt{2 \left\{ \int_0^{f_c} 10^{k/10} \left[1 + \frac{f}{f_c} (10^{p/10} - 1) \right] df + \int_{f_c}^{\infty} \frac{10^{(k+p)/10}}{10^{2 \log(f-f_c+1)}} df \right\}} \quad (4.44)$$

donde f_c es la frecuencia de corte del filtro de lazo, k es el ruido de fase en dBc/Hz a la frecuencia de corte del filtro de lazo y p es el pico en el espectro de potencia del ruido de fase en dB.

Resolviendo las integrales y operando se obtiene

$$\theta_j[\text{rad}] = \sqrt{2} 10^{k/20} \left(\sqrt{f_c \left[1 + \frac{1}{2} (10^{p/10} - 1) \right]} + 10^{p/10} \right) \quad (4.45)$$

Para los anchos de banda de lazo típicos, el término fuera de la raíz cuadrada de (4.45) es mucho menor al primer término. Por lo tanto, si se desprecia se obtiene

$$\theta_j[\text{rad}] = \sqrt{2f_c} 10^{(k+p)/20} \quad (4.46)$$

Si el reloj de muestreo de un conversor AD posee jitter existe una incerteza en el instante de muestreo, que se traduce en una variación en la amplitud de la señal muestreada. Para un valor fijo de jitter, la variación de amplitud será mayor a medida que aumente la frecuencia de la señal que se está muestreando. Estas variaciones de amplitud se transforman en ruido que degrada el desempeño del conversor AD.

En particular, existen varios factores que limitan la relación señal a ruido de un conversor AD. Estos son el ruido de cuantización, el ruido térmico y el jitter de reloj. La SNR de un conversor AD puede escribirse en términos de estos factores mediante la siguiente ecuación [85]

$$\text{SNR}_{AD}[\text{dBc}] = -20 \log \left[\sqrt{\left(10^{-\frac{\text{SNR}_Q}{20}}\right)^2 + \left(10^{-\frac{\text{SNR}_T}{20}}\right)^2 + \left(10^{-\frac{\text{SNR}_J}{20}}\right)^2} \right] \quad (4.47)$$

donde SNR_Q , SNR_T y SNR_J son las relaciones señal a ruido de cuantización, ruido térmico y jitter expresadas en dBc.

La componente relacionada con el jitter depende de la frecuencia de la señal a muestrear f_{in}

$$\text{SNR}_J = -20 \log (2\pi f_{in} t_j) \quad (4.48)$$

donde t_j es el tiempo de jitter, que se calcula con la siguiente expresión

$$t_j[s] = \frac{\theta_j[\text{rad}]}{2\pi f_{clk}} \quad (4.49)$$

siendo f_{clk} la frecuencia del reloj de muestreo.

A partir de las mediciones realizadas a las señales de muestreo se encontró que el ruido de fase para la frecuencia de corte del filtro de lazo, es decir a 20kHz de la portadora, es de -102dBc/Hz . Además, se verificó que el pico en la DEP de ruido de fase es de aproximadamente 1dB. Reemplazando estos valores en (4.46) se obtiene

$$\theta_j = 1,78 \times 10^{-3} \text{rad} \quad (4.50)$$

Por lo tanto, usando (4.49) y considerando que la frecuencia de muestreo es 40MHz, el valor RMS del tiempo de jitter resulta

$$t_j = 7\text{ps} \quad (4.51)$$

Este valor es adecuado porque si se muestrea una señal de 45MHz (frecuencia central del cabezal de RF), a partir de (4.48) la SNR_J resulta de 54dBc. Para un conversor AD de 8 bits la SNR_Q es 46dBc, por lo tanto el ruido debido al jitter del reloj de muestreo no afectará el desempeño del conversor.

4.6. Conclusiones

En este capítulo se presentó el diseño, la implementación y las mediciones realizadas al sintetizador de frecuencias del cabezal de RF. Este sintetizador es capaz de generar los tonos de oscilador local necesarios para realizar la conversión a FI de las señales en los cabezales de RF. Además, provee el reloj de muestreo para las etapas de digitalización y procesamiento. Todas las frecuencias generadas se derivan de un referencia común, lo cual es un requisito fundamental, ya que en un receptor multifrecuencia y multiconstelación las señales GNSS deben procesarse en forma coherente. En este sentido, para realizar el diseño recurrió a sintetizadores de frecuencias basados en PLL.

Los resultados obtenidos a partir de las mediciones realizadas al prototipo implementado fueron muy satisfactorios. Las señales generadas presentaron una buena pureza espectral, sin la presencia de frecuencias espurias relevantes. El ruido de fase de los osciladores locales resultó ser adecuado para este tipo de aplicaciones. Por otro lado, los relojes de muestreo presentaron un muy buen desempeño en cuanto al jitter, el cual es un parámetro fundamental porque tiene influencia directa en el ruido de los conversores AD.

El diseño propuesto en este capítulo, así como algunas de las mediciones efectuadas, fueron publicados en un artículo en una revista internacional [86]. En dicho artículo también se muestran resultados del cabezal de RF presentado en el capítulo previo operando en conjunto con este sintetizador de frecuencias.

Capítulo 5

LNA de Banda Ancha

Este capítulo está destinado a describir el diseño de un amplificador de bajo ruido de banda ancha apto para operar en toda la banda de frecuencias en la que transmiten los GNSS. El diseño propuesto está basado en un transistor de bajo ruido realimentado, esta técnica permite obtener una ganancia plana en todo el rango de frecuencias de interés, sin deteriorar apreciablemente la figura de ruido del dispositivo.

5.1. Introducción

Tal como se adelantó en el Capítulo 3, en un receptor multifrecuencia es importante que todas las señales GNSS provengan de una única antena. Esto es porque estrictamente el receptor calcula la posición de la antena. El diseño preliminar propuesto para el cabezal de RF posee dos entradas de antena independientes, una para la banda L1 y otra para la banda L2. Por ello para poder conectar una antena doble banda habría que utilizar un diplexor que degradaría la figura de ruido del receptor, especialmente en el caso de que la antena fuera pasiva. En consecuencia, en el diseño final del cabezal de RF esto deberá ser modificado para contar con una única entrada de antena.

Por otra parte, como ya fue mencionado en la introducción, para poder detectar las señales GNSS la etapa de RF debe poseer una alta sensibilidad, la cual está directamente relacionada con la figura de ruido. Esto puede verse claramente en la siguiente expresión, en la cual se supone que la temperatura del sistema es 290K

$$S_{min}[\text{dBm}] = \text{NF}_s[\text{dB}] + \text{SNR}_o[\text{dB}] - 174[\text{dBm/Hz}] + 10 \log(B[\text{Hz}]) \quad (5.1)$$

donde $\text{NF}_s = 10 \log(F_s)$, siendo F_s la figura de ruido del sistema en veces; SNR_o es la relación señal a ruido en la salida y B es el ancho de banda.

Considerando una cascada de N elementos, como es el caso de un receptor, la figura de ruido total del sistema puede calcularse mediante la fórmula de Friis [15]

$$F_s = F_1 + \frac{F_2 - 1}{G_1} + \frac{F_3 - 1}{G_1 G_2} + \dots + \frac{F_N - 1}{G_1 G_2 \dots G_{N-1}} \quad (5.2)$$

donde F_i y G_i son la figura de ruido y ganancia de la etapa i -ésima, respectivamente.

En (5.2) se puede ver que la figura de ruido del primer elemento influye en forma directa sobre la figura de ruido total del sistema. Además, si su ganancia es elevada reduce la contribución de los demás elementos a la figura de ruido total. Entonces, para lograr un receptor con alta sensibilidad es necesario colocar un amplificador de muy baja figura de ruido y gran ganancia a continuación de la entrada de antena. Por otra parte, por lo expresado anteriormente, como se dispondrá de una única entrada de antena es necesario que el amplificador de bajo ruido sea capaz de operar en todo el rango de frecuencias en que transmiten los satélites GNSS. Es decir, en un ancho de banda de alrededor de 450MHz centrado en aproximadamente 1400MHz (ver Capítulo 1).

En algunos trabajos se han propuesto diseños de LNA aptos para operar en la banda de frecuencias de interés. Por ejemplo, en [87] se presenta un diseño integrado con una ganancia de 15dB y una figura de ruido de 3dB. En [88] se utiliza un diseño con componentes discretos que posee una figura de ruido baja, pero con un considerable consumo de potencia (aproximadamente 2.2W) y una variación en la ganancia de alrededor de 6dB. En [89] el LNA propuesto tiene una ganancia de 18.5dB y una figura de ruido de 2.2dB, con un consumo de potencia de 90mW. El objetivo de este capítulo es obtener un diseño que permita mejorar las prestaciones logradas en los trabajos anteriormente citados. En particular se propone un LNA implementado con componentes discretos y basado en un transistor de bajo ruido. Dicho amplificador alcanza una ganancia de aproximadamente 20dB con una variación inferior a 1.5dB en el rango de frecuencias de interés, y con una figura de ruido menor a 1.2dB. Estas prestaciones se logran con un reducido consumo de potencia, menor a 30mW, lo cual es deseable en aplicaciones prácticas.

5.2. Objetivos de Diseño

Considerando el esquema típico de un receptor de GNSS como el presentado en la Fig. 2.1, el nivel de ruido a la salida del cabezal de RF está dado por

$$N_o = kBG_T(T_a + T_e) \quad (5.3)$$

donde k es la constante de Boltzmann, B es el ancho de banda del sistema, G_T es la ganancia del cabezal de RF, y T_a y T_e son las temperaturas equivalentes de ruido de la antena y del cabezal de RF respectivamente. Entonces, la mínima señal detectable puede expresarse como

$$S_{min} = kB(T_a + T_e) \left(\frac{S_o}{N_o} \right)_{min} \quad (5.4)$$

donde S_o/N_o es la relación señal a ruido a la salida del cabezal de RF.

En un receptor GNSS el ancho de banda B no es único, ya que depende de las señales que se desee recibir. Generalmente, en lugar de utilizar la relación señal a ruido S/N , la señal de entrada se escribe en términos de la relación entre la potencia de la portadora y la densidad espectral de ruido C/N_o . Entonces, usando (5.4) y expresando la temperatura equivalente de ruido en función de la figura de ruido, la mínima señal detectable puede escribirse como

$$S_{min} = k[T_a + (F - 1)T_o] \left(\frac{C}{N_o} \right)_{min} \quad (5.5)$$

donde F es la figura de ruido del receptor en veces y T_o es la temperatura de referencia definida como 290K.

La potencia máxima de señal esperable en la antena de un receptor GNSS es aproximadamente -127dBm [4]. En un receptor típico con una figura de ruido de 3dB, empleando (5.5) la C/N_o resultante es alrededor de 45dB-Hz. Aún bajo estas condiciones la señal es demasiado débil para ser detectada, por lo que es necesario realizar procesamiento para poder ponerla en evidencia. Sin embargo, incluso recurriendo a técnicas especiales en general para los receptores GNSS no es posible detectar fácilmente señales con C/N_o por debajo de 25dB-Hz [11] [90] [91]. La Tabla 5.1 muestra la dependencia de la mínima potencia detectable con la figura de ruido del receptor para una $C/N_o = 25\text{dB-Hz}$ y considerando una temperatura de antena de 100K.

NF[dB]	S_{min} [dBm]
4.0	-146.3
3.0	-147.7
2.0	-149.3
1.0	-151.2

TABLA 5.1: Mínima señal detectable para $C/N_o = 25\text{dB-Hz}$.

De acuerdo a los resultados presentados en la Tabla 5.1, con una NF de 2dB la mínima potencia detectable se reduce en 3dBm respecto a la que se obtiene con una NF de 4dB. Es decir, se reduce a la mitad, significando un considerable aumento en la sensibilidad del receptor.

Otra cuestión a tener en cuenta es la linealidad del LNA. En caso de que existan interferencias, como por ejemplo un tono en alguna frecuencia particular, el LNA podría saturarse generando armónicos y productos de intermodulación que afecten a toda la banda de interés. Para evitar esta situación es importante que el LNA sea capaz de manejar señales de potencia relativamente alta sin saturarse. Un parámetro que cuantifica la saturación es el punto de compresión de 1dB, que se define como la potencia de salida para la cual la ganancia cae 1dB respecto de la nominal, e indica el límite hasta el cual el amplificador puede considerarse lineal.

Por todo lo expuesto en esta sección se fijarán como objetivos de diseño obtener una figura de ruido menor a 2dB, con una ganancia de aproximadamente 20dB en la banda de frecuencias de interés, es decir entre 1165MHz y 1606MHz. La especificación de ganancia elevada permite reducir el efecto del resto de los elementos en la figura de ruido total del receptor, tal como lo indica la ecuación (5.2). Por cuestiones prácticas se pretende que la variación en la ganancia no sea mayor a 2dB y que el consumo de potencia sea bajo. Para asegurar la linealidad del LNA, incluso bajo el efecto de interferencias fuertes, su punto de compresión de 1dB deberá ser mayor a 0dBm.

5.3. Diseño Propuesto

Para implementar el LNA se optó por un diseño con componentes discretos basado en un transistor de bajo ruido. En particular se eligió el transistor BFP740F, cuyas características son aptas para esta aplicación [92].

El ancho de banda de operación del LNA debe ser aproximadamente 450MHz, entonces puede considerarse como un diseño de banda ancha. Las principales dificultades que presenta un diseño de estas características son las variaciones en $|S_{21}|$ y $|S_{12}|$, los cuales típicamente decrecen a una tasa de 6dB/octava. Por otra parte, los parámetros S_{11} y S_{22} , que representan la adaptación en la entrada y la salida del transistor, varían significativamente en un rango de frecuencias amplio, generando una degradación en la figura de ruido y en la adaptación del amplificador dentro de alguna banda particular.

Existen distintas técnicas para diseñar amplificadores de banda ancha, una de las más utilizadas es la que consiste en emplear realimentación negativa en el transistor [36]. Esta técnica permite obtener una ganancia aproximadamente constante en un amplio rango de frecuencias, pero degrada la figura de ruido y la ganancia del transistor. En la Fig. 5.1 se muestra el esquema general de realimentación.

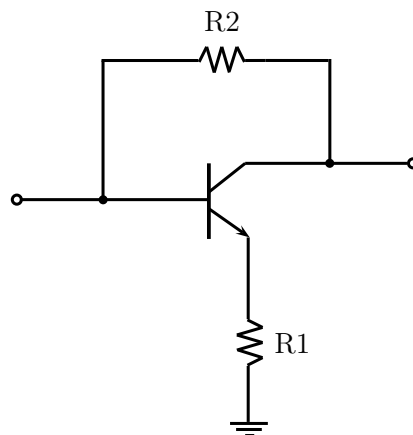


Figura 5.1: Red de realimentación general.

En particular, la resistencia R1 disminuye la ganancia disponible y deteriora la figura de ruido del transistor. Además, en el rango de frecuencias de interés puede producir oscilaciones. Teniendo en cuenta estas consideraciones, en el presente diseño se propone una modificación en el esquema de realimentación para evitar la utilización de R1. En su lugar, con el objetivo de asegurar la estabilidad incondicional del amplificador y mejorar la adaptación en la entrada, se colocó una pequeña componente inductiva implementada con líneas de transmisión. También, por cuestiones de estabilidad, se agregó una resistencia en el colector del transistor [36]. Cabe destacar que la estabilidad del amplificador puede evaluarse mediante el factor de estabilidad de Rollett definido como [93]

$$k = \frac{1 - |S_{11}| - |S_{22}| + |\Delta|^2}{2|S_{12}S_{21}|} \quad (5.6)$$

donde los S_{ii} son los parámetros S del amplificador y $\Delta = S_{11}S_{22} - S_{12}S_{21}$. En particular, si se cumple que $k \geq 1$ se dice que el amplificador es incondicionalmente estable.

La Fig. 5.2 muestra el esquema del amplificador propuesto, que está compuesto por el transistor de bajo ruido y las correspondientes redes de adaptación de entrada y de salida.

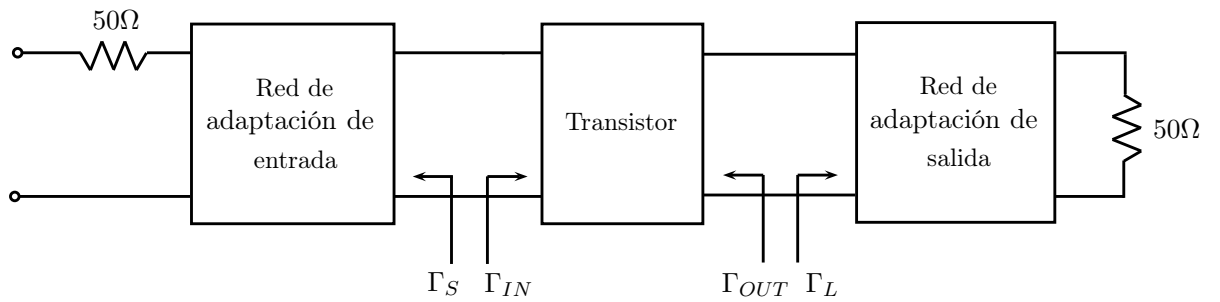


Figura 5.2: Esquema del amplificador.

La figura de ruido del amplificador depende de la impedancia que se refleja en la entrada del transistor, tal como puede verse en la siguiente expresión [94]

$$F = F_{min} + \frac{4r_n|\Gamma_S - \Gamma_o|^2}{(1 - |\Gamma_S|^2)|1 + \Gamma_o|^2} \quad (5.7)$$

donde F es la figura de ruido del amplificador, F_{min} es la mínima figura de ruido, r_n es la resistencia equivalente de ruido normalizada y Γ_o el coeficiente de reflexión que produce la mínima figura de ruido. Los valores F_{min} , r_n y Γ_o , conocidos como parámetros de ruido, dependen del transistor empleado y de su punto de polarización. Estos valores, junto con los parámetros S del transistor, son provistos por el fabricante y se utilizan para efectuar las simulaciones en los programas de CAD.

Por otra parte, la ganancia del amplificador puede expresarse como [36]

$$G_T = \frac{1 - |\Gamma_S|^2}{|1 - S_{11}\Gamma_S|^2} |S_{21}|^2 \frac{1 - |\Gamma_L|^2}{|1 - \Gamma_{OUT}\Gamma_L|^2} \quad (5.8)$$

donde los S_{ii} son los parámetros S del transistor y Γ_{OUT} esta dado por

$$\Gamma_{OUT} = S_{22} + \frac{S_{12}S_{21}\Gamma_S}{1 - S_{11}\Gamma_S} \quad (5.9)$$

Para lograr la máxima ganancia debe obtenerse la máxima transferencia de energía. Como se puede ver en la Fig. 5.2, esto se verifica cuando se cumplen simultáneamente las siguientes condiciones

$$\Gamma_S = \Gamma_{IN}^* \quad (5.10)$$

$$\Gamma_L = \Gamma_{OUT}^* \quad (5.11)$$

A partir de las ecuaciones (5.7), (5.8) y (5.10) es posible concluir que si se obtiene una buena figura de ruido la ganancia se reduce y, consecuentemente, la adaptación en la entrada también se ve afectada.

Para este diseño el criterio seguido fue el siguiente, se buscó lograr una figura de ruido que cumpliera con los objetivos fijados (menor a 2dB), pero intentando a la vez que la adaptación en la entrada no resultara demasiado afectada. Por lo tanto, se impuso la restricción $\Gamma_s \approx \Gamma_o$, y para poder cumplirla se prestó especial atención a la red de adaptación de entrada. Al mismo tiempo, se diseñó la red de adaptación de salida para satisfacer la condición de máxima adaptación en todo el rango de frecuencias de interés, es decir usando las ecuaciones (5.9) y (5.11)

$$\Gamma_L = \left(S_{22} + \frac{S_{12}S_{21}\Gamma_S}{1 - S_{11}\Gamma_S} \right)^* \quad (5.12)$$

El valor de la resistencia R2, que influye directamente en la ganancia del amplificador, se ajustó por simulación para obtener una ganancia de 20dB. El diseño de la red de adaptación de salida también fue asistido por simulación para obtener una adaptación adecuada en todo el rango de frecuencias de interés, es decir con pérdidas de retorno mayores a 10dB.

La red de polarización utilizada es la conocida como divisor de tensión sin resistencia de emisor. Esta configuración permite obtener una buena estabilidad en la corriente de colector frente a variaciones en la temperatura. Debe tenerse en cuenta que los parámetros de un transistor de microondas dependen fuertemente del punto de polarización, por lo que es importante que éste no varíe. El punto de polarización elegido, determinado por una corriente de colector de 8mA y una tensión colector-emisor de 2.5V con una tensión de alimentación de 3.3V, permite conseguir una figura de ruido baja y a la vez satisfacer la condición de linealidad impuesta. La Fig. 5.3 muestra el esquema completo del amplificador, incluyendo las redes de adaptación y el circuito de polarización.

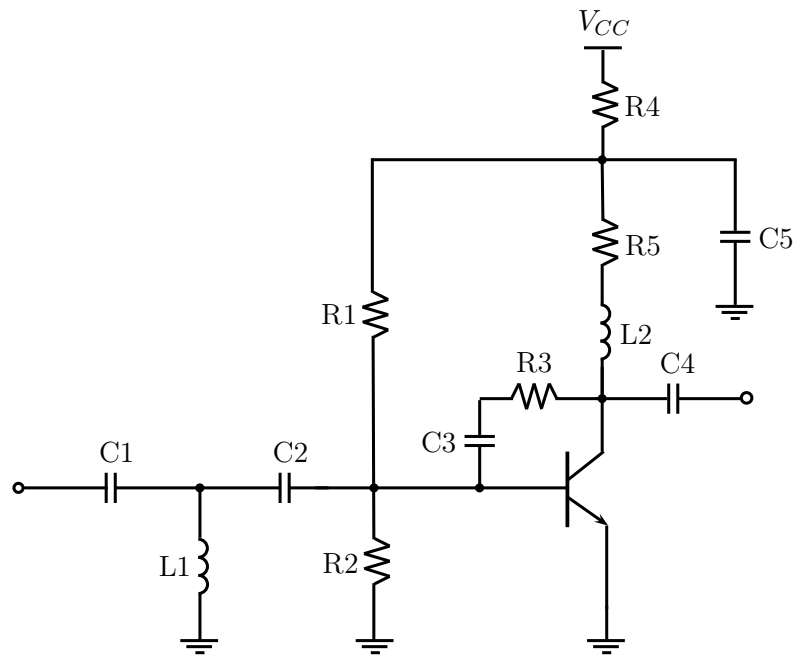
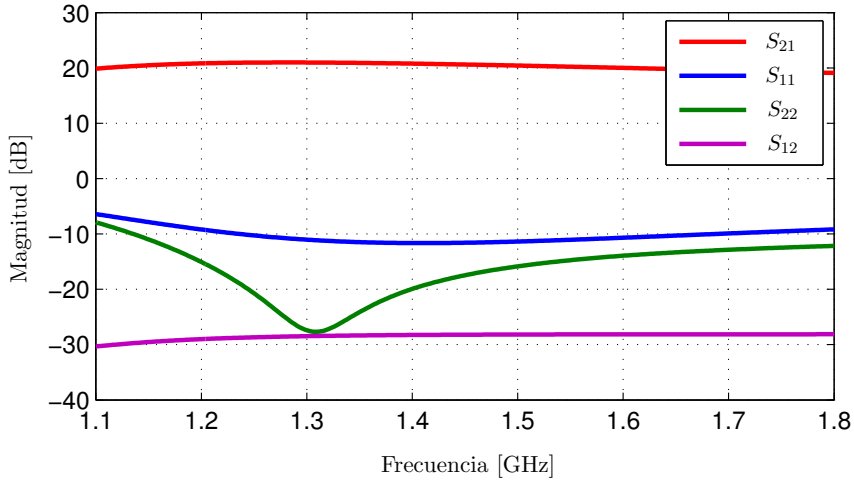


Figura 5.3: Esquema final del amplificador.

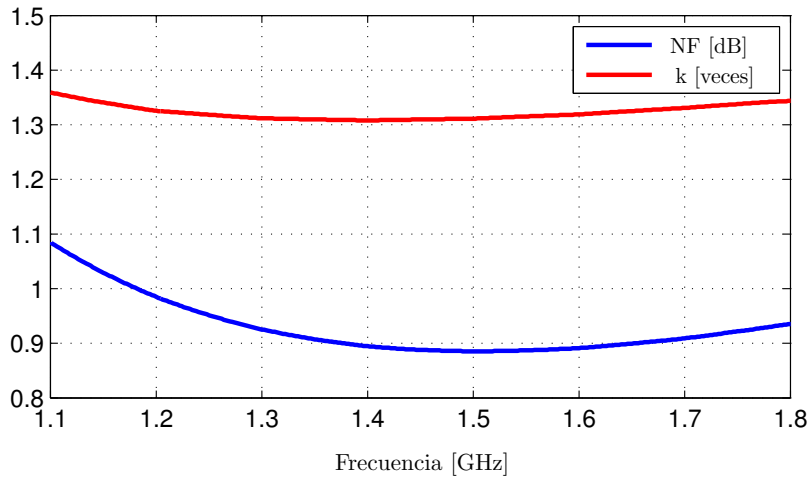
5.4. Simulaciones

Se efectuaron algunas simulaciones con el objetivo de verificar el diseño propuesto. Dichas simulaciones permitieron ajustar los valores de los componentes del amplificador a fin de cumplir con los requerimientos de diseño. Considerando las altas frecuencias involucradas, este tipo de diseño es sensible a una gran cantidad de factores que a bajas frecuencias serían despreciables. Por lo tanto, la realización de simulaciones previas a la implementación de un prototipo de estas características es fundamental. Para obtener resultados más precisos se tuvo en cuenta los parámetros del material del circuito impreso, el modelo de alta frecuencia de los componentes y las líneas de transmisión empleadas para realizar las conexiones. La Fig. 5.4 muestra los resultados obtenidos por simulación. La Fig. 5.4a corresponde a los parámetros S del amplificador, mientras que la Fig. 5.4b contiene las gráficas de la figura de ruido y el factor de estabilidad k .

Los resultados obtenidos por simulación son muy satisfactorios. En cuanto a los parámetros S se observa que la ganancia obtenida es del orden de 20dB y que se mantiene aproximadamente constante en el rango de frecuencias de interés. Por otra parte, la adaptación en la salida es correcta, ya que las pérdidas de retorno son mayores a 10dB. Aunque se trata de un LNA, la adaptación en la entrada es aceptable, lo que se corresponde con los criterios de diseño establecidos. La figura de ruido obtenida es muy buena debido a que es menor a 1.1dB en toda la banda de frecuencias de interés, lo que supera ampliamente los objetivos propuestos. Además el amplificador es incondicionalmente estable porque su factor de estabilidad de Rollett es siempre mayor a 1.



(a) Parámetros S.



(b) Figura de ruido y factor de estabilidad.

Figura 5.4: Resultados de simulación.

5.5. Implementación

Para probar el diseño propuesto, el LNA se implementó en un circuito impreso de dos capas de material FR4. La elección de este material se basó fundamentalmente en que permite obtener un rendimiento aceptable en el rango de frecuencias de interés, con un costo de fabricación muy bajo. Cuando sea necesario implementar este diseño en el cabezal de RF definitivo se migrará el material dieléctrico a RO4350. Se darán más detalles al respecto en el Capítulo 6.

En cuanto al diseño del circuito impreso, la capa superior se utilizó para colocar los componentes y realizar las conexiones, mientras que la capa inferior se dejó como plano de tierra sólido. Con esta disposición las líneas de la capa superior resultan del tipo microtira. Con el objetivo de mantener la adaptación y reducir las pérdidas, las líneas se diseñaron para que presenten una impedancia característica de 50Ω . En este sentido, a fin de reducir el ancho de las líneas se eligió un espesor de material dieléctrico de 0.8mm [12].

Para reducir la contribución de los elementos parásitos de los componentes, así como los introducidos por el circuito impreso, se emplearon componentes de montaje superficial tamaño 0603 y se tomaron recaudos especiales en el diseño del circuito impreso. La Fig. 5.5 es una foto del prototipo construido, cuyo tamaño es $3\text{cm} \times 3\text{cm}$.

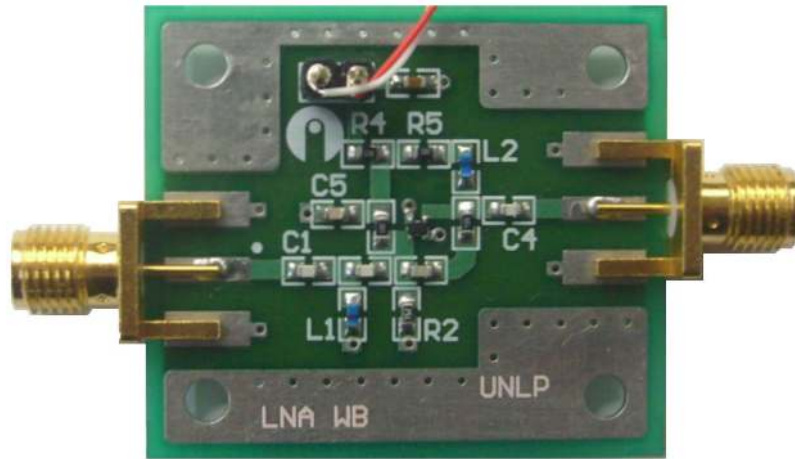


Figura 5.5: Prototipo construido.

5.6. Resultados

Con el objetivo de caracterizar el amplificador y verificar el cumplimiento de los objetivos de diseño se realizaron algunas mediciones sobre el prototipo construido. En particular se midieron sus parámetros S y su figura de ruido en el rango de frecuencias de interés. Además, se midió el punto de compresión de 1dB a la frecuencia central de operación.

Al realizar dichas mediciones se hicieron algunos ajustes en los valores de los componentes del LNA para optimizar su desempeño. La Tabla 5.2 contiene los valores finales.

Componente	Valor final
C1	100pF
C2	8pF
C3	1.3pF
C4	6pF
C5	12pF
L1	4.3nH
L2	2.2nH
R1	11k Ω
R2	6.2k Ω
R3	1k Ω
R4	91 Ω
R5	5.1 Ω

TABLA 5.2: Valores de los componentes.

5.6.1. Parámetros S

La medición de los parámetros S se llevó a cabo con un analizador de redes. Los resultados obtenidos se presentan en la Fig. 6.11, en donde se puede observar que existe una gran similitud con los resultados de simulación (Fig. 5.4a). La ganancia es del orden de 20dB y su variación en todo el rango de frecuencias de interés es menor a 1dB. La adaptación en la salida es muy buena, ya que las pérdidas de retorno son inferiores a 15dB. En cuanto a la adaptación en la entrada, los resultados son satisfactorios si se tiene en cuenta que es un LNA. Se puede concluir entonces que los resultados obtenidos satisfacen los objetivos de diseño en lo que respecta a ganancia y adaptación.

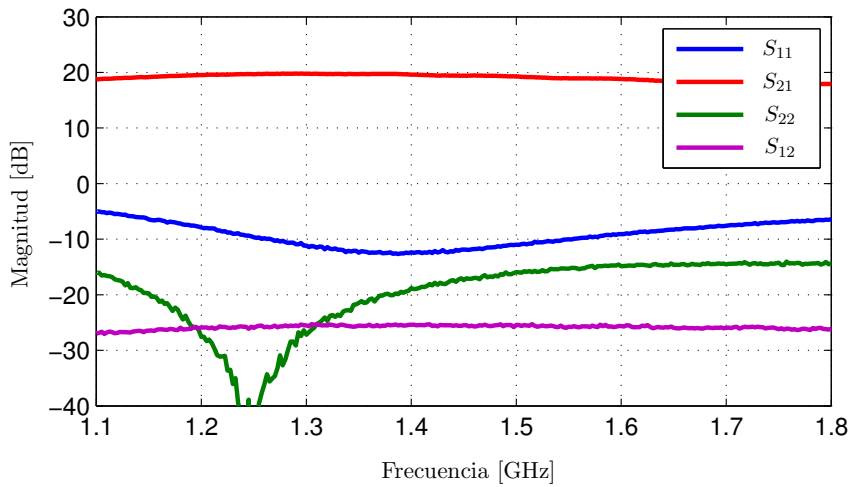


Figura 5.6: Parámetros S medidos.

5.6.2. Factor de Estabilidad

Una vez medidos los parámetros S es posible determinar el factor de estabilidad de Rollett utilizando la ecuación (5.6). La Fig. 5.7 es el gráfico del factor de estabilidad del LNA.

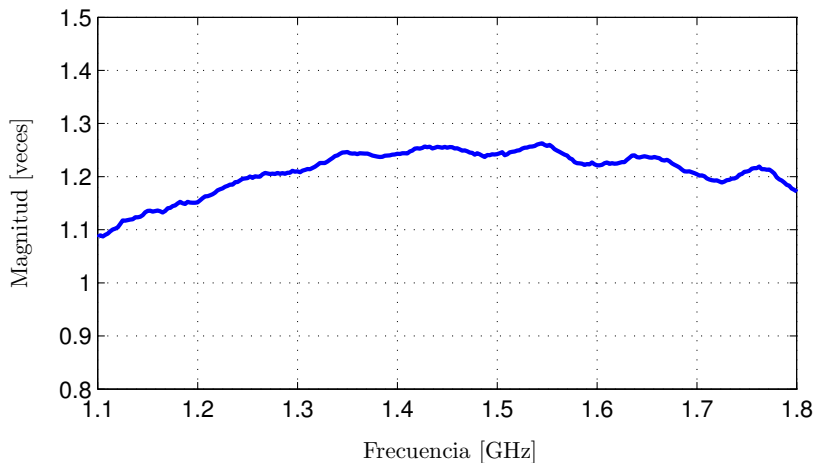


Figura 5.7: Factor de estabilidad medido.

El valor del factor de estabilidad se verificó en un amplio rango de frecuencias, sin embargo por comodidad en la Fig. 5.7 sólo se incluyen las mediciones entre 1.1GHz y 1.8GHz. Cabe destacar que a partir de los resultados obtenidos es posible afirmar que el amplificador es incondicionalmente estable, ya que el factor k es siempre mayor a 1.

5.6.3. Figura de Ruido

Para determinar la figura de ruido del amplificador se empleó el método del factor Y siguiendo el mismo procedimiento descrito en la Sección 4.1.2 del Capítulo 3. Los resultados obtenidos se muestran en la Fig. 6.13, en donde se observa que la figura de ruido del LNA se encuentra siempre por debajo de 1.2dB en el rango de frecuencias de interés. Como era de esperarse, estos resultados son algo mayores a los obtenidos por simulación, pero superan ampliamente los objetivos de diseño propuestos en relación a la figura de ruido.

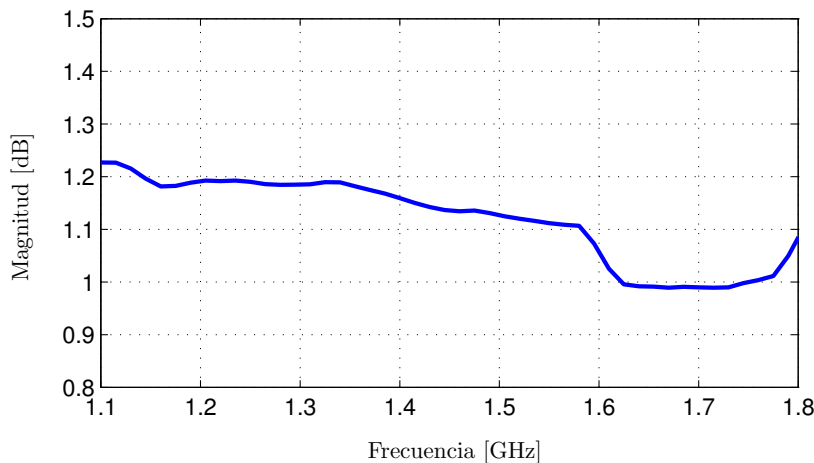


Figura 5.8: Figura de ruido medida.

5.6.4. Linealidad

Finalmente, para verificar la linealidad del LNA se midió su punto de compresión de 1dB en la frecuencia central de operación, es decir 1400MHz. Para ello, utilizando un analizador de redes, se llevó a cabo un barrido de potencia en la entrada del amplificador y se midió su ganancia. Los resultados se muestran en la Fig. 5.9.

El punto de compresión de 1dB está dado por

$$\begin{aligned} P_{o1dB}[\text{dBm}] &= P_{i1dB}[\text{dBm}] + G[\text{dB}] \\ &= -15,1 + 18,7 = 3,6\text{dBm} \end{aligned} \quad (5.13)$$

donde P_{i1dB} es la potencia de entrada para la cual la ganancia cae 1dB y G es la ganancia del LNA para esa potencia de entrada.

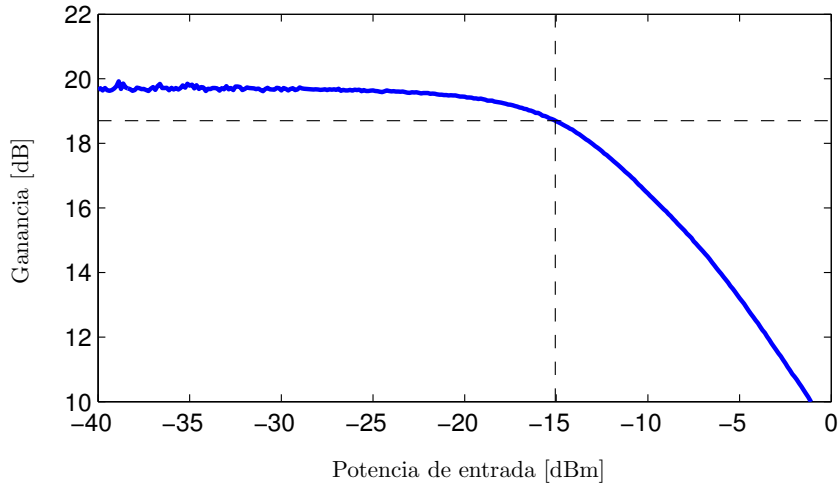


Figura 5.9: Punto de compresión de 1dB medido.

Por lo tanto, el punto de compresión del LNA se encuentra por encima de los 0dBm que se habían fijado como objetivo para asegurar su linealidad bajo condiciones de interferencias fuertes.

5.7. Conclusiones

En este capítulo se presentó el diseño de un LNA apto para todo el rango de frecuencias de operación de los GNSS. La utilización de una técnica de realimentación adecuadamente modificada, conjuntamente con el apropiado diseño de las redes de adaptación, permitieron obtener un LNA de banda ancha con una ganancia plana y, al mismo tiempo, con muy baja figura de ruido.

El diseño fue implementado y validado mediante mediciones, las cuales verificaron el cumplimiento de los objetivos propuestos. Se obtuvo una ganancia de 20dB y una figura de ruido menor a 1.2dB en toda la banda de frecuencias de interés, con buena linealidad y manteniendo el consumo de potencia por debajo de 30mW. Estas prestaciones son superiores a las que presentan actualmente la mayor parte de los LNA comerciales para este tipo de aplicaciones. La utilización de este LNA en un cabezal de RF multifrecuencia permitirá obtener un receptor GNSS de altas prestaciones apto para aplicaciones de precisión.

Por último cabe destacar que el diseño descrito en este capítulo, así como la mayoría de los resultados presentados, fueron publicados en un artículo de congreso [95].

Capítulo 6

Diseño Final del Cabezal de RF

En este capítulo se presenta el diseño final del cabezal de RF multifrecuencia y multiconstelación para receptores GNSS, el cual se basa en los diseños propuestos en los capítulos anteriores. Dicho cabezal está integrado en una única placa que contiene las etapas de RF y FI, así como los circuitos de generación de osciladores locales y señales de muestreo.

6.1. Introducción

El diseño preliminar presentado en el Capítulo 3 si bien puede operar tanto en la banda L1 como en la banda L2, no puede hacerlo en forma simultánea. Por lo tanto, si se desea implementar un cabezal multifrecuencia es necesario utilizar dos placas, una para L1 y otra para L2. Por su diseño, cada una de estas placas posee su propia entrada de antena independiente. Por otra parte, para proveer los osciladores locales se debe hacer uso del sintetizador de frecuencias descrito en el Capítulo 4, el cual se configura por medio de una plataforma de programación independiente basada en una CPLD. Esto resultó de utilidad en el proceso de prueba, pero con el diseño ya depurado agrega complejidad innecesaria.

Con la configuración descrita anteriormente basada en los prototipos construidos a partir de los diseños presentados en los Capítulos 3 y 4 se logró implementar un cabezal de RF multifrecuencia y multiconstelación. Si bien los resultados obtenidos fueron muy satisfactorios [86], dicho cabezal fue construido con varias placas conectadas entre sí mediante cables, por lo que resultó un montaje de gran tamaño y de difícil manipulación. Sin embargo, su principal desventaja es que para aplicaciones de precisión es necesario disponer de una única entrada de antena para recibir adecuadamente todas las señales. Por lo tanto, es deseable que el cabezal de RF multifrecuencia y multiconstelación posea directamente una única entrada de antena. Además, una característica importante es que pueda ser completamente integrado en una única placa. De esta forma se conseguirá reducir el tamaño del prototipo y al mismo tiempo mejorar su confiabilidad.

6.2. Arquitectura del Cabezal de RF

La premisa principal a la hora de definir la arquitectura a utilizar para implementar el cabezal de RF fue cumplir con el requerimiento de tener una única entrada de antena para todas las señales. Debido a que el rango de frecuencias de interés está concentrado en dos bandas bien definidas separadas por aproximadamente 300MHz, para simplificar el diseño las señales provenientes de la antena son divididas con un diplexor. Dicho diplexor permite obtener dos ramas de igual potencia, en cada una de las cuales se coloca un filtro para seleccionar la banda L1 o L2 según corresponda a cada rama.

Finalmente, cada banda se convierte a una frecuencia intermedia menor a través su mezcla con un tono de oscilador local. Los dos tonos de oscilador local necesarios, así como los relojes para las etapas de digitalización y procesamiento posteriores son generados empleando sintetizadores basados en lazos de enganche de fase, a partir de una referencia común. La programación de los PLLs es llevada a cabo en forma automática con una CPLD. La Fig. 6.1 es un diagrama de bloques de la arquitectura propuesta, que puede dividirse en tres grandes etapas

1. Etapa de RF: se encuentra a continuación de la entrada de antena y está compuesta básicamente por el LNA, el diplexor y los filtros de RF.
2. Etapa de FI: esta integrada por los mezcladores y el resto de los componentes hasta los duplexores.
3. Etapa de síntesis de frecuencias: es la encargada de generar los tonos de oscilador local y los relojes de muestreo, es decir está formada por los tres sintetizadores junto con su circuito de configuración, y la red de distribución de la referencia.

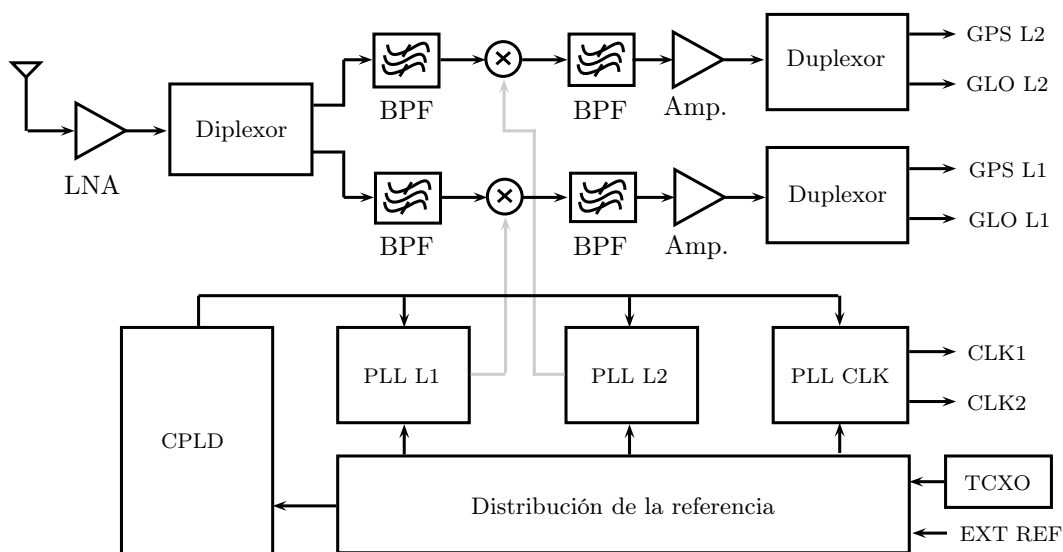


Figura 6.1: Diagrama de bloques del cabezal de RF.

Si se observa detenidamente el esquema de la Fig. 6.1 se puede ver que luego del diplexor las dos ramas siguen el mismo esquema utilizado en el diseño preliminar del cabezal de RF descrito en el Capítulo 3. Por su parte, el bloque de generación de OLs y relojes de muestreo es idéntico al propuesto en el Capítulo 4, con la diferencia de que el circuito de configuración de los sintetizadores se encuentra integrado en el diseño. Por lo tanto, esta nueva arquitectura está íntegramente basada en los diseños previos. En este sentido, para evitar repetir conceptos ya desarrollados anteriormente, en este capítulo se describirá en forma general el nuevo diseño, puntualizando sólo las modificaciones introducidas. En particular se hará énfasis fundamentalmente en las consideraciones que se tuvieron en cuenta para integrar los distintos bloques.

6.3. Diseño

En esta sección se describirá el diseño de los diferentes bloques que componen el cabezal de RF. Como se mencionó previamente no se darán mayores detalles en los casos en que se utilicen diseños ya descritos en otros capítulos.

6.3.1. Etapa de RF

La etapa de RF es la encargada de recibir las señales provenientes de la antena. Por lo tanto, el primer bloque es un amplificador de bajo ruido cuyo objetivo es fijar la figura de ruido del cabezal de RF. Siguiendo la misma filosofía que en el diseño presentado en el Capítulo 3, además del LNA se decidió agregar otro bloque de ganancia constituido por un amplificador de RF. Luego, un diplexor divide la señal de entrada en dos ramas en las que se acondicionarán independientemente las bandas L1 y L2. Por esta razón, en cada una de las salidas del diplexor se dispuso un filtro de RF adecuado para seleccionar la banda de interés correspondiente a cada rama. En la Fig. 6.2 se muestra el diagrama de bloques completo de la etapa de RF.

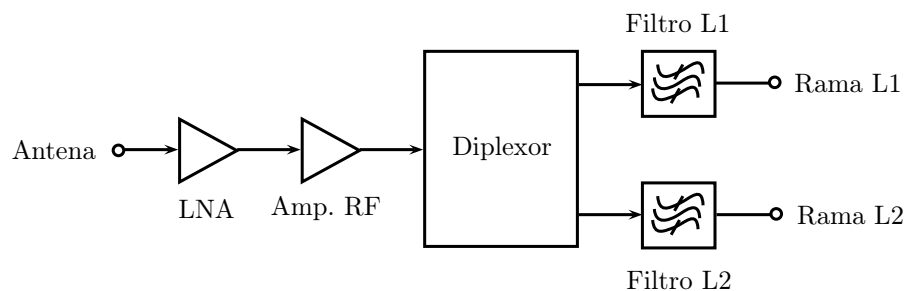


Figura 6.2: Diagrama de bloques de la etapa de RF.

Amplificador de Bajo Ruido

Debido a que el LNA está ubicado a continuación de la entrada de antena debe ser capaz de manejar todo el rango de frecuencias de interés, el cual se extiende aproximadamente entre

1200MHz y 1610MHz. Además para que cumpla su función correctamente es necesario que provea una ganancia relativamente elevada y que su figura de ruido sea baja.

El diseño presentado en el Capítulo 5 se adecua a los requerimientos que demanda esta aplicación, por lo que se utilizará para implementar el LNA del cabezal de RF. Como su diseño ya fue descrito exhaustivamente, aquí no se darán mayores detalles. Sin embargo, debido a que será necesario construirlo en un sustrato diferente, en la sección Resultados se presentarán las mediciones correspondientes para verificar su correcto funcionamiento.

Amplificador de RF

Este amplificador compensa las pérdidas adicionales que introduce el diplexor y permite repartir la ganancia entre las etapas de RF y FI para evitar posibles inestabilidades. Es importante notar que debe ser capaz de operar en el mismo rango de frecuencias que el LNA, ya que también maneja las señales provenientes de la antena. El amplificador de RF utilizado en el diseño preliminar del cabezal de RF resulta adecuado porque se trata de un amplificador de banda ancha [39]. Por otra parte, el hecho de haber sido caracterizado y probado satisfactoriamente lo convierte en la opción más razonable.

Diplexor

La arquitectura propuesta para el cabezal de RF se basa en dividir la señal proveniente de la antena para obtener dos ramas, una para la banda L1 y otra para la banda L2. Previo a la mezcla, cada una de estas ramas debe poseer la selectividad necesaria para rechazar las frecuencias imagen. Para llevar a cabo esta tarea es posible recurrir a resonadores de microtira para implementar filtros pasabanda centrados en las frecuencias deseadas [96] [97]. Interconectando adecuadamente estos filtros es posible lograr obtener un dispositivo que, a partir de una entrada, provea dos salidas con selectividad en las bandas de frecuencias de L1 y L2 respectivamente. Para la presente tesis se han explorado este tipo de soluciones sin alcanzar resultados satisfactorios en el sentido de que las transferencias obtenidas no son lo suficientemente selectivas para proporcionar un adecuado rechazo a las frecuencias imagen. Para ello es necesario utilizar varios resonadores, lo que se traduce en una excesiva área de circuito impreso. Por otra parte, en microtira las pérdidas de inserción son relativamente altas si no se recurre a materiales especiales, los cuales generalmente no son aptos para ser laminados en circuitos multicapa como lo requiere este diseño para lograr su integración en una única placa. En este sentido, vale la pena resaltar que los filtros SAW actuales tienen pérdidas de inserción tan bajas como 1dB. En esta línea la utilización de un divisor de potencia y luego filtros pasabanda tipo SAW parece ser la solución que ofrece el mejor balance entre simplicidad, tamaño y pérdidas de inserción.

Existen varias formas de dividir una señal, sin embargo cuando se trabaja a frecuencias elevadas es necesario tener recaudos especiales para evitar la degradación de la señales. En general,

los divisores son dispositivos de tres puertos que presentan ciertas características distintivas.

Una posible solución es utilizar una disposición tipo T, y de hecho esta es una de las formas más comunes de construir un divisor. Los divisores T son básicamente una conjunción de tres líneas de transmisión que puede ser implementada prácticamente en cualquier medio de transmisión, desde microtira hasta guía de onda [12]. Uno de los mayores inconvenientes que presenta este montaje es que no permite lograr la adaptación en ambos puertos de salida, lo cual se traduce en pérdidas. En este sentido es importante recalcar que las salidas del divisor estarán conectadas a filtros tipo SAW, lo cuales requieren una buena adaptación en su entrada para lograr un correcto desempeño. Otro de los problemas del divisor T es que no provee aislación entre puertos. Por lo tanto, esta alternativa quedó descartada.

Otra opción son los divisores resistivos, que se construyen básicamente con tres resistores de valores apropiados conectados en estrella [12]. Si bien es posible obtener adaptación en todos los puertos, el problema de este tipo de divisor es que introduce pérdidas adicionales de 3dB debido a que parte de la potencia se disipa en los resistores. Además, tampoco permite obtener aislación entre los puertos. Considerando que la potencia recibida es muy baja, no es deseable introducir pérdidas adicionales. Entonces, no resulta adecuada su utilización para esta aplicación.

El divisor propuesto por Wilkinson [98] ofrece una alternativa atractiva porque soluciona los problemas que presentan los otros tipos de divisores mencionados anteriormente. Es decir, idealmente no introduce pérdidas adicionales, permite obtener la adaptación en todos sus puertos y provee aislación. Por estas razones se convierte en la mejor alternativa para el presente diseño. Los divisores Wilkinson típicamente se implementan en microtira y su esquema para el caso de división igual (3dB) se muestra en la Fig. 6.3. Un divisor Wilkinson construido en microtira tiene un ancho de banda apto para todo el rango de frecuencias de interés.

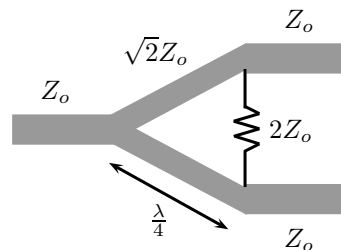


Figura 6.3: Esquema de un diplexor Wilkinson.

En este caso la impedancia característica del sistema Z_o es 50Ω y la longitud de onda λ es la correspondiente a la frecuencia central de la banda de frecuencias de interés, cuyo valor es aproximadamente 1400MHz. Con la impedancia característica del sistema queda definida la impedancia de las líneas del diplexor, en este caso 50Ω y 70.7Ω , así como el valor de la resistencia externa que resulta 100Ω .

Para determinar el ancho de las líneas se puede recurrir a las siguientes fórmulas aproximadas [12], las cuales fueron obtenidas mediante el ajuste de las curvas de la solución quasi-estática de

las ecuaciones de la microtira [99].

$$\frac{W}{h} = \begin{cases} \frac{8e^A}{e^{2A} - 2} & \frac{W}{h} < 2 \\ \frac{2}{\pi} \left\{ B - 1 - \ln(2B - 1) + \frac{\varepsilon_r - 1}{2\varepsilon_r} \left[\ln(B - 1) + 0,39 - \frac{0,61}{\varepsilon_r} \right] \right\} & \frac{W}{h} > 2 \end{cases} \quad (6.1)$$

donde ε_r es la constante dieléctrica del material del circuito impreso, h es la altura del sustrato, W es el ancho de la línea, y

$$A = \frac{Z_o}{60} \sqrt{\frac{\varepsilon_r + 1}{2}} + \frac{\varepsilon_r - 1}{\varepsilon_r + 1} \left(0,23 + \frac{0,11}{\varepsilon_r} \right) \quad (6.2)$$

$$B = \frac{377\pi}{2Z_o\sqrt{\varepsilon_r}} \quad (6.3)$$

Es importante notar que la longitud de onda λ es la correspondiente al medio en el que viaja la señal. En una microtira una parte de las líneas de campo están en el material dieléctrico y la otra parte está en el aire, es por ello que se define una constante dieléctrica efectiva que tiene en cuenta este efecto. Su valor puede calcularse mediante la siguiente expresión

$$\varepsilon_{ef} = \frac{\varepsilon_r + 1}{2} + \frac{\varepsilon_r - 1}{2} \frac{1}{\sqrt{1 + 12h/W}} \quad (6.4)$$

La longitud de onda efectiva, es decir en la microtira, se obtiene como

$$\lambda_{ef} = \frac{c}{f\sqrt{\varepsilon_{ef}}} \quad (6.5)$$

donde c es la velocidad de la luz y f es la frecuencia central de la banda de interés.

Para lograr resultados satisfactorios se utilizó el mismo material dieléctrico que en los diseños anteriores, es decir RO4350 [49]. En la Sección 6.4 se pueden encontrar más detalles acerca de la distribución de capas. Para que el ancho de las líneas resulte angosto se eligió un espesor de material estándar de 0.254mm. Haciendo uso de la constante dieléctrica del sustrato y de las ecuaciones (6.1) a (6.5) se obtuvieron todos los parámetros del diplexor, los cuales se presentan en la Tabla 6.1.

Las líneas de longitud $\lambda/4$ del diplexor se dispusieron formando un círculo. De esta manera se consigue reducir el área de circuito impreso y se deja el espacio necesario para colocar una resistencia de montaje superficial sin incluir modificaciones en la estructura, las cuales pueden alterar el funcionamiento del diplexor. La Fig. 6.4 es el esquema del diplexor diseñado. Las discontinuidades producidas al cambiar la dirección de las líneas de microtira degradan el desempeño

Parámetro	Símbolo	Valor
Ancho de las líneas de 50Ω	W_1	0.58mm
Ancho de las líneas de 70.7Ω	W_2	0.28mm
Resistencia externa	R	100Ω
Constante dieléctrica efectiva	ε_{ef}	2.5
Longitud de onda efectiva	λ_{ef}	135mm

TABLA 6.1: Dimensiones del diplexor.

del circuito porque introducen reactancias parásitas. En particular, los cambios de dirección de 90° generan capacidad parásita debido al incremento en el área del conductor en la esquina. Este efecto puede compensarse recortando la esquina para reducir la capacidad parásita [99]. La longitud óptima del corte depende de la impedancia característica y del ángulo, pero en la práctica suele usarse un valor de $1.8W$, siendo W el ancho de pista [12]. Como puede apreciarse en la Fig. 6.4, en el presente diseño se utilizó la técnica anteriormente mencionada. El tamaño resultante es de aproximadamente $3\text{cm} \times 2\text{cm}$.

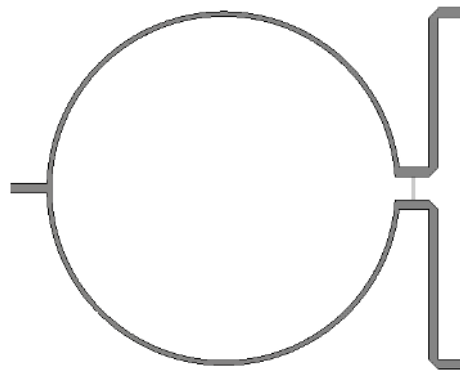


Figura 6.4: Topología del diplexor.

Una vez definida la topología, con el objetivo de ajustar los valores de los parámetros para optimizar el desempeño del diplexor, se realizaron simulaciones numéricas utilizando un programa de simulación electromagnética basado en la técnica de integración finita (FIT) [100] [101]. Los resultados obtenidos se presentan en la Fig. 6.5. Se observa que en el rango de frecuencias de interés la adaptación en todos los puertos es muy satisfactoria, ya que las pérdidas de retorno son superiores a 20dB. Las transferencias entre la entrada y las salidas S_{21} y S_{31} son planas, y su valor es de 3dB como se esperaba. Por su parte, la aislación entre los puertos de salida S_{32} se mantiene por debajo de los -20dB , el cual es un valor aceptable para este tipo de dispositivos.

Filtros de RF

Considerando que los filtros utilizados en el diseño preliminar del cabezal de RF fueron caracterizados y demostraron haber funcionado correctamente, se decidió mantenerlos para esta versión final. Las mediciones realizadas a los mismos pueden consultarse en la Sección 3.5.

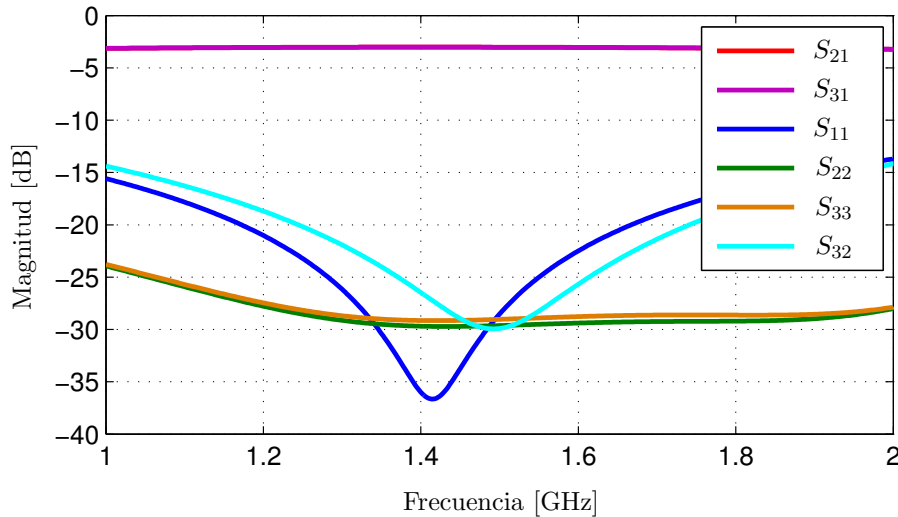


Figura 6.5: Parámetros S medidos.

6.3.2. Etapa de FI

La etapa de FI está compuesta por dos ramas: una para la banda L1 y otra para la banda L2. Desde el punto de vista de la arquitectura ambas ramas son idénticas, cada una comprende desde el mezclador hasta el duplexor, el cual separa las bandas de GPS/Galileo y GLONASS. En la Fig. 6.6 se muestra el esquema de una de las ramas, en el que se puede apreciar la similitud con la arquitectura utilizada en el diseño preliminar presentado en el Capítulo 3. La diferencia principal consiste en que aquí no se ha colocado un amplificador de ganancia variable. Esto se debe a que la placa de digitalización que se prevé utilizar para este diseño ya posee amplificadores de ganancia variable que permiten implementar el control automático de ganancia [102]. Dichos amplificadores poseen salida diferencial, lo cual constituye una ventaja debido a que los conversores AD aptos para este tipo de aplicaciones requieren de entrada analógica diferencial. Teniendo en cuenta que las salidas del cabezal de RF son simples, con este nuevo enfoque se evita el uso de transformadores para realizar la conversión de modo simple a modo diferencial. Además, estos nuevos amplificadores de ganancia variable son controlados en forma digital, por lo que no se requieren un conversor DA en el cabezal de RF.

Cabe destacar que esto no le quita versatilidad al cabezal de RF porque posee la ganancia suficiente para operar en conjunto con una placa adquisidora genérica, es decir sin VGA. Para aplicaciones de GNSS no es necesario disponer de un gran número de bits de resolución, en particular con más de tres bits no se obtiene una mejora apreciable [4]. Por lo tanto, en caso de no contar con una placa adquisidora con amplificadores de ganancia variable, si bien no se logrará excitar todos los bits del conversor AD, el desempeño del receptor no se verá degradado. En este sentido, es importante tener en cuenta que por cada decremento de 6dB en la señal de entrada del conversor se pierde un bit de resolución. Es decir que con un conversor de 8 bit se tiene un margen de ganancia del orden de 24dB sin que la calidad del receptor se vea deteriorada, asumiendo que se dispone de 7 bit efectivos.

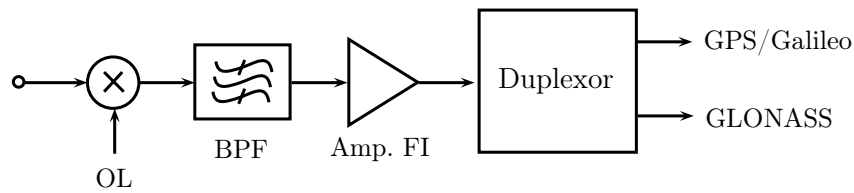


Figura 6.6: Diagrama de bloques de la etapa de FI.

Más allá de las diferencias señaladas, el diseño de esta etapa es idéntico al presentado en el Capítulo 3. Se utilizan el mismo plan de frecuencias y los mismos componentes, los cuales fueron probados y demostraron funcionar correctamente.

6.3.3. Etapa de Síntesis de Frecuencias

Es la encargada de generar los tonos de oscilador local para las ramas de L1 y L2, así como los relojes de muestreo para las etapas posteriores de digitalización y procesamiento. El diseño propuesto es muy similar al presentado en el Capítulo 4, como puede observarse en la Fig. 6.7 en donde se muestra su diagrama de bloques. La diferencia más importante es que en este caso se incorpora el circuito de programación de los sintetizadores en la misma placa.

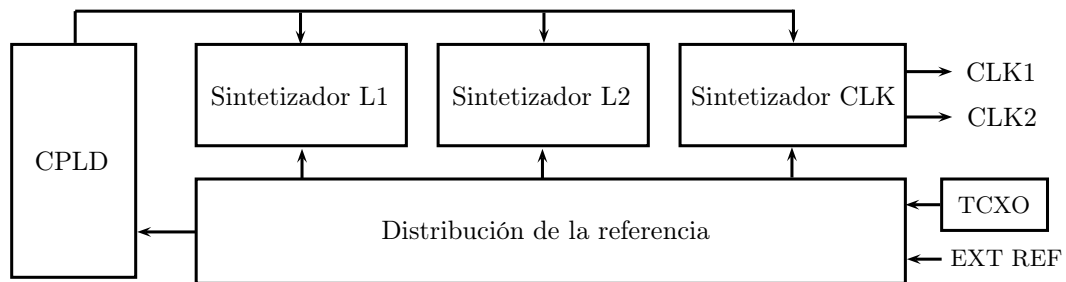


Figura 6.7: Diagrama de bloques de la etapa de síntesis de frecuencias.

Como el plan de frecuencias es el mismo que el descrito en el Capítulo 3, la configuración de los sintetizadores y los valores de los componentes no cambian respecto al prototipo implementado anteriormente. Se mantiene el esquema de una única referencia, la cual también se utiliza como reloj para la CPLD del circuito de programación de los sintetizadores.

6.4. Construcción del Prototipo

Este diseño es complejo debido a que contiene el cabezal de RF multifrecuencia y el circuito de síntesis de frecuencias en una misma placa. Por esta razón fue necesario poner especial atención en el diseño del circuito impreso para lograr un adecuado desempeño. A continuación se exponen los criterios de diseño aplicados y se describe el proceso de ensamblado del prototipo implementado.

6.4.1. Estructura del Circuito Impreso

Debido a que la placa incluye el cabezal de RF y los sintetizadores de frecuencias, se decidió utilizar un circuito impreso de seis capas. Esto permitió reducir el tamaño del prototipo y a la vez asegurar la integridad de las señales.

Las capas superior e inferior se destinaron a implementar los circuitos que operan a alta frecuencia. En consecuencia se construyeron con material RO4350 por sus buenas propiedades para este tipo de aplicaciones [49]. Este material fue probado en los prototipos realizados previamente y, en función de los resultados obtenidos, demostró comportarse adecuadamente. Por otra parte, su capacidad de ser laminado en circuitos impresos multicapa con procesos de fabricación estándar lo convierte en una elección ventajosa para el presente diseño [103]. En este sentido cabe destacar que si bien existen otros materiales de constante dieléctrica más elevada aptos para RF, estos requieren de procesos de fabricación especiales que sólo algunas empresas están calificadas para realizar [104].

Para reducir el costo del circuito impreso, debido a que las capas intermedias se utilizaron como planos de tierra o de alimentación, y para transportar señales de baja frecuencia, se decidió implementarlas en material FR4. Cabe destacar que el FR4 es compatible con el RO4350 en circuitos impresos multicapa. En la Fig. 6.8 se muestra la disposición de capas del circuito impreso. Los espesores de las capas se eligieron para obtener un espesor final estándar del orden de 1.6mm.

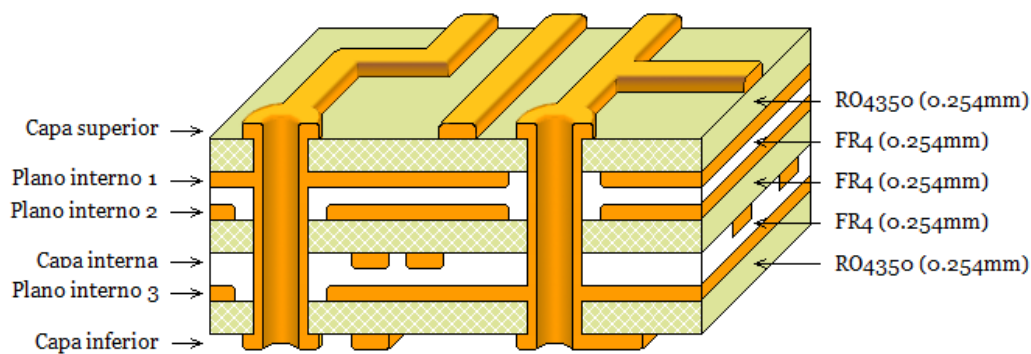


Figura 6.8: Esquema de capas del cabezal de RF.

6.4.2. Criterios de Diseño del Circuito Impreso

Uno de los desafíos más importantes que presenta el diseño del circuito impreso es evitar que la etapa de síntesis de frecuencias, que maneja señales de potencia relativamente elevada, interfiera a la etapa de RF. En efecto, las señales de oscilador local tienen una potencia del orden de 0dBm, mientras que el nivel de señal esperable en la entrada de antena es aproximadamente -125dBm. El mayor problema radica en el hecho de que la frecuencia de los osciladores locales se encuentra en una banda cercana a la de las señales de RF. Por lo tanto, existe la posibilidad

de que las señales de OL se acoplen por la entrada de antena y se amplifiquen a lo largo de la cadena de RF, produciendo interferencias elevadas en frecuencia intermedia.

Con el objetivo de minimizar este efecto, las etapas de RF y FI se colocaron en la capa superior. Inmediatamente por debajo se situó un plano de tierra para lograr un mejor apantallamiento de las señales [31]. La presencia del plano de tierra hace que las líneas de la capa superior sean de microtira, lo que permite controlar su impedancia. Esto es fundamental para implementar el diplexor de la etapa de RF y para reducir las pérdidas por desadaptación [12] [105].

Por otra parte, los sintetizadores de frecuencias se dispusieron en la capa inferior para reducir posibles interferencias. Al igual que en la capa superior, se colocó un plano de tierra por debajo para favorecer el apantallamiento de las señales. De esta forma se logra una buena aislación entre la etapa de RF y los sintetizadores de frecuencias. Los diferentes bloques que componen el cabezal de RF se distribuyeron en la placa para reducir su acoplamiento [106]. En este sentido, los sintetizadores de frecuencias se colocaron en zonas que inmediatamente debajo (en la capa superior) se encontraban despejadas. La Fig. 6.9 ilustra la distribución de los circuitos en la placa. Las líneas punteadas indican los bloques que se encuentran en la capa inferior del circuito impreso.

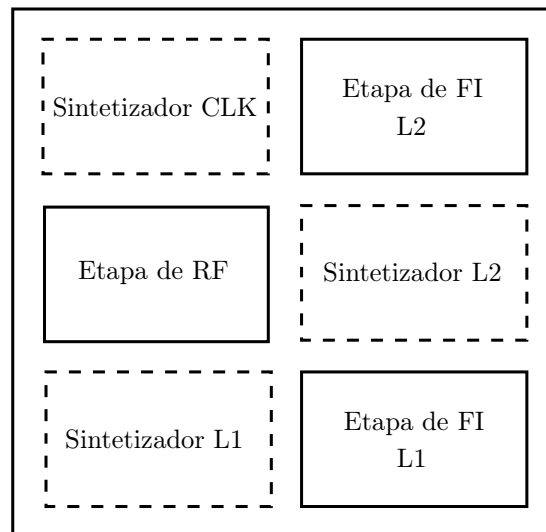


Figura 6.9: Esquema del circuito impreso.

Los planos de tierra están conectados entre sí mediante múltiples vías para reducir su impedancia y para asegurar una única referencia de potencial estable en toda la placa [105]. El otro plano interno se destinó a las conexiones de alimentación, separando las diferentes tensiones necesarias a fin de reducir el acoplamiento entre los distintos circuitos de la placa. Es importante remarcar que el plano de alimentación se encuentra entre los dos planos de tierra, esto evita la emisión de interferencias. En general, los capacitores de desacople se colocaron en la capa opuesta a la que se encuentran los circuitos integrados correspondientes. La presencia del plano de tierra cercano y la posición del plano de alimentación, aproximadamente equidistante a las

capas superior e inferior, asegura un buen desacople debido a la baja inductancia parásita [107]. Las líneas digitales relacionadas con la configuración de los sintetizadores se colocaron en una capa interna con el objetivo de mejorar la integridad de las señales [31].

Previendo el posible acoplamiento de las señales de oscilador local en la etapa de RF se decidió adaptar el circuito impreso para el montaje de blindajes. Para ello se dejaron expuestas áreas metalizadas para soldar los blindajes. En este sentido a fin de facilitar la tarea se eligió un tipo de blindaje comercial, de dimensiones estándar, formado por dos piezas: una base y una tapa [108]. Esta configuración tiene la ventaja de que una vez colocado en el circuito impreso permite realizar trabajos sobre la placa desmontando la tapa.

Además de todas las consideraciones mencionadas anteriormente, para realizar el diseño del circuito impreso se tomó como referencia los diagramas esquemáticos que se presentan en el Apéndice C. En ese mismo apéndice se muestra la impresión de las capas de circuito impreso resultante.

6.4.3. Ensamblado de la Placa

Una vez que se tuvo el circuito impreso fabricado se comenzó con el proceso de ensamblado, que consiste básicamente en el soldado de los componentes. Como la placa cuenta con tres circuitos integrados con pad de disipación debajo de su encapsulado, fue necesario recurrir a la técnica de soldadura por reflujo. Estos componentes fueron soldados en primer lugar y al mismo tiempo, ya que el horno utilizado calienta toda la placa. En la Sección 4.4 se pueden encontrar más detalles acerca del procedimiento de soldadura por reflujo.

Luego, se procedió a soldar el resto de los componentes en forma manual. Se comenzó por los circuitos de alimentación, que están compuestos por reguladores lineales y filtros de supresión de EMI. Se verificó su funcionamiento midiendo las diferentes tensiones de la placa. A continuación se prosiguió con la etapa de RF, que es uno de los circuitos más críticos de este diseño. Para verificar su adecuado funcionamiento se realizaron algunas mediciones básicas utilizando como puntas de prueba cables coaxiales soldados sobre la placa, ya que los instrumentos de medición para este rango de frecuencias poseen conectores de RF.

Como segundo paso se pobló la etapa de FI y el sintetizador de frecuencias de L1, incluyendo el circuito de distribución de la referencia. Con esto se pudo verificar una de las ramas completas del cabezal, así como la generación del oscilador local correspondiente. Como los resultados obtenidos fueron positivos se siguió con la rama de L2. Finalmente, se verificó la generación de los relojes de muestreo. La Fig. 6.10 es una foto del prototipo implementado, cuyas dimensiones son aproximadamente 12cm × 12cm.

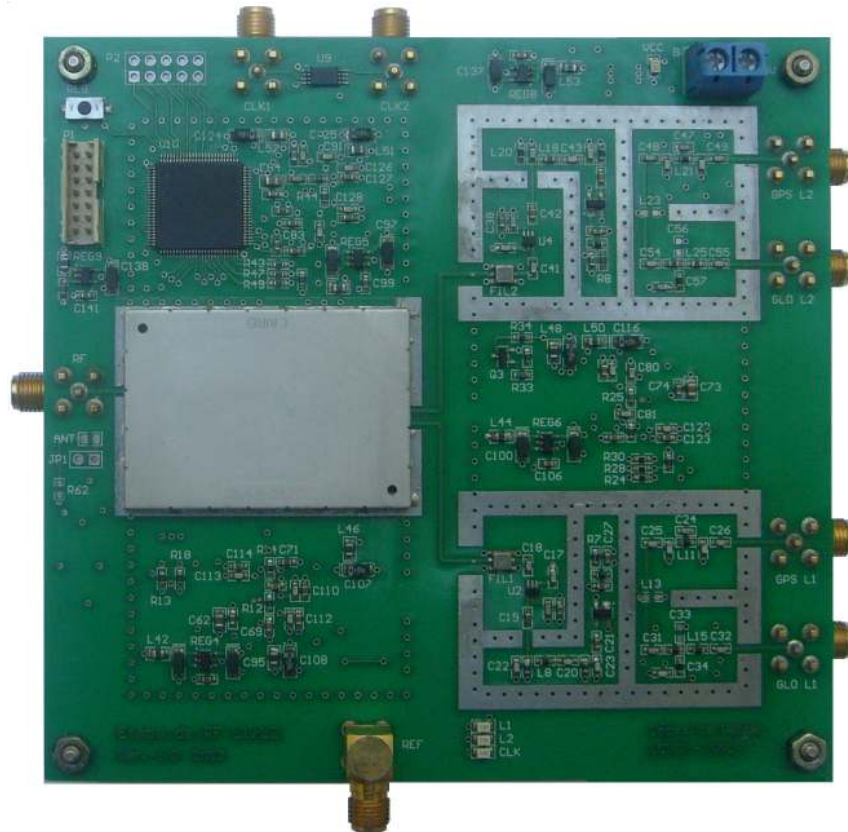


Figura 6.10: Foto de la placa completamente ensamblada (vista superior).

6.5. Resultados

En esta sección se presentan las mediciones y pruebas realizadas al cabezal de RF. Si bien todos los subcircuitos que componen este cabezal de RF fueron probados en los diseños previos, los más sensibles fueron caracterizados nuevamente para verificar su adecuado funcionamiento.

6.5.1. Mediciones en RF

Se decidió implementar el LNA en forma separada para obtener una buena caracterización del mismo, ya que si bien había sido probado en el Capítulo 5, para este nuevo diseño fue necesario cambiar el material del circuito impreso y su espesor. Además, se hicieron mediciones sobre la etapa de RF completa con el objetivo de corroborar que el diseño del diplexor fuera adecuado debido a que no había sido incluido en los prototipos anteriores.

Amplificador de Bajo Ruido

Se llevaron a cabo algunas mediciones sobre el prototipo implementado a fin de caracterizar su desempeño y verificar el cumplimiento de los objetivos de diseño planteados en el Capítulo 5.

En primer lugar se midieron sus parámetros S utilizando un analizador de redes. La Fig. 6.11 muestra los resultados obtenidos. Allí se observa que el parámetro S_{21} , que representa la ganancia del LNA, se mantiene aproximadamente constante en un valor de 20dB. Además, su variación en todo el rango de frecuencias de interés es menor a 1.5dB, por lo que cumple con las expectativas de diseño. Por otra parte, la adaptación en el puerto de entrada es aceptable si se considera que es un LNA. En cuanto a la adaptación en la salida, se puede decir que es satisfactoria porque las pérdidas de retorno siempre se encuentran por encima de 10dB.

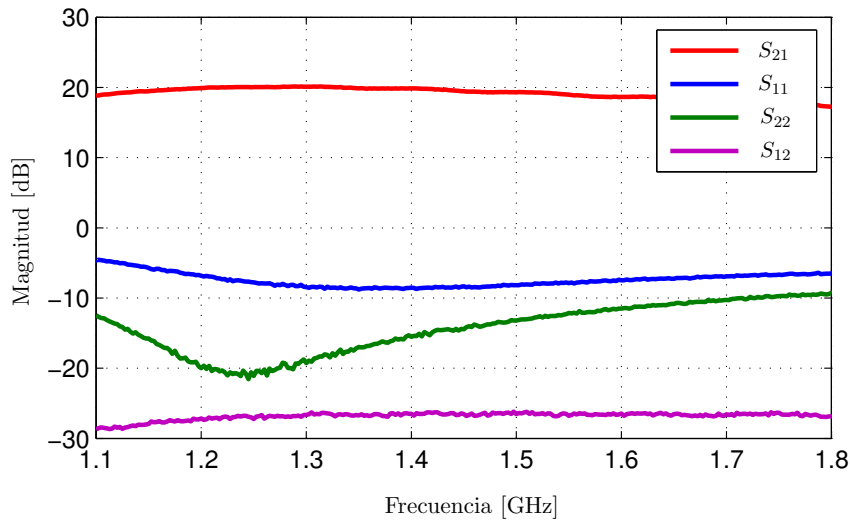


Figura 6.11: Parámetros S medidos.

Con los parámetros S medidos se calculó el factor de estabilidad de Rollett, cuya gráfica se presenta en la Fig. 6.12. Los resultados obtenidos demuestran que el amplificador es incondicionalmente estable, ya que el factor de estabilidad k es mayor a 1. Aunque en la Fig. 6.12 se muestra un intervalo de frecuencias reducido, se verificó que el LNA es estable en un amplio rango de frecuencias.

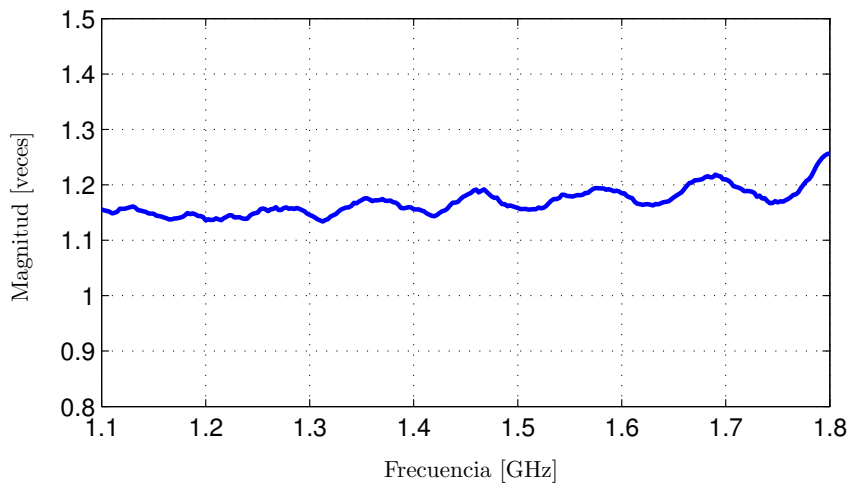


Figura 6.12: Factor de estabilidad medido.

Uno de los parámetros más importantes del LNA es la figura de ruido. En este caso se midió por medio del método del factor Y, el cual fue explicado en el Capítulo 3. En la Fig. 6.13 se muestra la gráfica obtenida a partir de las mediciones realizadas. Como puede observarse, la figura de ruido del LNA se mantiene por debajo de 1.2dB y los valores son similares, e incluso algo mejores, a los obtenidos con el prototipo del Capítulo 5.

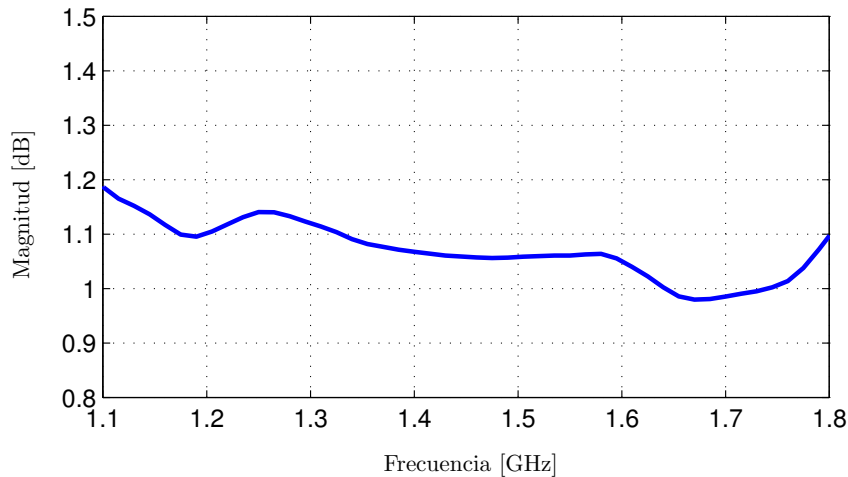


Figura 6.13: Figura de ruido medida.

Por último, se llevó a cabo un barrido de potencia en la entrada del LNA para obtener el punto de compresión de 1dB. El procedimiento fue similar al realizado en el Capítulo 5 debido a que se utilizó una frecuencia central de 1400MHz, es decir cercana al centro de la banda de interés. La Fig. 6.14 muestra los resultados obtenidos.

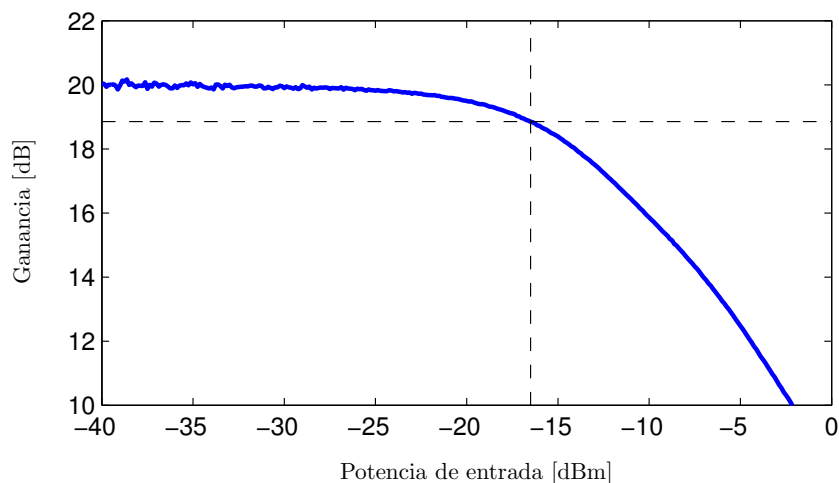


Figura 6.14: Punto de compresión de 1dB medido.

El punto de compresión de 1dB está dado por

$$\begin{aligned}
 P_{o1dB}[\text{dBm}] &= P_{i1dB}[\text{dBm}] + G[\text{dB}] \\
 &= -16,5 + 18,9 = 2,4\text{dBm}
 \end{aligned}
 \tag{6.6}$$

Como comentario final es oportuno destacar que los resultados obtenidos con el LNA implementado en seis capas son muy similares a los presentados en el Capítulo 5, donde el mismo diseño había sido construido en material FR4. Esto asegura que el LNA del cabezal de RF tendrá un desempeño muy satisfactorio, ya que operará en las mismas condiciones en que fue medido en esta sección. Es decir, con el mismo material dieléctrico, la misma distribución de capas e igual disposición de los componentes.

Etapa de RF

La etapa de RF se midió en forma separada para verificar el funcionamiento en conjunto del LNA, el amplificador de RF, el diplexor y los filtros de RF. De acuerdo a las mediciones realizadas previamente y a las simulaciones, la ganancia esperada es

$$G_{RF}[\text{dB}] = G_{LNA}[\text{dB}] + G_{AMP}[\text{dB}] - L_{DIP}[\text{dB}] - L_{FIL}[\text{dB}] \quad (6.7)$$

$$\approx 20 + 20 - 3 - 2 = 35\text{dB}$$

donde G_{LNA} y G_{AMP} son las ganancias del LNA y el amplificador de RF, respectivamente; L_{DIP} y L_{FIL} son las pérdidas introducidas por el diplexor y los filtros, respectivamente.

La Fig. 6.15 muestra las ganancias medidas en las salidas de la etapa de RF, en donde puede observarse que sus valores son muy similares. En particular, las ganancias de ambas salidas son del orden de 35dB, tal como se esperaba. Esto confirma que el diplexor es simétrico y que su diseño es adecuado, ya que las pérdidas que introduce están dentro de los valores obtenidos por simulación y se mantienen constantes en la banda de interés. Por otra parte, las frecuencias centrales y los anchos de banda de las salidas de L1 y L2 son los esperados.

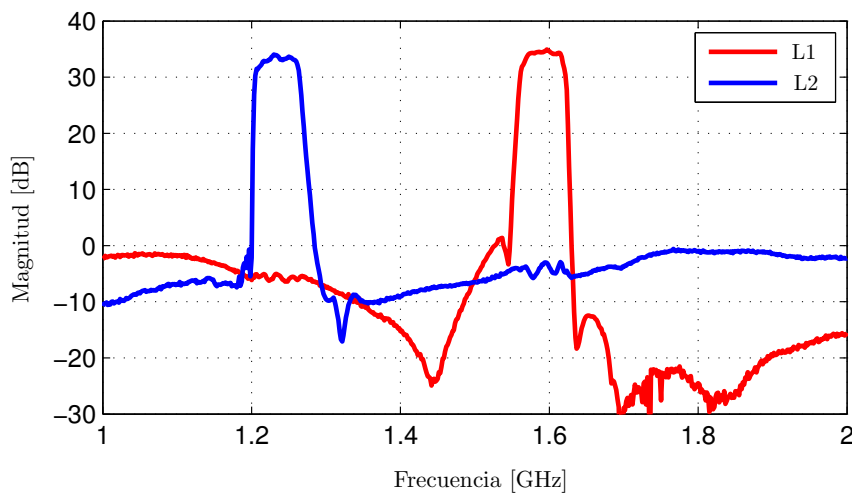


Figura 6.15: Ganancia de las salidas de la etapa de RF.

6.5.2. Mediciones del Prototipo Completo

En primer lugar se midió el consumo de corriente del cabezal de RF completamente ensamblado, el cual resultó aproximadamente 220mA a 5V. Esto representa una potencia de 1.1W.

Luego, una vez caracterizadas las etapas más críticas del cabezal de RF, se pasó a realizar algunas mediciones sobre el prototipo completo. Dichas mediciones se describen a continuación.

Rechazo de Frecuencia Imagen

Debido a que el plan de frecuencias de este diseño es el mismo que el utilizado en el diseño preliminar descrito en el Capítulo 3, los valores de frecuencia imagen no han variado respecto a los calculados previamente. En la banda L1 las frecuencias imagen son 1515MHz y 1488MHz, para GPS y GLONASS respectivamente. Por su parte, en la banda L2 para GPS y GLONASS las frecuencias imagen son 1163MHz y 1145MHz respectivamente. Colocando tonos de estas frecuencias en la entrada del cabezal de RF, y comparando los valores de potencia en las salidas de FI correspondientes con los medidos para las frecuencias de interés, se calculó el rechazo a las frecuencias imagen.

Los valores obtenidos se presentan en la Tabla 6.2. Allí se puede apreciar que el rechazo a las frecuencias imagen es adecuado, debido a que en todos los casos supera ampliamente los 30dB que se habían establecido como objetivo de diseño.

Figura de Ruido

La figura de ruido determina la sensibilidad del cabezal de RF y en un receptor GNSS es un parámetro fundamental que es necesario conocer. Si bien se obtuvo la figura de ruido del LNA en forma independiente, la figura de ruido del cabezal de RF completo se ve afectada por el resto de los componentes según la fórmula de Friis [15]. Sin embargo, pueden existir algunas diferencias respecto a los valores previstos debido a efectos no contemplados por dicha fórmula. Por esta razón es importante medir la figura de ruido total.

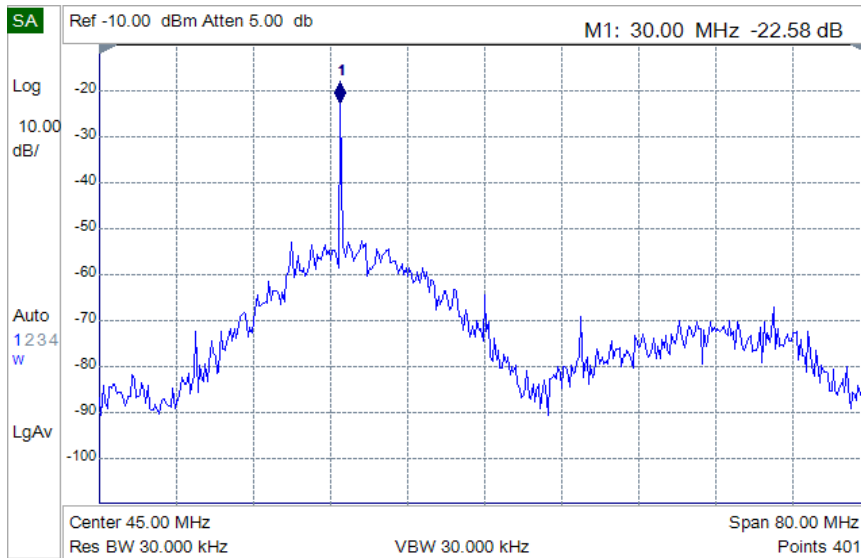
Para medir la figura de ruido del cabezal de RF completo se utilizó nuevamente el método del factor Y. Los resultados obtenidos se muestran en la Tabla 6.2, en donde se observa que la figura de ruido medida es muy baja, ya que siempre se encuentra por debajo de los 2dB.

Medición [dB]	GPS L1	GLO L1	GPS L2	GLO L2
Rechazo de imagen	39	48	47	45
Figura de ruido	1.4	1.5	1.7	1.7

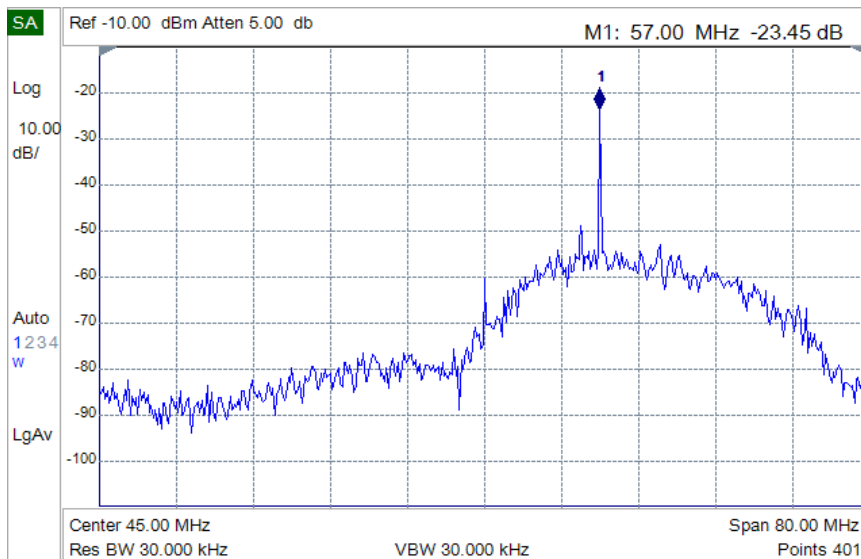
TABLA 6.2: Resultados de las mediciones del cabezal de RF completo.

Espectro de las Señales de FI

Se midieron los espectros en las salidas de frecuencia intermedia del cabezal de RF. Para ello se excitó la entrada de antena con tonos de la frecuencia central de las distintas bandas de interés, es decir GPS L1, GLONASS L1, GPS L2 y GLONASS L2. Luego, se observó el espectro en las salidas de FI correspondientes. Para realizar las mediciones se utilizaron tonos de -90dBm.



(a) GPS/Galileo L1.



(b) GLONASS L1.

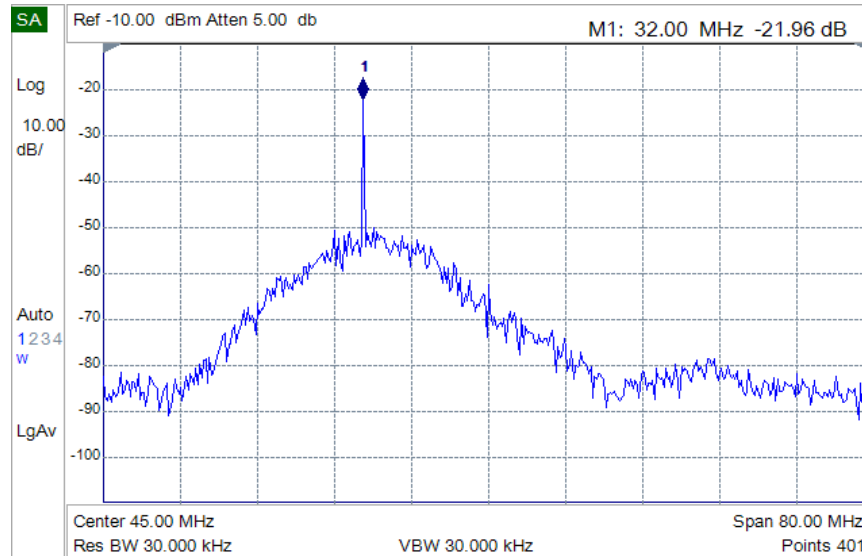
Figura 6.16: Espectros en las salidas de FI de L1.

Las Figs. 6.16 y 6.17 muestran los espectros medidos para L1 y L2 respectivamente. En estas figuras se aprecia la selectividad en las salidas de FI y la presencia del tono de prueba en la frecuencia intermedia correcta. La ganancia esperable se puede aproximar mediante la siguiente expresión

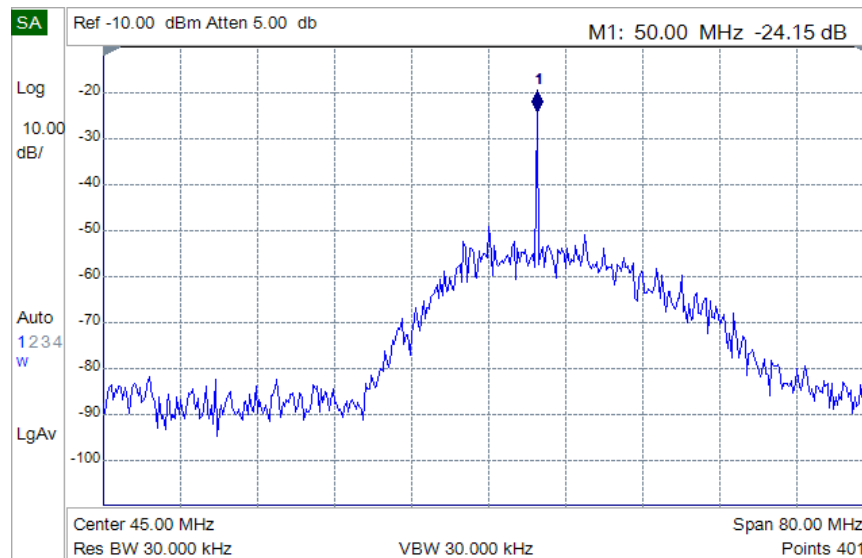
$$G_T[\text{dB}] = G_{RF}[\text{dB}] + G_M[\text{dB}] - L_{FIL}[\text{dB}] + G_{FI}[\text{dB}] - L_{DUP}[\text{dB}] \quad (6.8)$$

$$\approx 35 + 13 - 1 + 21 - 1 = 67\text{dB}$$

donde G_{RF} , G_M y G_{FI} son las ganancias de la etapa de RF, el mezclador y el amplificador de FI, respectivamente; L_{FIL} y L_{DUP} son las pérdidas de inserción del filtro de FI y del duplexor, respectivamente.



(a) GPS L2.



(b) GLONASS L2.

Figura 6.17: Espectros en las salidas de FI de L2.

El valor de ganancia medido, descontando las pérdidas en los cables utilizados para realizar la medición, es del orden 68dB. Este valor es muy similar al calculado con (6.8), lo que indica que las diferentes etapas del cabezal de RF están operando correctamente.

Finalmente, es importante destacar que no se visualizan frecuencias espurias o interferencias relevantes en todo el rango de frecuencias de interés. Por otra parte, el rechazo a la banda no deseada es superior a 25dB en todos los casos.

6.5.3. Pruebas Funcionales

Las pruebas funcionales consistieron en realizar la adquisición de señales GNSS reales, ya que esto involucra todas las etapas que componen el cabezal de RF. El éxito en estas pruebas implica que el cabezal de RF completo funciona correctamente, y junto con las otras mediciones realizadas permite validar el diseño propuesto.

Para llevar a cabo la adquisición se conectó una antena doble banda en la entrada de antena del cabezal de RF [109]. Las señales de FI de cada banda se digitalizaron simultáneamente con una placa adquisidora a 20Msps [54]. Los datos obtenidos se procesaron en una PC utilizando rutinas de adquisición específicas [55].

A modo de ejemplo se presentan picos de correlación de ambas bandas de GPS y GLONASS. La Fig. 6.18 corresponde a los picos de correlación pertenecientes al satélite 12 de GPS, para las señales de código C/A de L1 y CM de L2. Por su parte, la Fig. 6.19 muestra los picos de correlación del satélite de GLONASS que transmite en las frecuencias 1604.25MHz en L1 y 1247.75MHz en L2, es decir el canal $k = 4$. En cada una de las figuras se puede observar que el retardo de código para L1 y L2 es muy similar, ya que se trata de señales provenientes de un mismo satélite y adquiridas en forma simultánea. Además, se verifica que la relación entre las desviaciones Doppler en L1 y L2 es la misma que entre las respectivas frecuencias de portadora.

6.6. Comparación de los Resultados

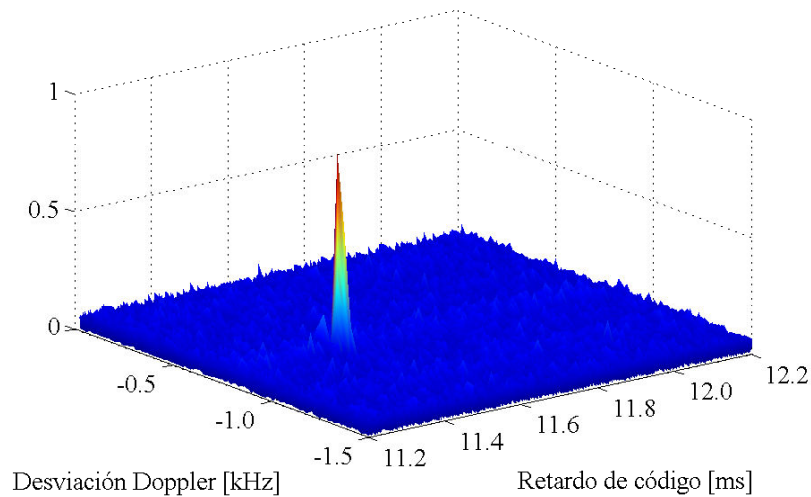
Para concluir se propone realizar una comparación entre el cabezal de RF presentado en esta tesis y algunos cabezales de RF disponibles en el mercado. Para comparar el desempeño se tomaron varios de los parámetros que caracterizan un cabezal de RF y que normalmente se encuentran en las hojas de datos de los dispositivos comerciales. En particular, se eligió la figura de ruido total, el rechazo a la frecuencia imagen y el ruido de fase del oscilador local.

La Tabla 6.3 muestra los resultados de la comparación efectuada. Debido a que los integrados comerciales sólo operan en la banda L1, para que la comparación fuera justa se utilizaron los resultados de las mediciones correspondientes a dicha banda. Como puede verse, el diseño propuesto en esta tesis tiene un desempeño muy satisfactorio en relación a los integrados comerciales actuales. Por otra parte, es capaz de operar en forma simultánea con señales de las bandas L1 y L2 de GPS y GLONASS. Si bien los cabezales integrados ofrecen una solución de bajo costo y de tamaño reducido, que resulta útil para muchas aplicaciones, no son aptos en los casos en que se requiere mayor precisión o en los que se pretende tener un hardware flexible para

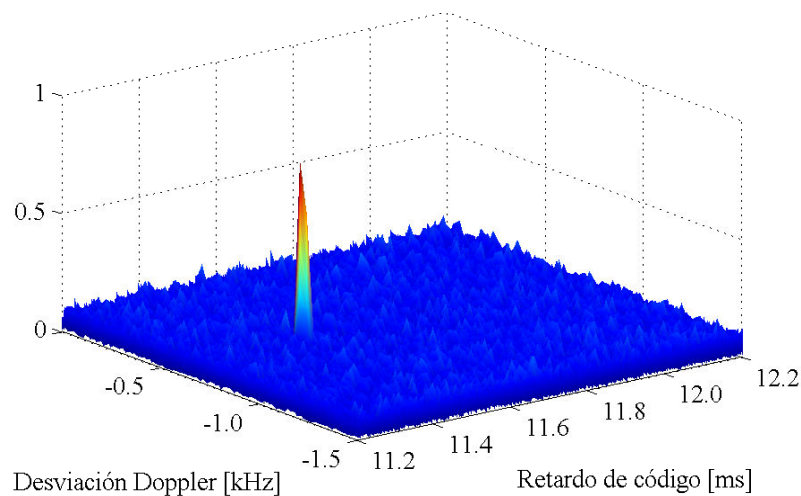
realizar pruebas. En consecuencia, es en estos casos en los que el diseño propuesto se convierte en una alternativa interesante.

Modelo	NF total	Rechazo Imagen	Ruido de fase	Señales
Este diseño	1.4dB	39dB	-82dBc/Hz @ 10kHz	GPS y GLONASS, L1 y L2
NJ1006A	1.8dB	N/A	-75dBc/Hz @ 100kHz	GPS L1
STA5620	4.5dB	20dB	-65dBc/Hz @ 1kHz	GPS L1
SE4150L	1.2dB	30dB	-82dBc/Hz @ 10kHz	GPS L1
MAX2742	4.5dB	18dB	-71dBc/Hz @ 10kHz	GPS L1
MAX2769	1.4 a 2.7dB	25dB	N/A	GPS L1 o GLONASS L1

TABLA 6.3: Comparación con integrados comerciales.

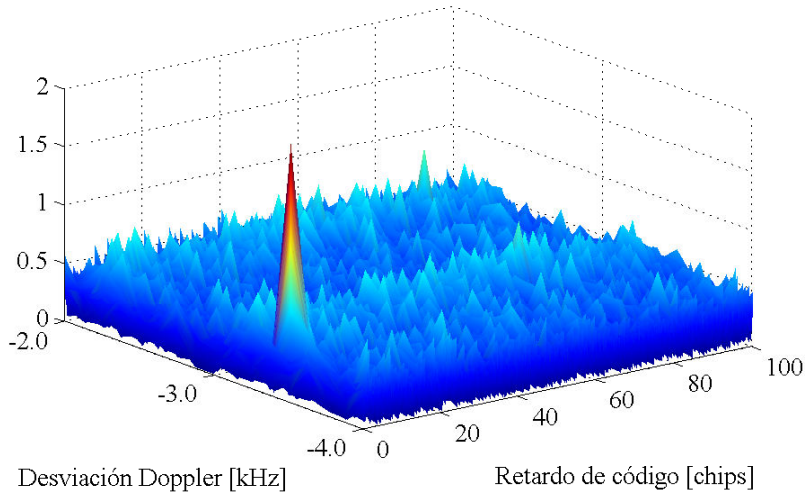


(a) Pico de correlación de código C/A L1 (satélite 12).

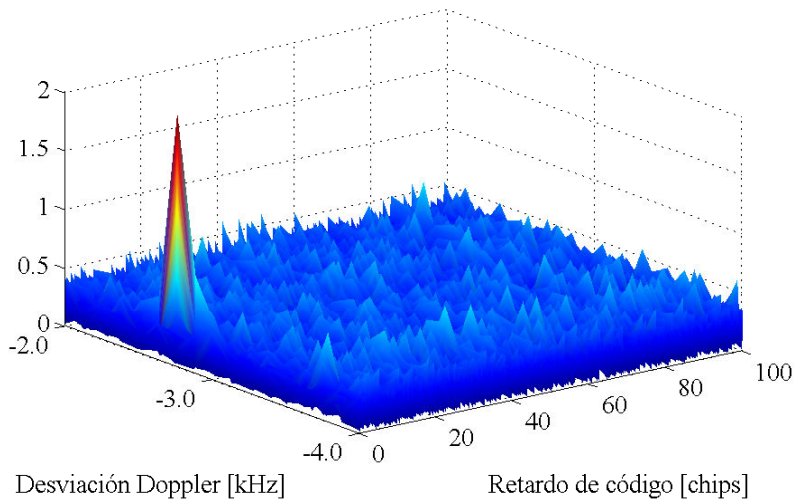


(b) Pico de correlación de código CM L2 (satélite 12).

Figura 6.18: Picos de correlación del satélite 12 de GPS.



(a) Pico de correlación de L1 ($k = 4$).



(b) Pico de correlación de L2 ($k = 4$).

Figura 6.19: Picos de correlación del satélite $k = 4$ de GLONASS.

6.7. Conclusiones

Se propuso el diseño de un cabezal de RF multifrecuencia y multiconstelación completo, el cual está basado en los diseños presentados en los capítulos previos. Este cabezal de RF está totalmente integrado en una única placa y posee una sola entrada de antena, lo cual es fundamental para un receptor GNSS multifrecuencia. Con este nuevo enfoque se logró obtener un diseño apropiado para aplicaciones de precisión y a la vez más portable y robusto, lo cual es importante para su uso fuera del ámbito de un laboratorio.

Las mediciones realizadas al prototipo implementado permitieron validar el diseño propuesto. Una comparación con cabezales de RF comerciales integrados mostró que este diseño incluso

posee mejores prestaciones. Además, a diferencia de los cabezales de RF comerciales que sólo operan en la banda L1, en el presente diseño se incorpora la capacidad de recibir simultáneamente señales de GPS y GLONASS de la banda L2. Esto mejora la precisión y la continuidad del servicio, aún bajo condiciones de operación adversas, y permite realizar las correcciones en el retardo ionosférico propias del procesamiento GNSS doble frecuencia.

Por último, cabe destacar que el diseño del cabezal de RF descrito en este capítulo fue presentado en un congreso [110]. Para probar el cabezal de RF era necesario disponer de una antena doble banda, las cuales en general son costosas y poco comunes porque se utilizan para aplicaciones de precisión. En vista de estas limitaciones, se decidió llevar a cabo el diseño y la construcción de una antena doble banda. Dicho diseño también fue publicado en los anales de este mismo congreso [109].

Capítulo 7

Conclusiones

Se presentó el diseño, la implementación y la validación de un cabezal de RF completo para un receptor GNSS multifrecuencia y multiconstelación. Este cabezal de RF está orientado principalmente a tareas de investigación y desarrollo, aunque también puede ser utilizado en aplicaciones de precisión en las cuales es fundamental el uso de dos frecuencias de portadora para eliminar el error introducido por el retardo ionosférico, ya que este constituye la principal fuente de error en la determinación de la posición en receptores de una sola frecuencia. Si bien existen en el mercado cabezales de RF totalmente integrados en un chip, estos sólo operan en la banda L1, generalmente poseen anchos de banda angostos, y utilizan planes de frecuencia y tasas de muestreo fijas, lo que limita el desempeño del receptor. Por otra parte, los cabezales de RF integrados no son suficientemente versátiles debido a que sus parámetros no pueden ser modificados por el usuario. Esto constituye una limitación para aplicaciones de investigación y desarrollo, en las cuales es deseable poder probar diferentes configuraciones de funcionamiento. Además, en estos casos se requieren características como baja figura de ruido, alto rechazo a la frecuencia imagen, buena estabilidad de frecuencia y baja distorsión, a fin de obtener señales de buena calidad para su procesamiento. Los cabezales de RF comerciales no poseen todas estas prestaciones porque sus objetivos de diseño son diferentes, normalmente están enfocados en lograr reducir el consumo de potencia, el tamaño y el costo de los dispositivos para que sean más atractivos para aplicaciones móviles, las cuales han experimentado un gran crecimiento en este último tiempo y actualmente representan la porción más importante del mercado.

La metodología utilizada en esta tesis consistió, en una primera instancia, en desarrollar e implementar en forma separada cada una de las etapas que componen un cabezal de RF. Esto hace que sea más sencillo detectar e identificar posibles fallas o errores de diseño, y reduce los costos y los tiempos de fabricación en caso de requerir correcciones. Otra de las ventajas es que permite caracterizar en detalle los diferentes bloques que componen el diseño final. En este sentido, debido a su complejidad se decidió tratar por separado la etapa de conversión a frecuencia intermedia y el circuito de síntesis de frecuencias. Por otro lado, se vio que una de las características que más limitan el desempeño de un receptor GNSS es la sensibilidad, ya que

las señales provenientes de la antena son muy débiles. Por lo tanto, uno de los componentes fundamentales de un cabezal de RF para un receptor GNSS es el amplificador de bajo ruido, debido a que es éste el que determina la figura de ruido. La importancia del amplificador de bajo ruido y el cuidado que es necesario poner en su diseño justificaron dedicarle un tratamiento especial dentro del desarrollo de la tesis.

Los resultados obtenidos en los prototipos implementados fueron muy satisfactorios. El diseño propuesto para el amplificador de bajo ruido se basó en una técnica de realimentación que permitió obtener una buena figura de ruido y una ganancia plana en un ancho de banda amplio. En este sentido, se logró una figura de ruido inferior a 1.2dB en todo el rango de frecuencias de interés, con una ganancia del orden de 20dB y una buena linealidad. Estas características junto con su baja figura de ruido hacen que su desempeño sea superior al que presentan actualmente la mayor parte de los LNA comerciales para este tipo de aplicaciones. Inicialmente se desarrolló una etapa de conversión a frecuencia intermedia apta para operar en la banda L1 o en la banda L2 utilizando un mismo circuito impreso y reemplazando sólo algunos componentes pasivos, lo que redujo el costo y el número de componentes necesarios. La etapa de síntesis de frecuencias diseñada permitió generar, a partir de un referencia común, los osciladores locales para los cabezales de L1 y L2, así como el reloj de muestreo para la etapa de procesamiento digital posterior. La característica de ruido de fase obtenida en las señales generadas fue muy buena, lo cual es importante para asegurar el correcto desempeño del receptor. Cabe destacar que la síntesis de frecuencias, y en particular sus aspectos prácticos, están poco desarrollados en la bibliografía de RF tradicional. Típicamente es un tema que se aborda en forma aislada, sin vincularlo directamente a su interacción con un receptor, lo cual no es una cuestión menor. En este sentido, la configuración de los sintetizadores de frecuencias utilizados fue clave para reducir la emisión de interferencias y minimizar el acoplamiento de señal entre la etapa síntesis de frecuencias y el cabezal de RF.

Con los prototipos desarrollados se implementó un cabezal de RF completo con entradas de antena independientes para las bandas L1 y L2. Las pruebas realizadas demostraron que dicho cabezal funcionaba correctamente, lo que terminó de comprobar que los diseños propuestos eran adecuados. Finalmente, para reducir la complejidad innecesaria obtenida al construir el cabezal de RF interconectando las diferentes placas, y para resolver el problema de las múltiples entradas de antena, se decidió implementar todo el cabezal de RF en una única placa. Si bien este nuevo diseño se basó completamente en las etapas desarrolladas anteriormente, fue necesario modificar la entrada de antena para poder unificarla. Se fabricó el nuevo cabezal completo y se lo sometió a mediciones y pruebas para verificar su funcionamiento. Las mediciones realizadas nuevamente permitieron validar el diseño propuesto y demostraron que, si se toman los recaudos necesarios, es posible incorporar las etapas de RF y síntesis de frecuencias en un mismo diseño, sin que se produzcan interferencias apreciables que puedan degradar el desempeño del receptor. Una comparación de este diseño con cabezales de RF comerciales integrados mostró que las prestaciones obtenidas son incluso superiores a la mayoría de los dispositivos disponibles actualmente en el

mercado. Además, a diferencia de los cabezales de RF comerciales que sólo operan en la banda L1, en el presente diseño se incorpora la capacidad de recibir simultáneamente señales de GPS y GLONASS de la banda L2. Cabe destacar que este cabezal de RF operando en conjunto con una plataforma de procesamiento digital, compuesta por una placa de adquisición y una FPGA, permite implementar completamente un receptor GNSS multifrecuencia y multiconstelación. Esta arquitectura basada en el concepto SDR, resulta adecuada para fines de investigación y desarrollo, ya que permite obtener un receptor configurable apto para probar algoritmos de adquisición, seguimiento y navegación. Además, debido a que el diseño pudo integrarse en una sola placa resultó más portable y robusto, esto lo vuelve útil también para su uso fuera del ámbito de un laboratorio en aplicaciones de GNSS de precisión.

Apéndice A

Esquemáticos y Circuito Impreso del Diseño Preliminar del Cabezal de RF

En este apéndice se presentan los diagramas circuitales completos correspondientes al diseño preliminar del cabezal de RF descrito en el Capítulo 3. Se incluyen ambos modos de funcionamiento, es decir L1 y L2. Para cada modo de funcionamiento se tienen tres hojas cuyo contenido se resume a continuación

- Hoja 1: LNA, amplificador de RF y mezclador, en esta hoja además se incluye el circuito de alimentación.
- Hoja 2: filtro de FI, VGA y conversor DA asociado.
- Hoja 3: amplificadores de FI y duplexor.

Además, en las Figs. C.11 a C.16 se muestran las impresiones de las capas del circuito impreso diseñado. Los planos de tierra y alimentación, Figs. C.12 y C.14, están en negativo.

A.1. Esquemáticos del Cabezal de RF de L1

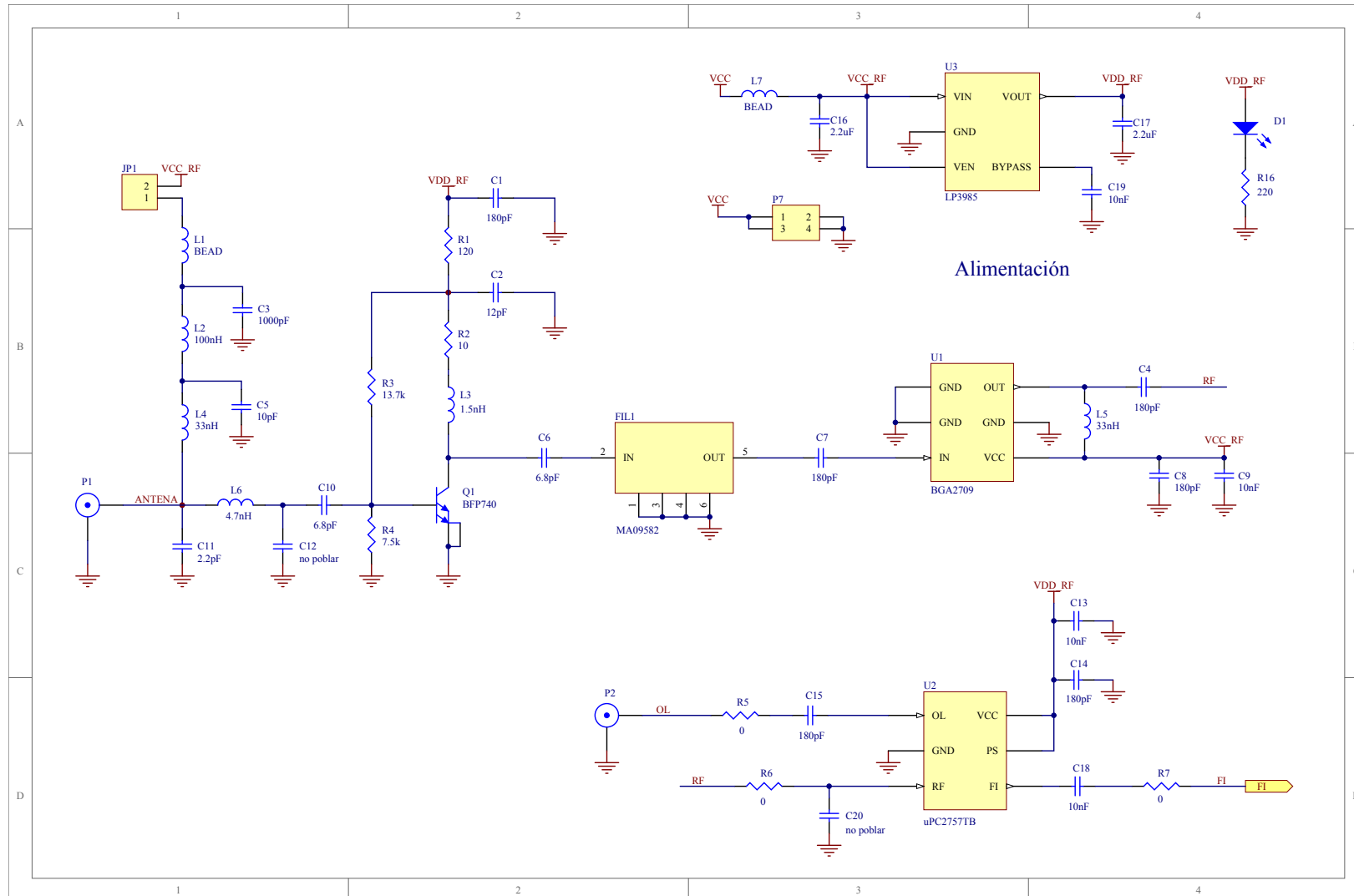


Figura A.1: Hoja 1: etapa de RF y alimentación (L1).

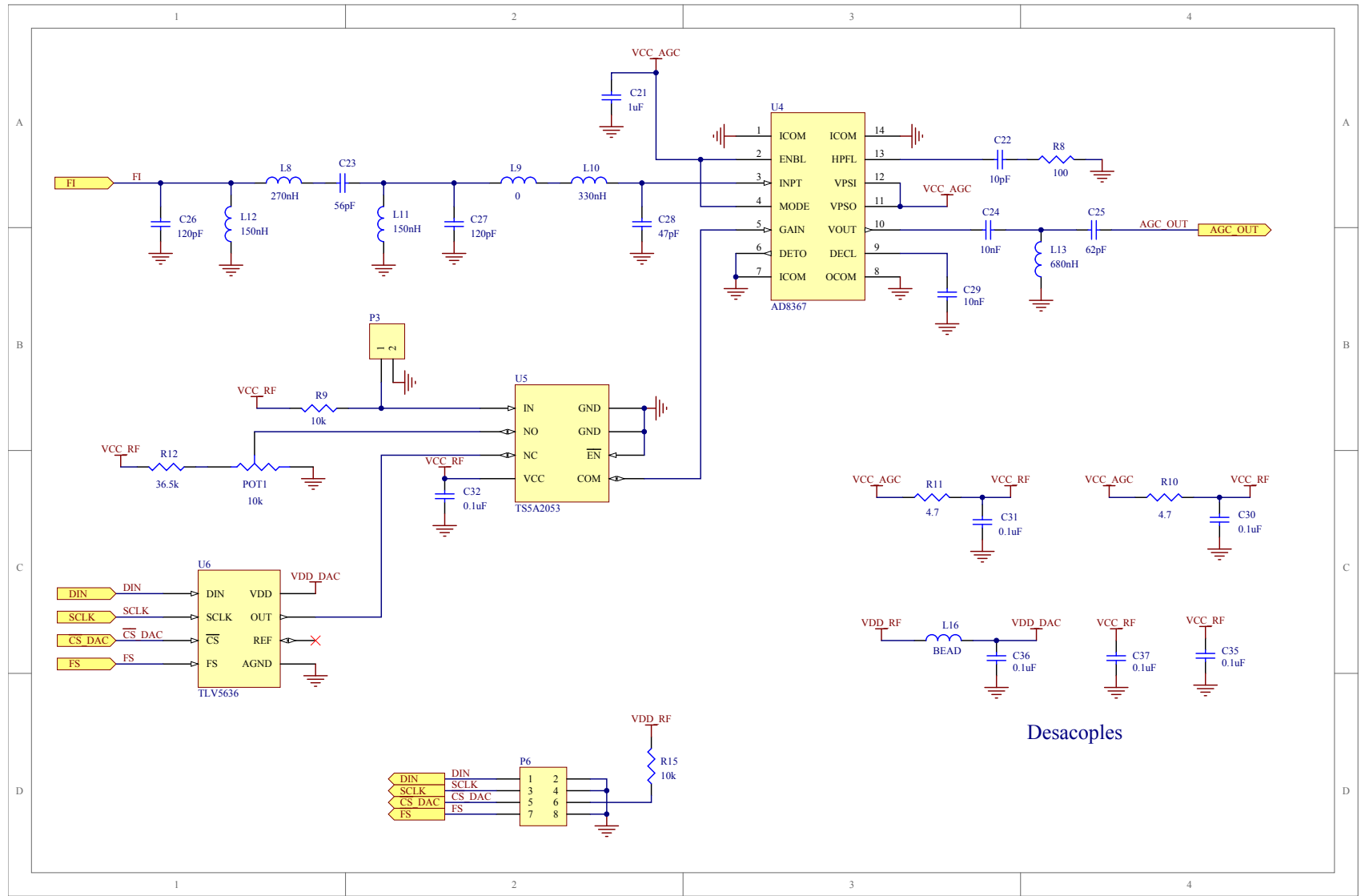


Figura A.2: Hoja 2: filtro de FI y VGA (L1).

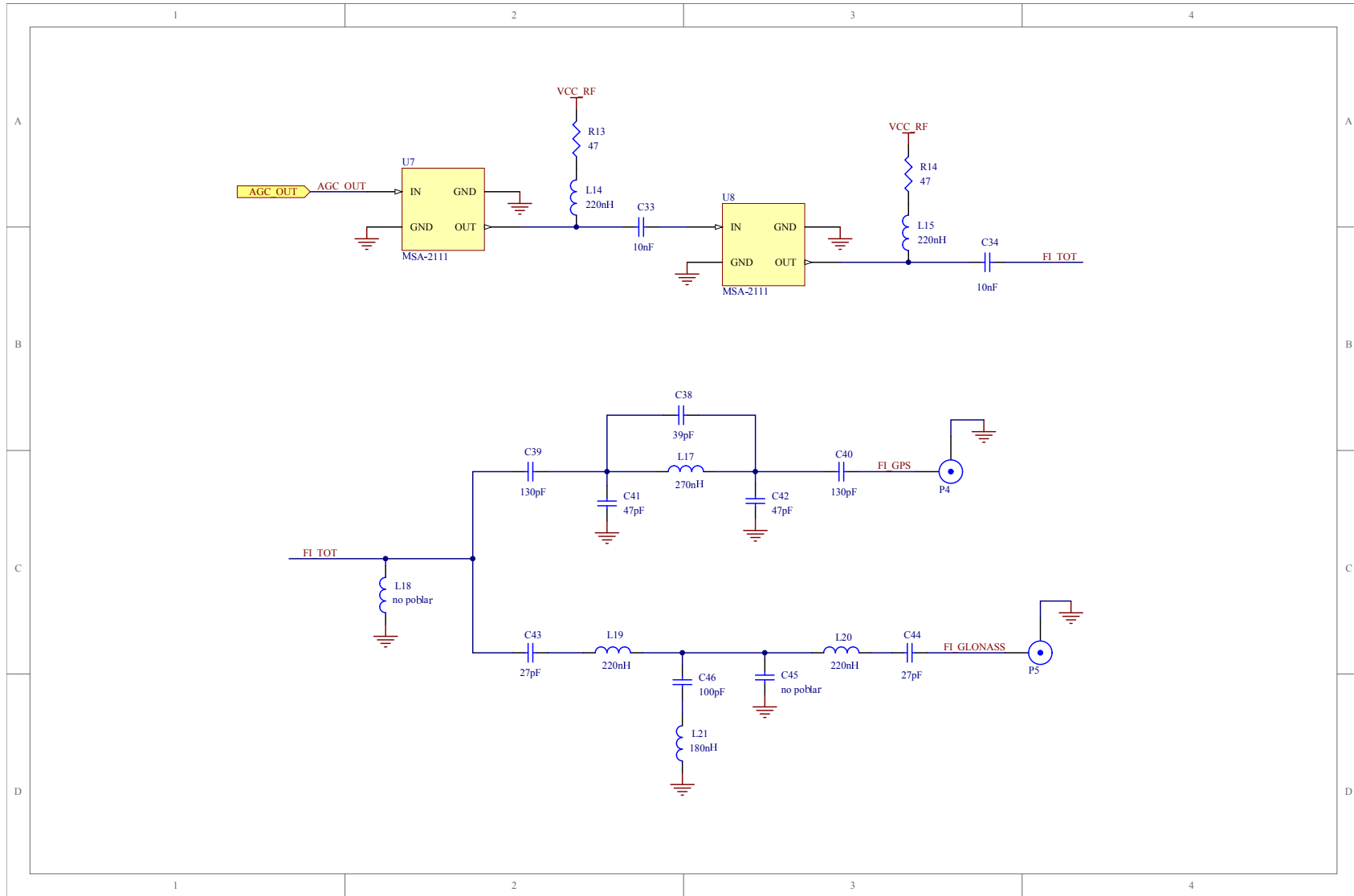


Figura A.3: Hoja 3: amplificador de FI y duplexor (L1).

A.2. Esquemáticos del Cabezal de RF de L2

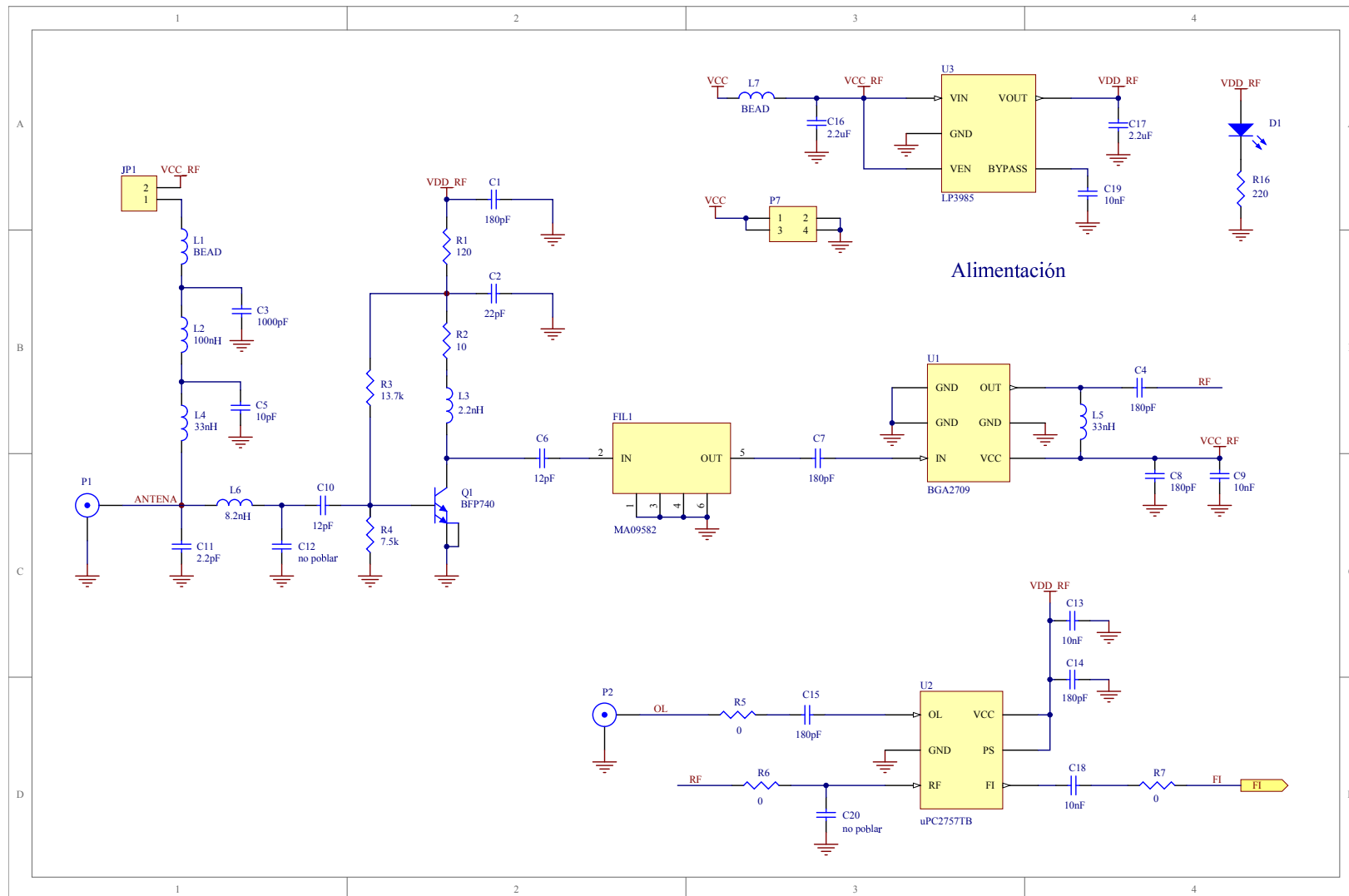


Figura A.4: Hoja 1: etapa de RF y alimentación (L2).

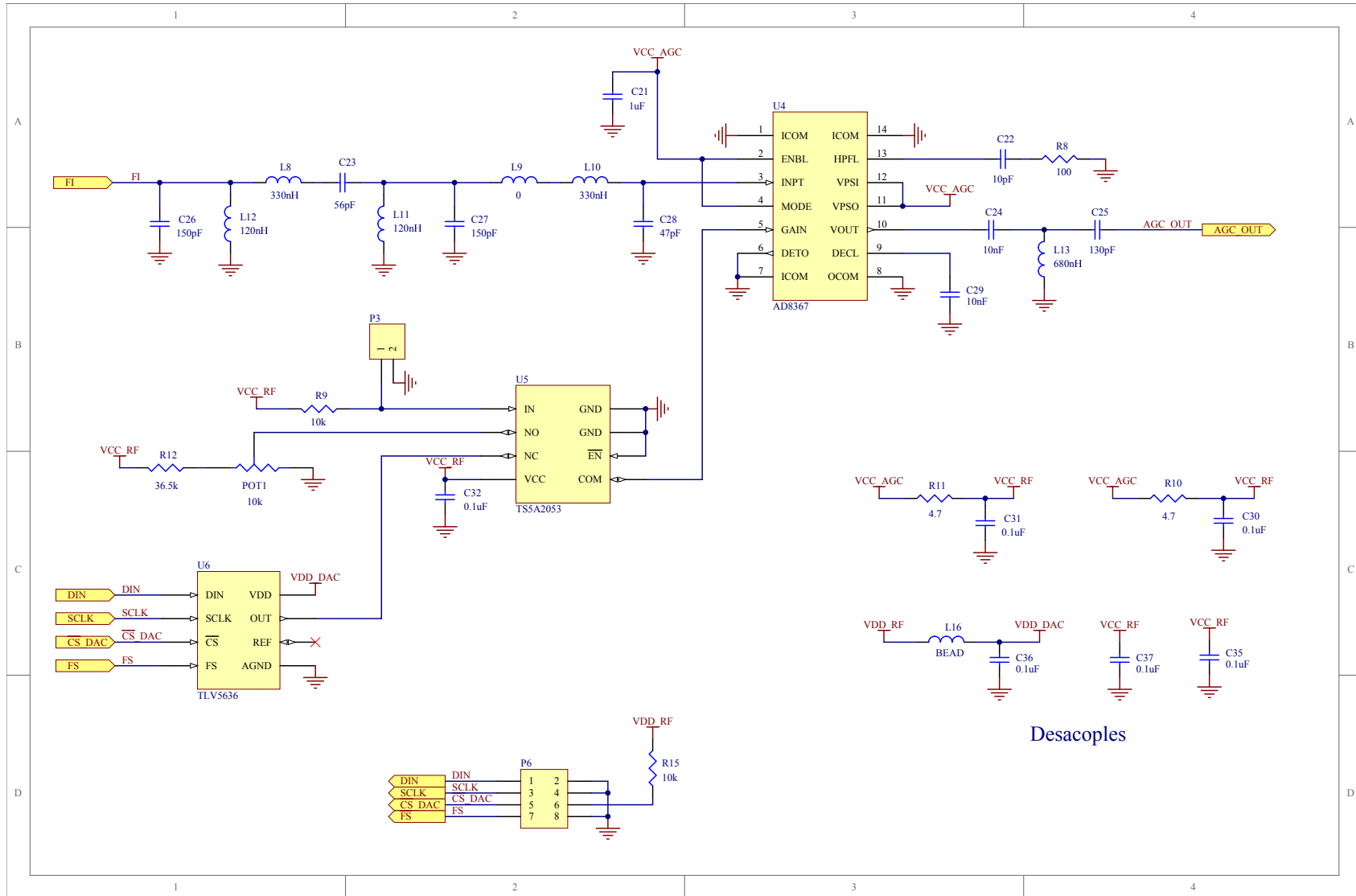


Figura A.5: Hoja 2: filtro de FI y VGA (L2).

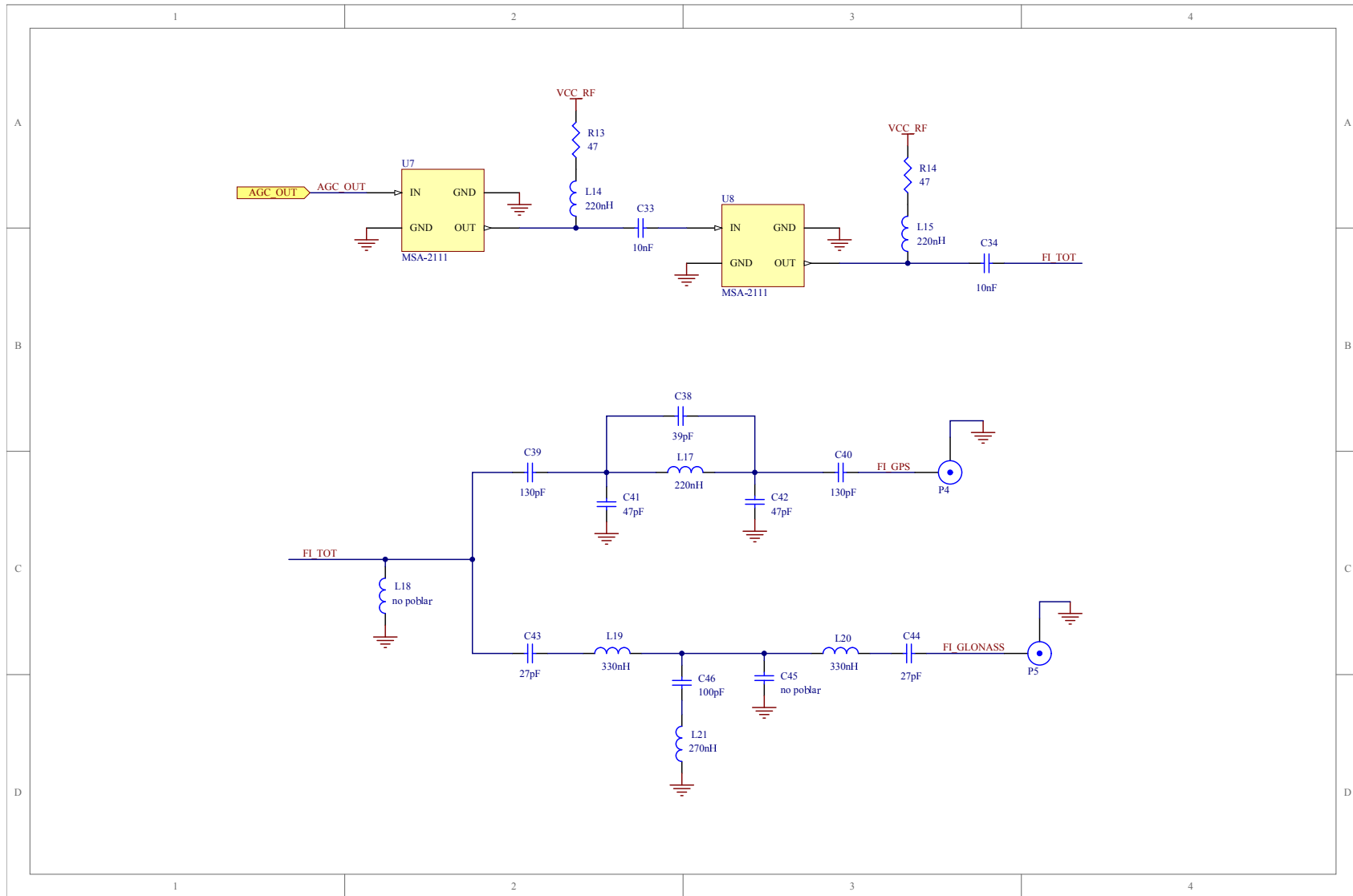


Figura A.6: Hoja 3: amplificador de FI y duplexor (L2).

A.3. Circuito Impreso

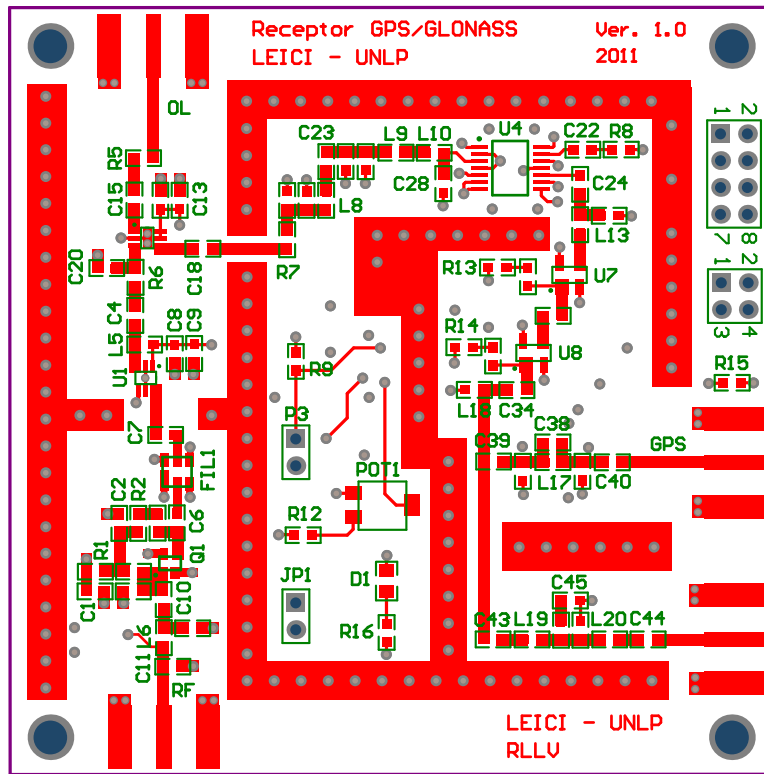


Figura A.7: Capa superior.

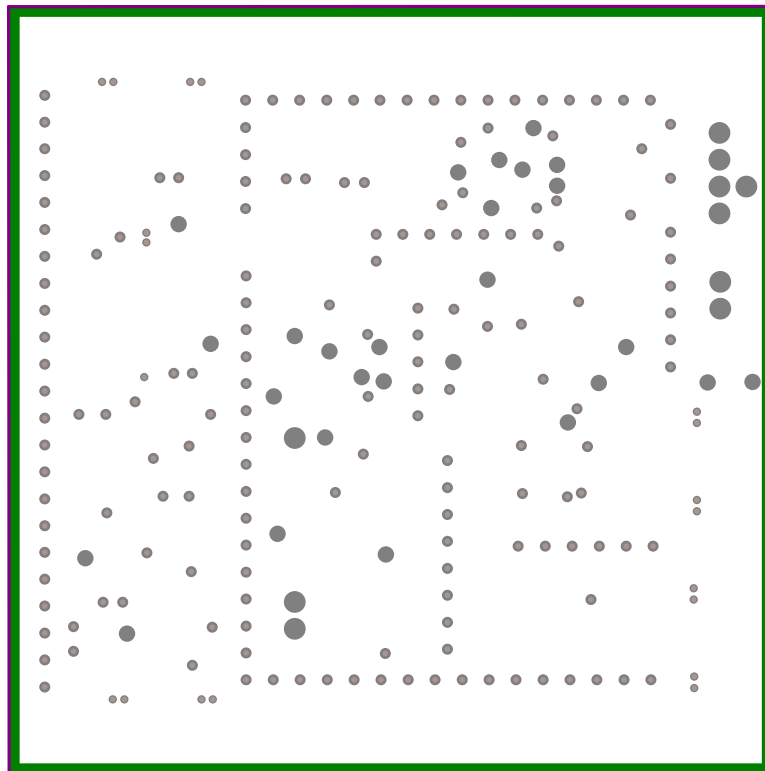


Figura A.8: Plano interno 1.

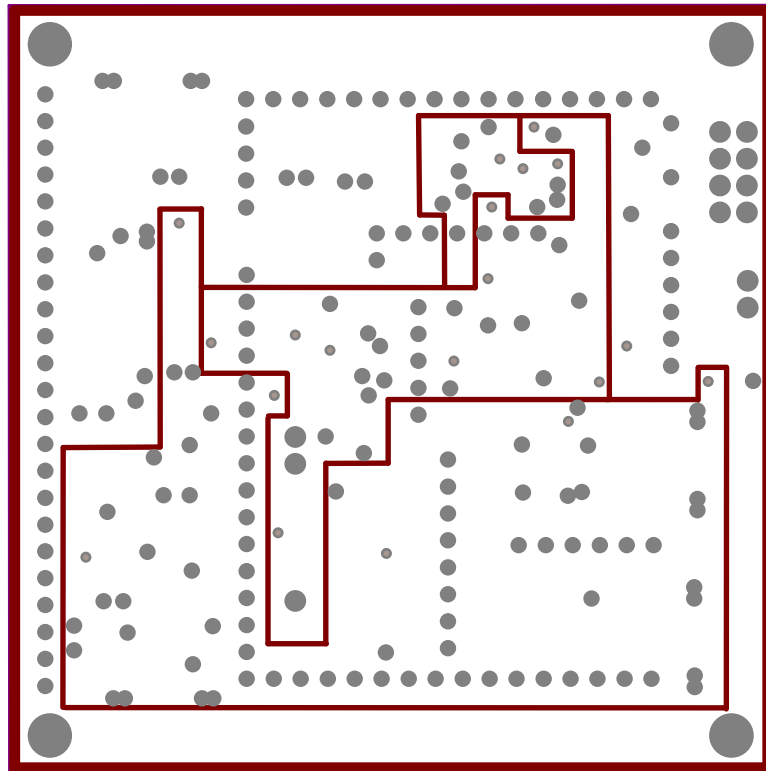


Figura A.9: Plano interno 2.

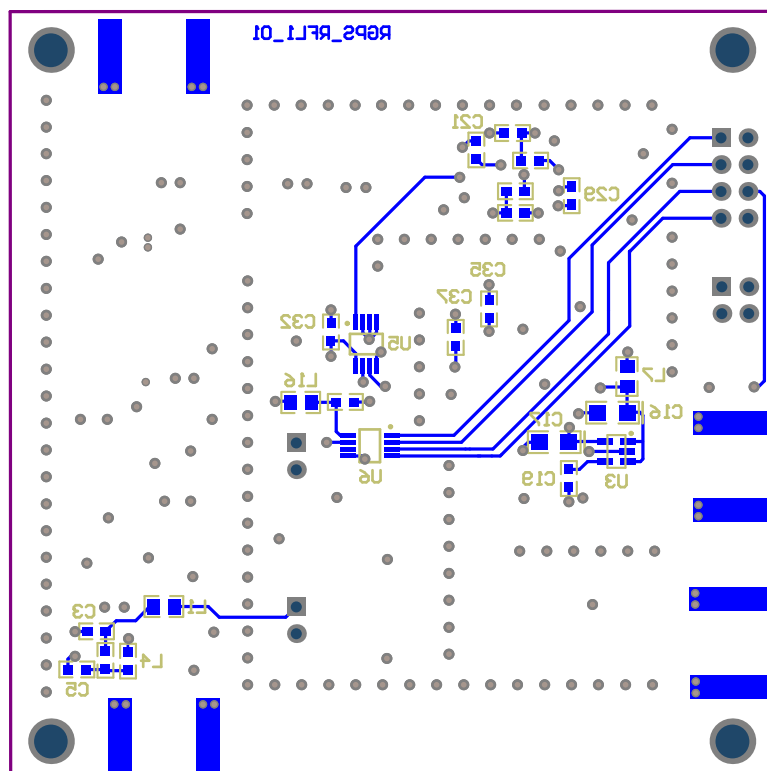


Figura A.10: Capa inferior.

Apéndice B

Esquemáticos y Circuito Impreso del Sintetizador de Frecuencias

En este apéndice se presentan los diagramas circuitales completos correspondientes al sintetizador de frecuencias descrito en el Capítulo 4. El diseño está distribuido en cinco hojas, cuyo contenido se describe a continuación

- Hoja 1: sintetizador de reloj de muestreo y filtro de lazo.
- Hoja 2: sintetizador de oscilador local de L1, balun de salida y filtro de lazo.
- Hoja 3: sintetizador de oscilador local de L2, balun de salida y filtro de lazo.
- Hoja 4: circuito de distribución de la referencia.
- Hoja 5: circuito de alimentación y capacitores de desacople.

Además, en las Figs. C.11 a C.16 se muestran las impresiones de las capas del circuito impreso diseñado. Los planos de tierra y alimentación, Figs. C.12 y C.14, están en negativo.

B.1. Esquemáticos

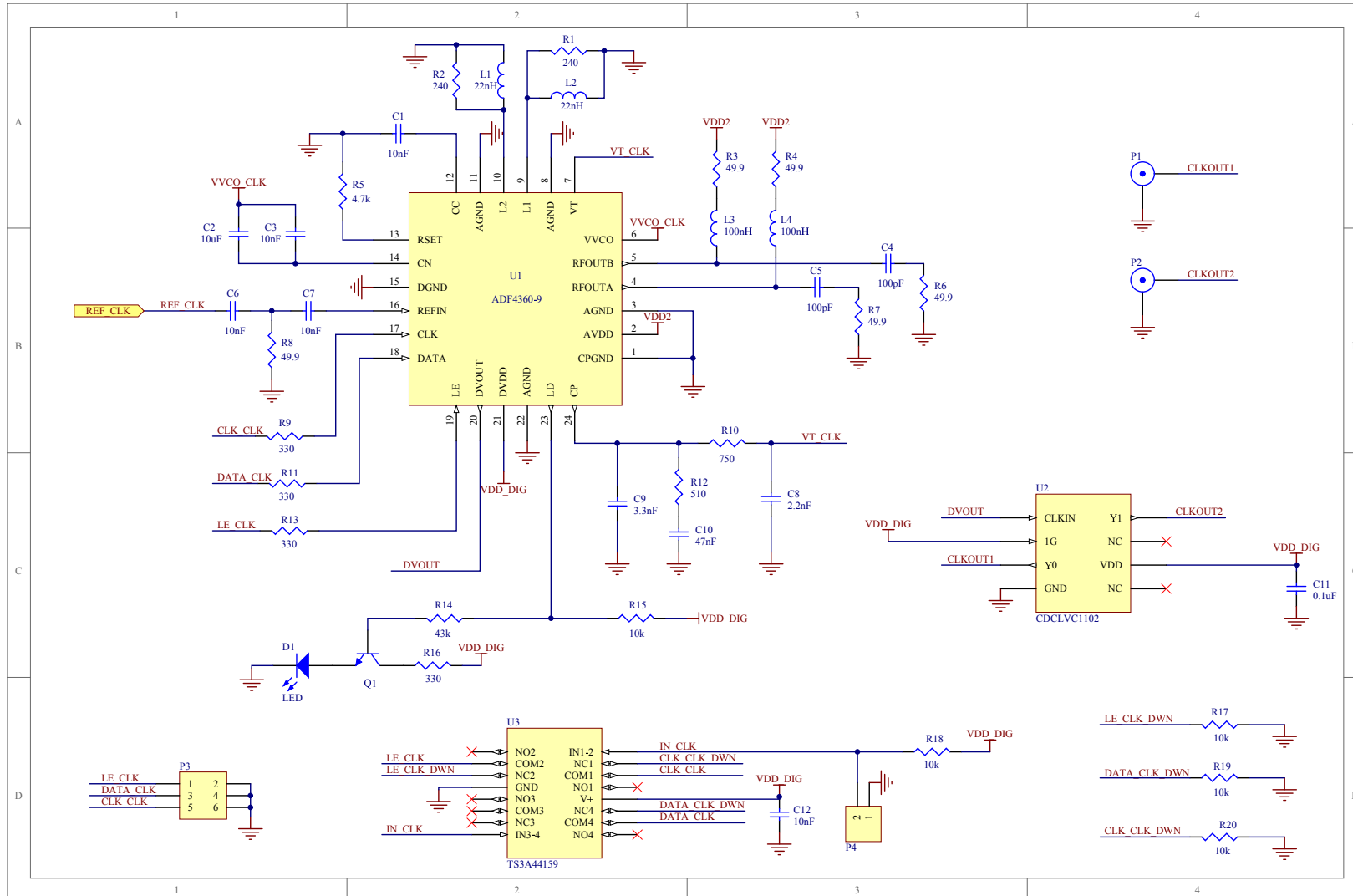


Figura B.1: Hoja 1: sintetizador de reloj de muestreo.

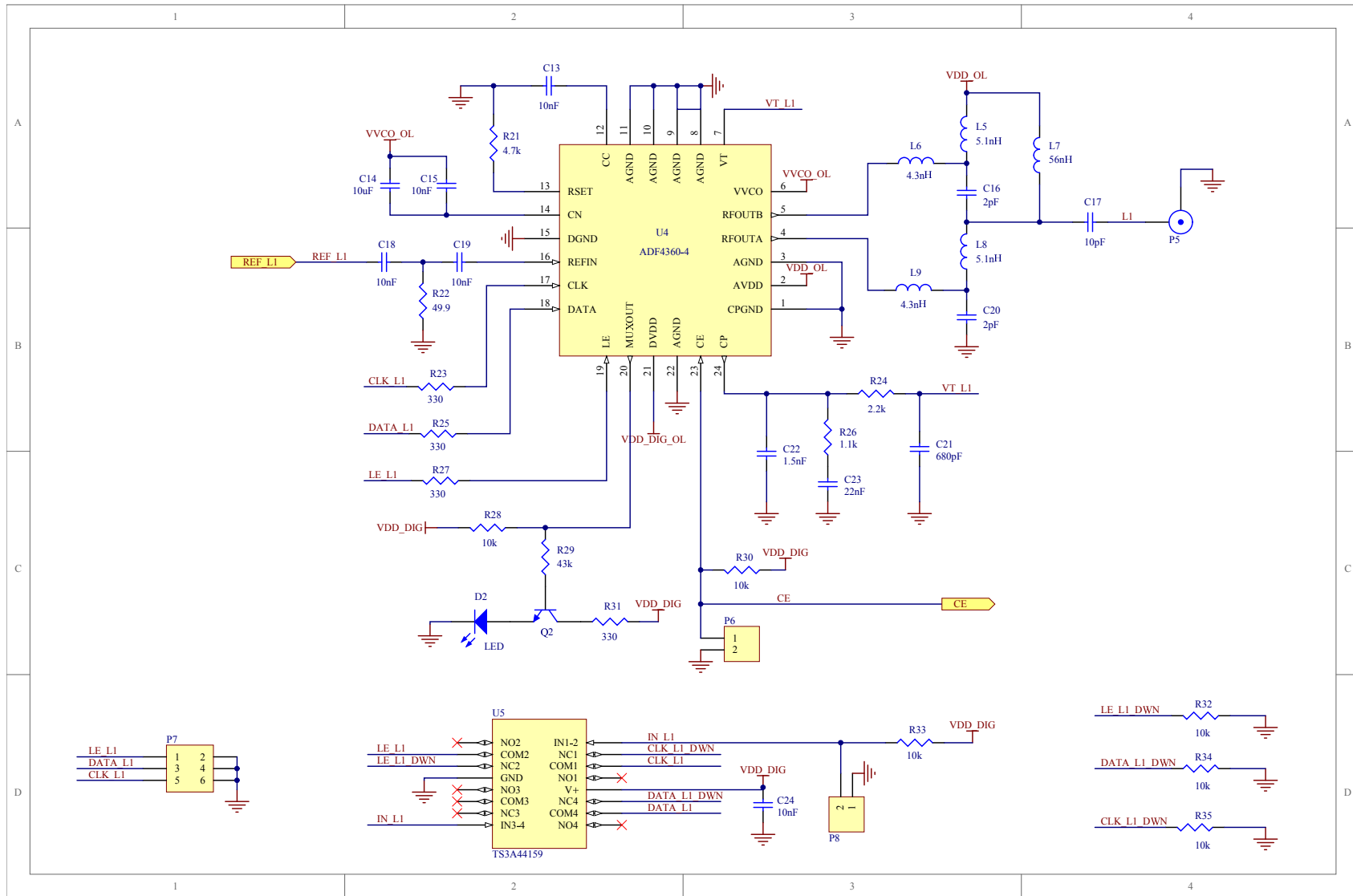


Figura B.2: Hoja 2: sintetizador de oscilador local de L1.

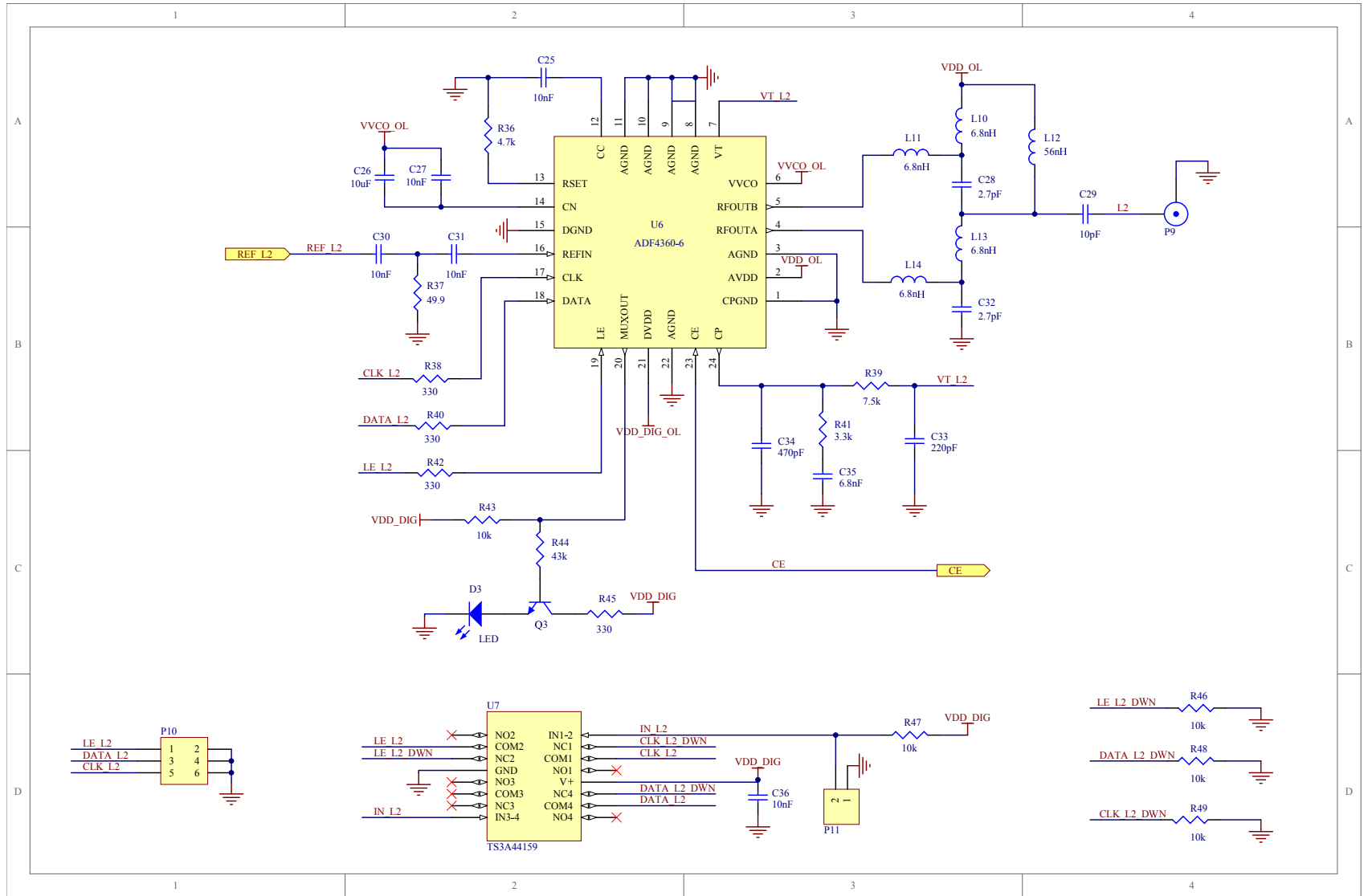


Figura B.3: Hoja 3: sintetizador de oscilador local de L2.

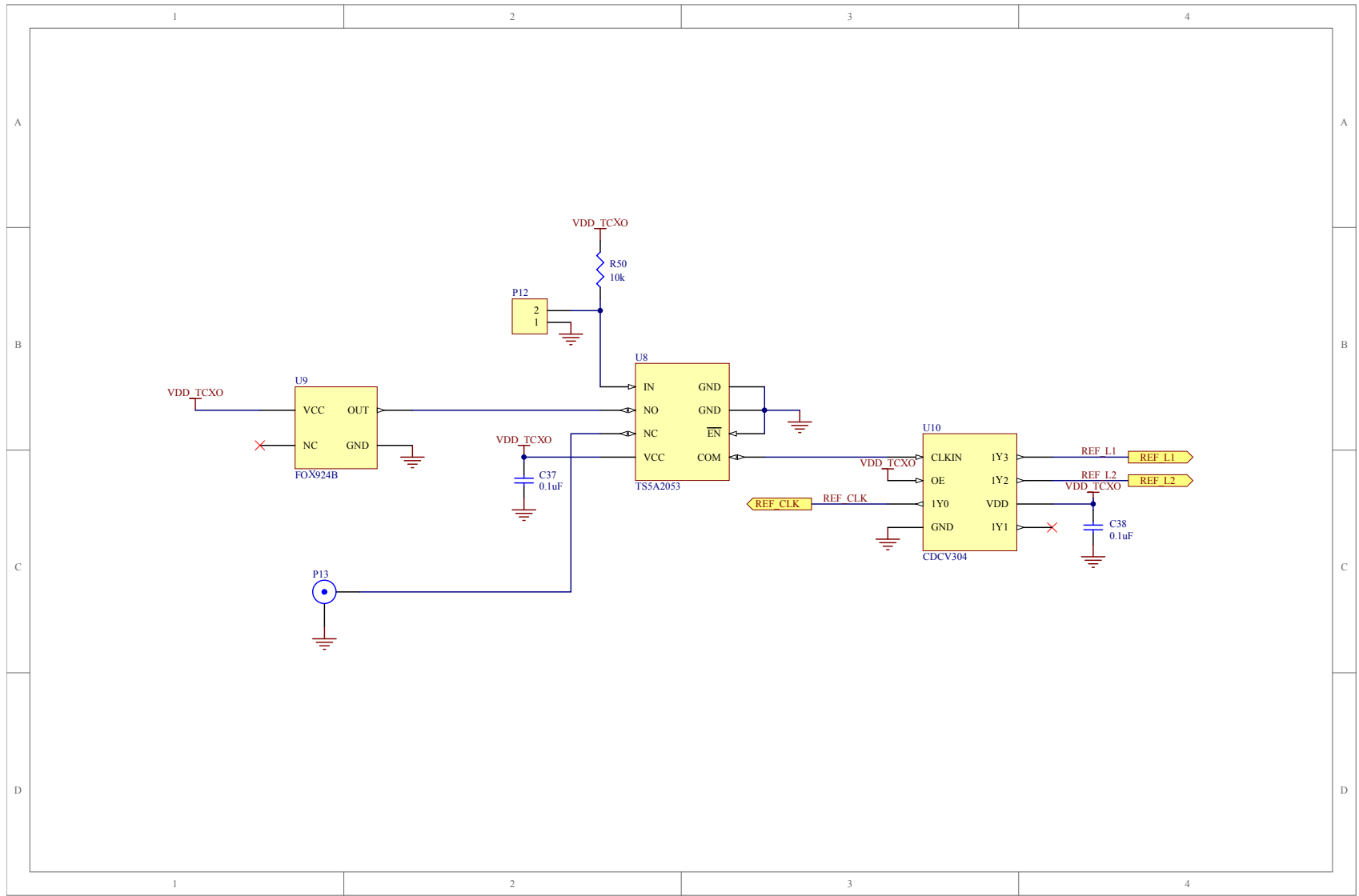


Figura B.4: Hoja 4: circuito de distribución de la referencia.

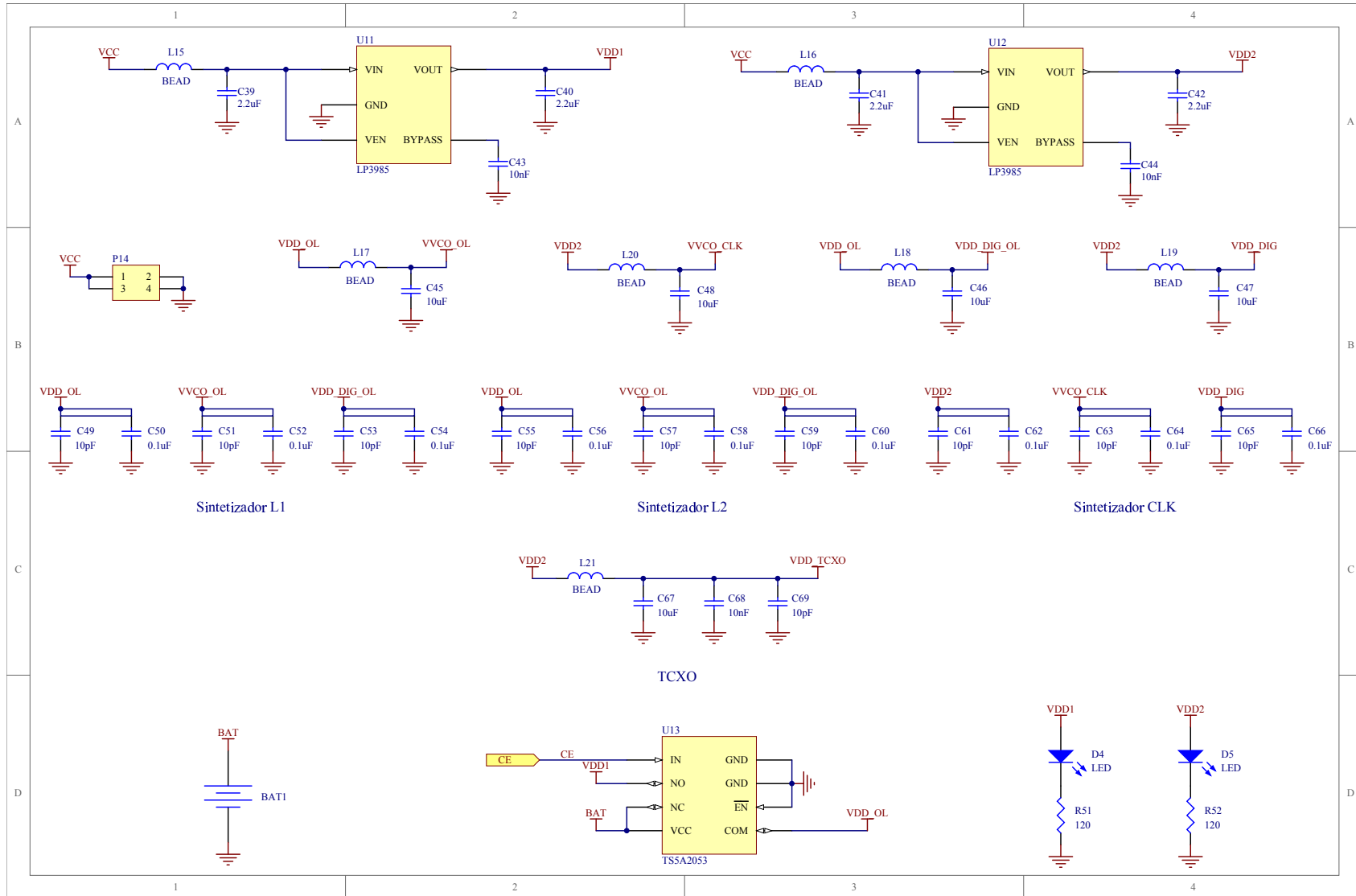


Figura B.5: Hoja 5: circuito de alimentación y capacitores de desacople.

B.2. Circuito Impreso

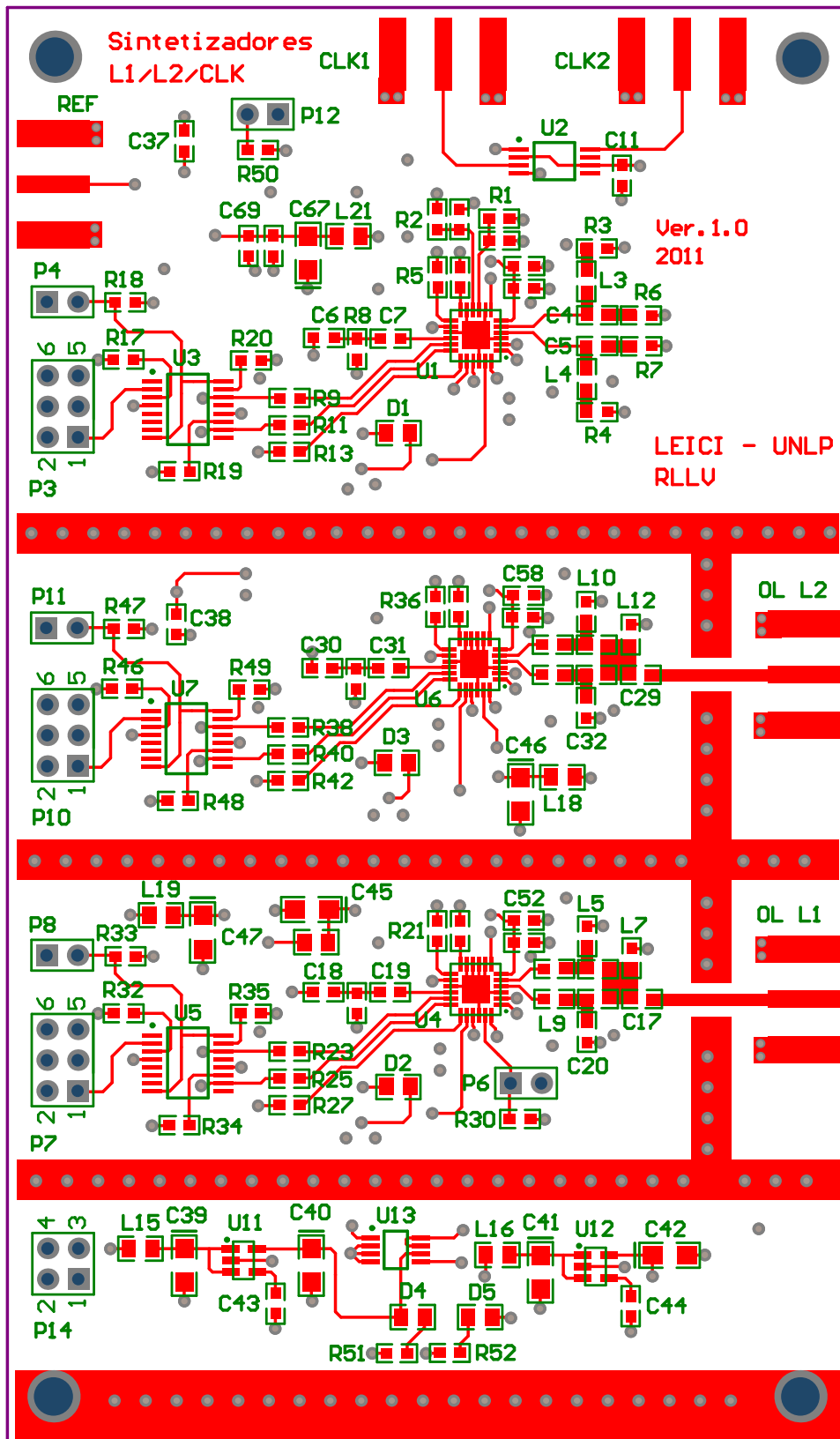


Figura B.6: Capa superior.

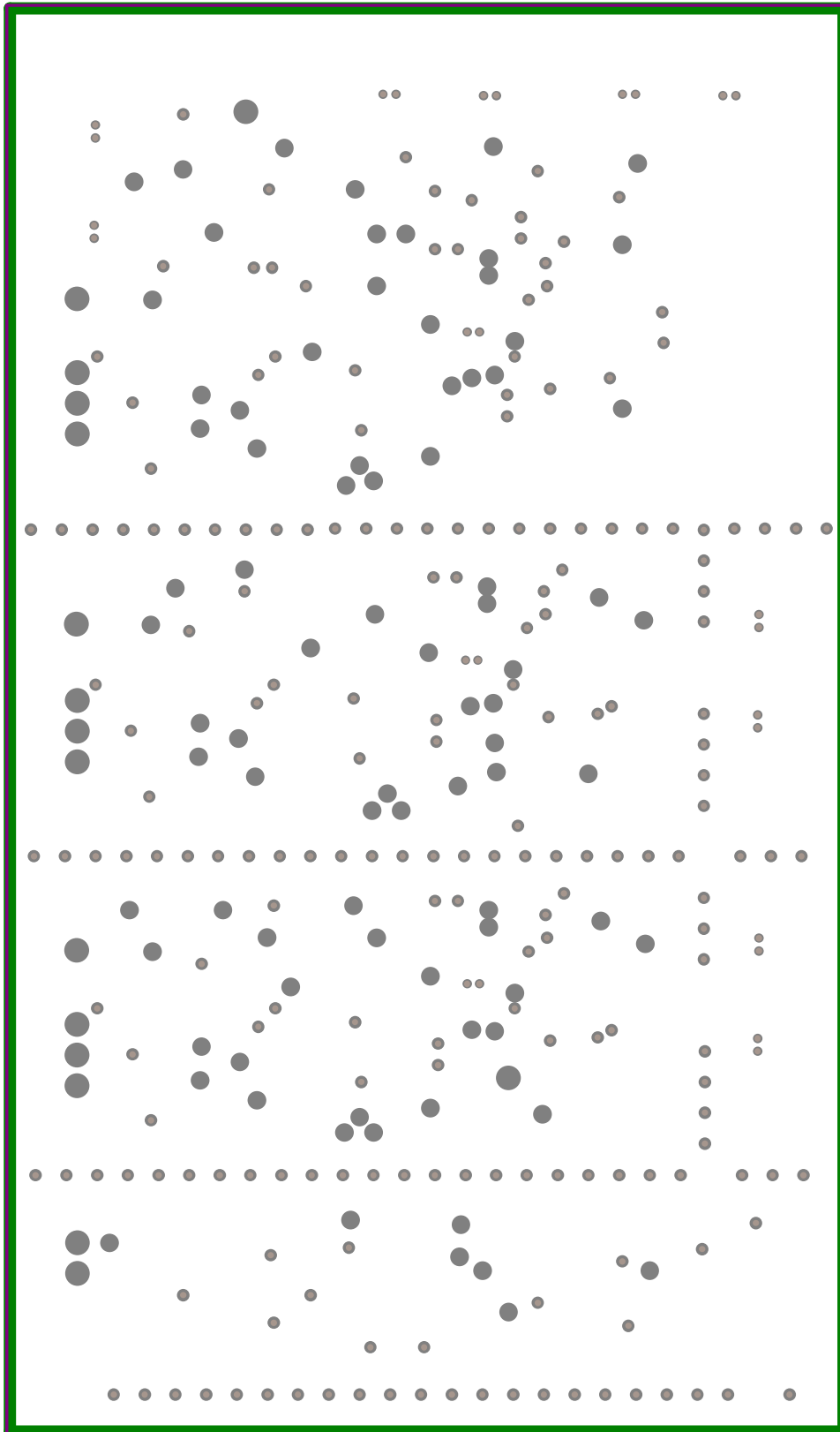


Figura B.7: Plano interno 1.

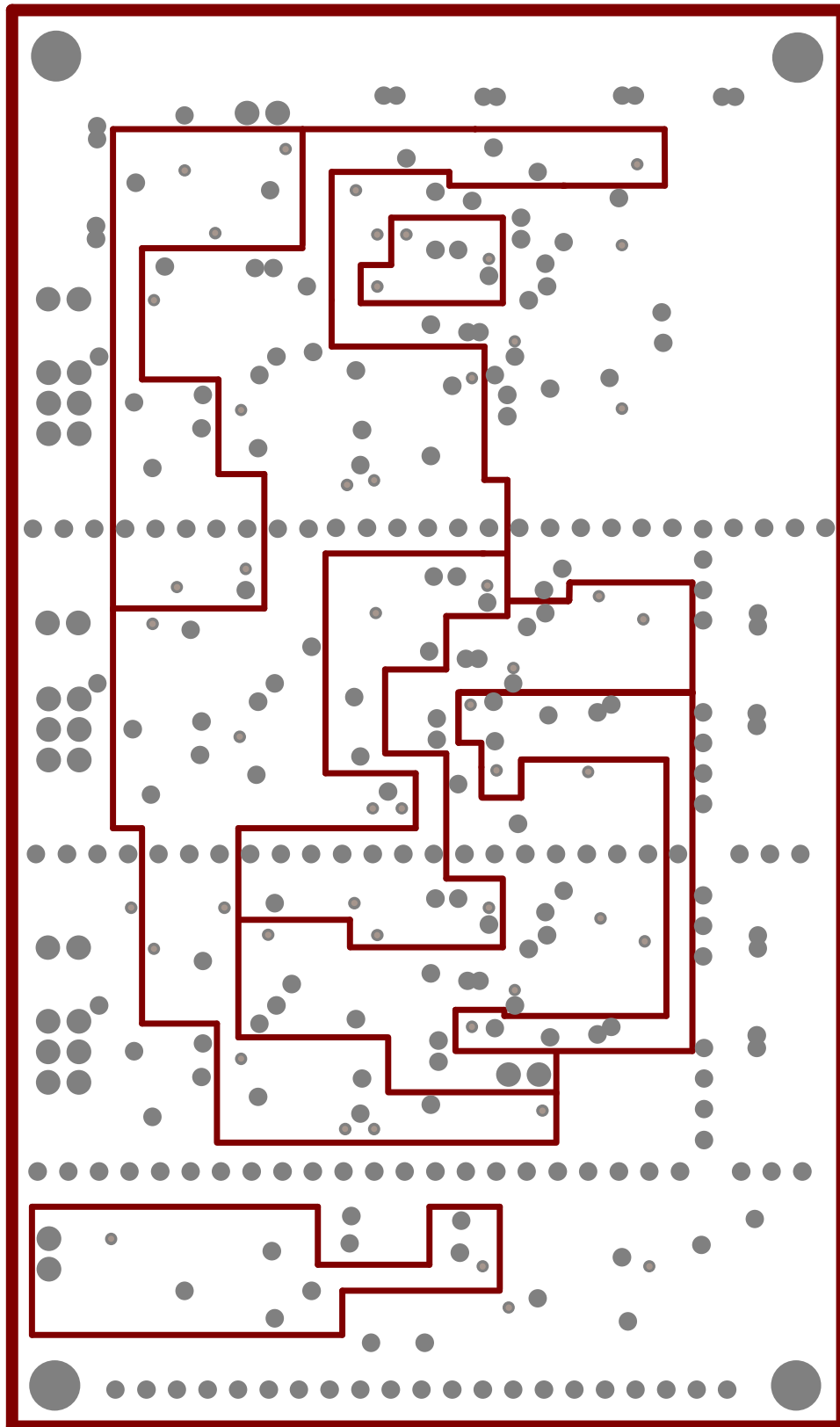


Figura B.8: Plano interno 2.

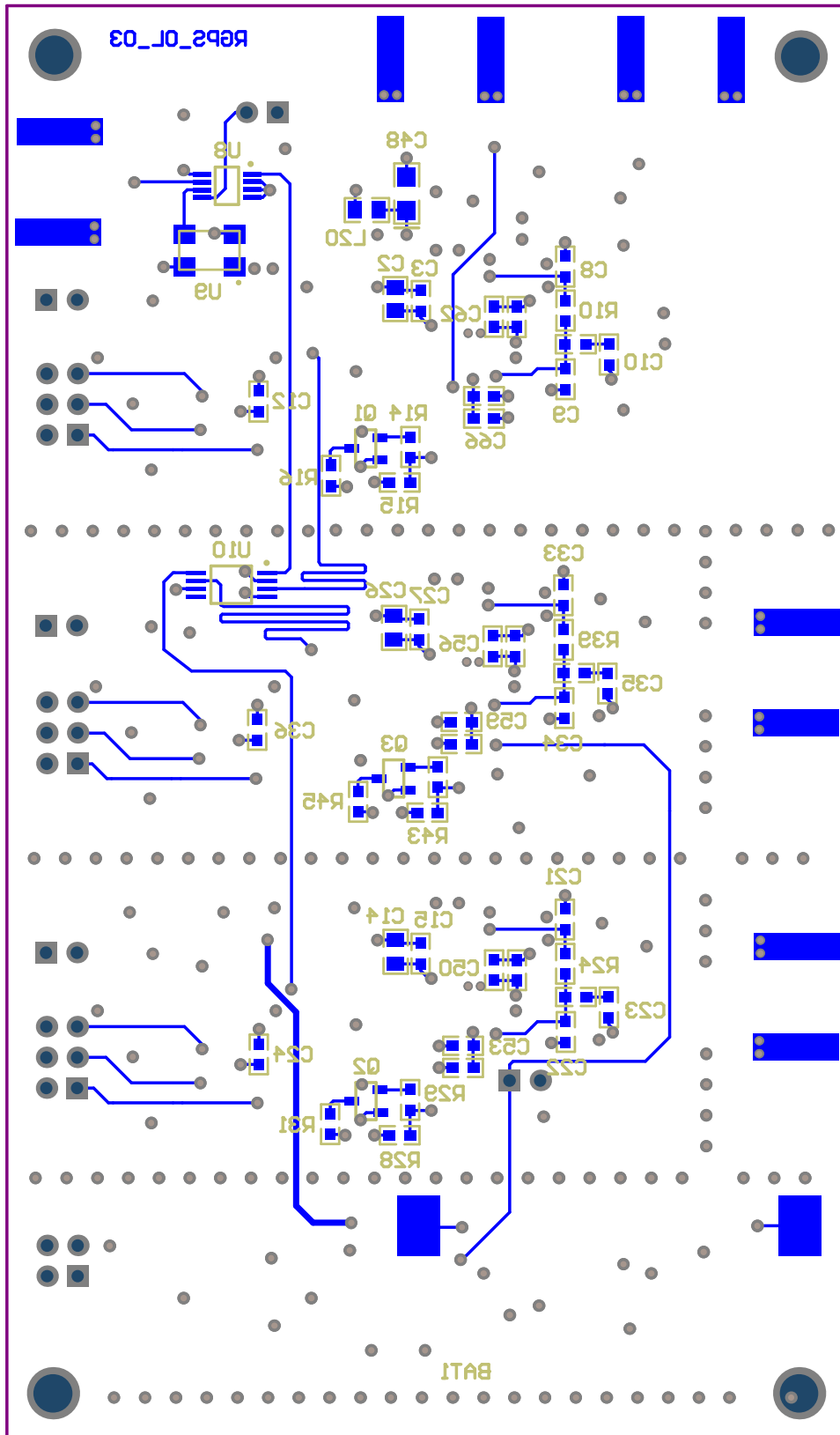


Figura B.9: Capa inferior.

Apéndice C

Esquemáticos y Circuito Impreso del Diseño Final del Cabezal de RF

En este apéndice se presentan los diagramas circuitales completos correspondientes al diseño final del cabezal de RF descrito en el Capítulo 6. El diseño está distribuido en diez hojas, cuyo contenido se describe a continuación

- Hoja 1: LNA, amplificador de RF y diplexor.
- Hoja 2: incluye todos los componentes desde el filtro de RF hasta las salidas de FI para la banda L1.
- Hoja 3: incluye todos los componentes desde el filtro de RF hasta las salidas de FI para la banda L2.
- Hoja 4: sintetizador de oscilador local para L1.
- Hoja 5: sintetizador de oscilador local para L2.
- Hoja 6: sintetizador de reloj de muestreo.
- Hoja 7: circuito de distribución de la referencia.
- Hoja 8: circuito de programación de los sintetizadores.
- Hoja 9: alimentación de los sintetizadores, reguladores y capacitores de desacople.
- Hoja 6: alimentación para la CPLD, reguladores y capacitores de desacople.

Además, en las Figs. C.11 a C.16 se muestran las impresiones de las capas del circuito impreso diseñado. Los planos de tierra y alimentación, que corresponden a las Figs. C.12, C.14 y C.15, están en negativo.

C.1. Esquemáticos

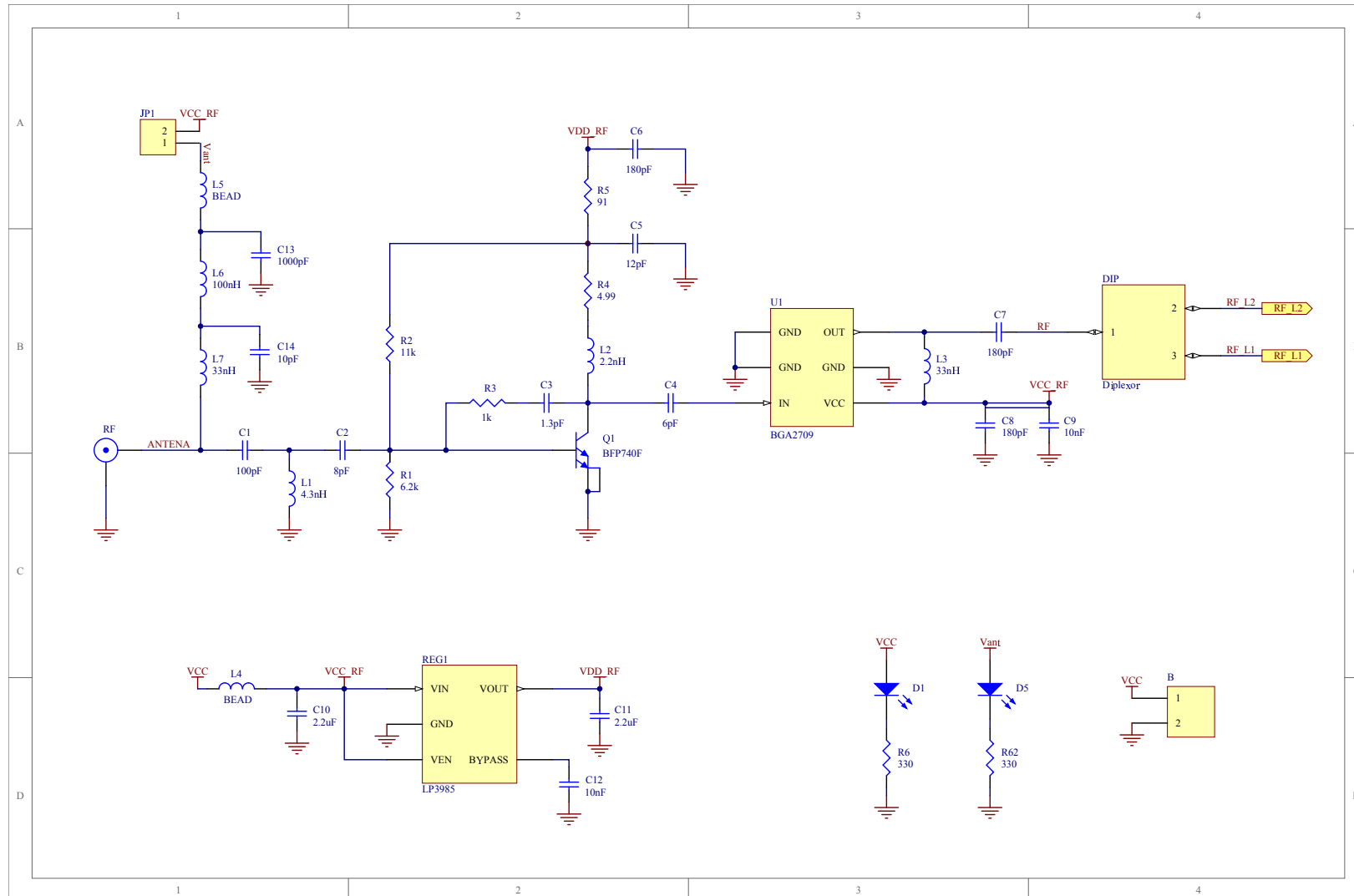


Figura C.1: Hoja 1: entrada de RF.

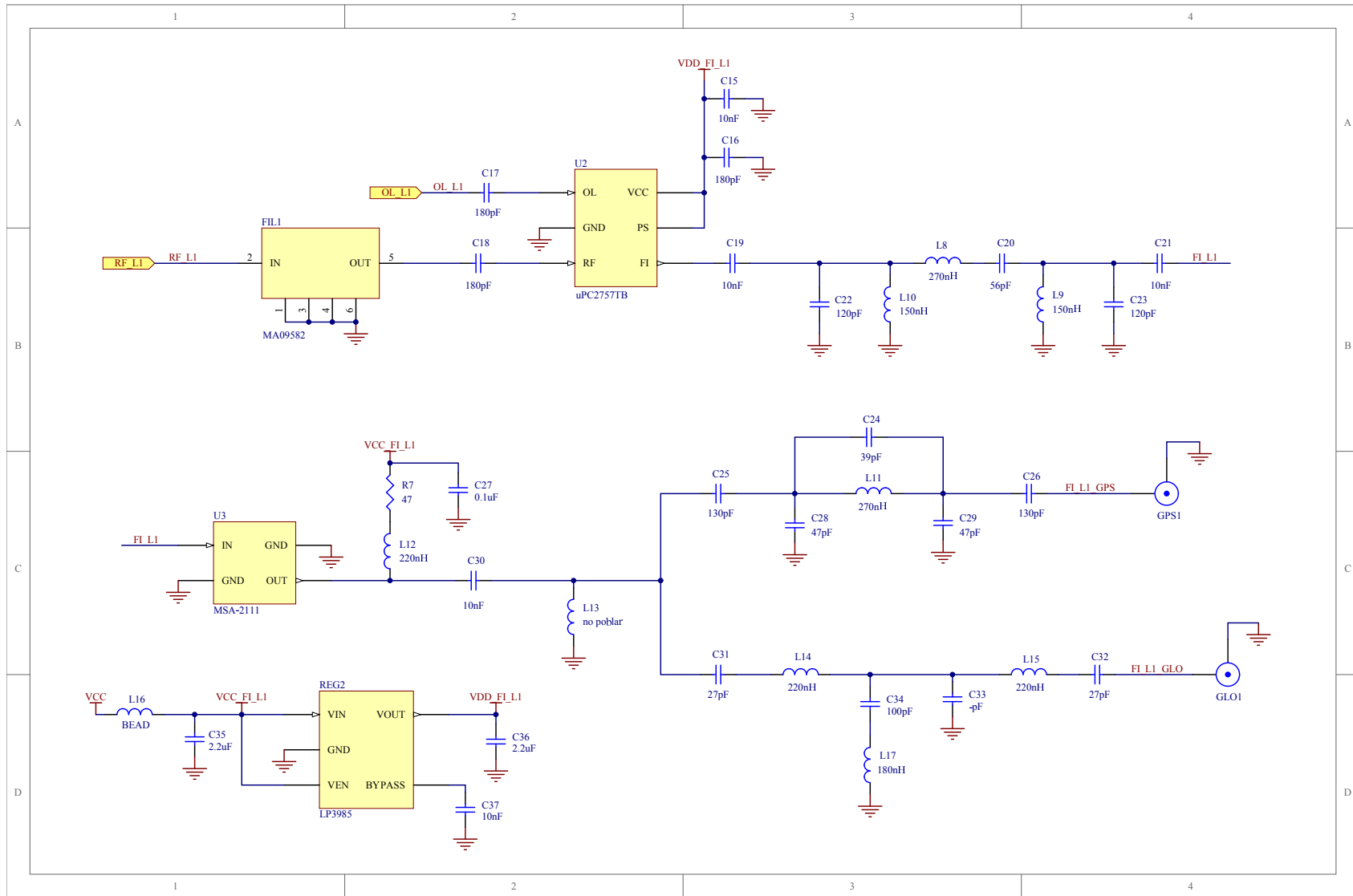


Figura C.2: Hoja 2: rama L1.

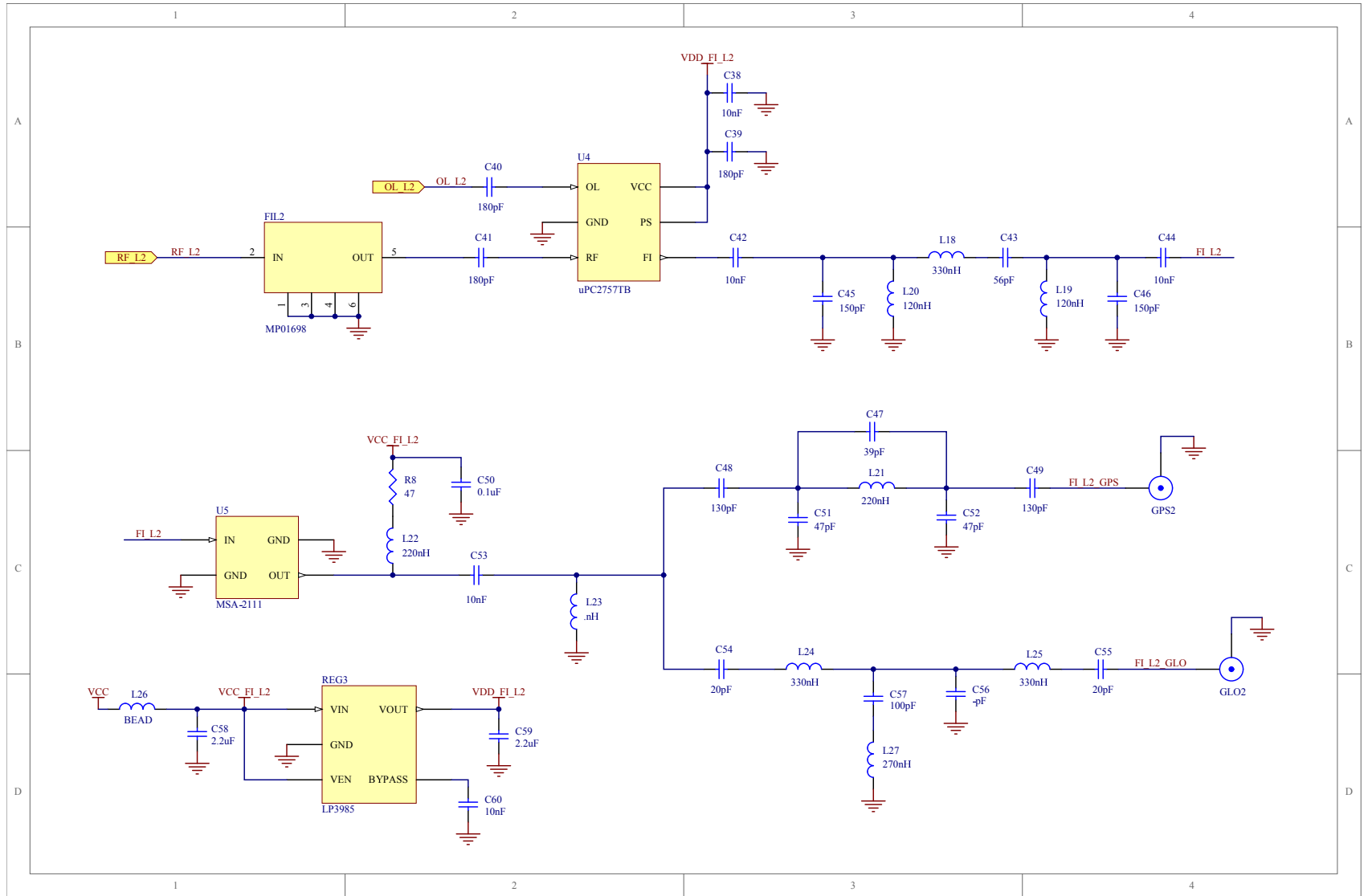


Figura C.3: Hoja 3: rama L2.

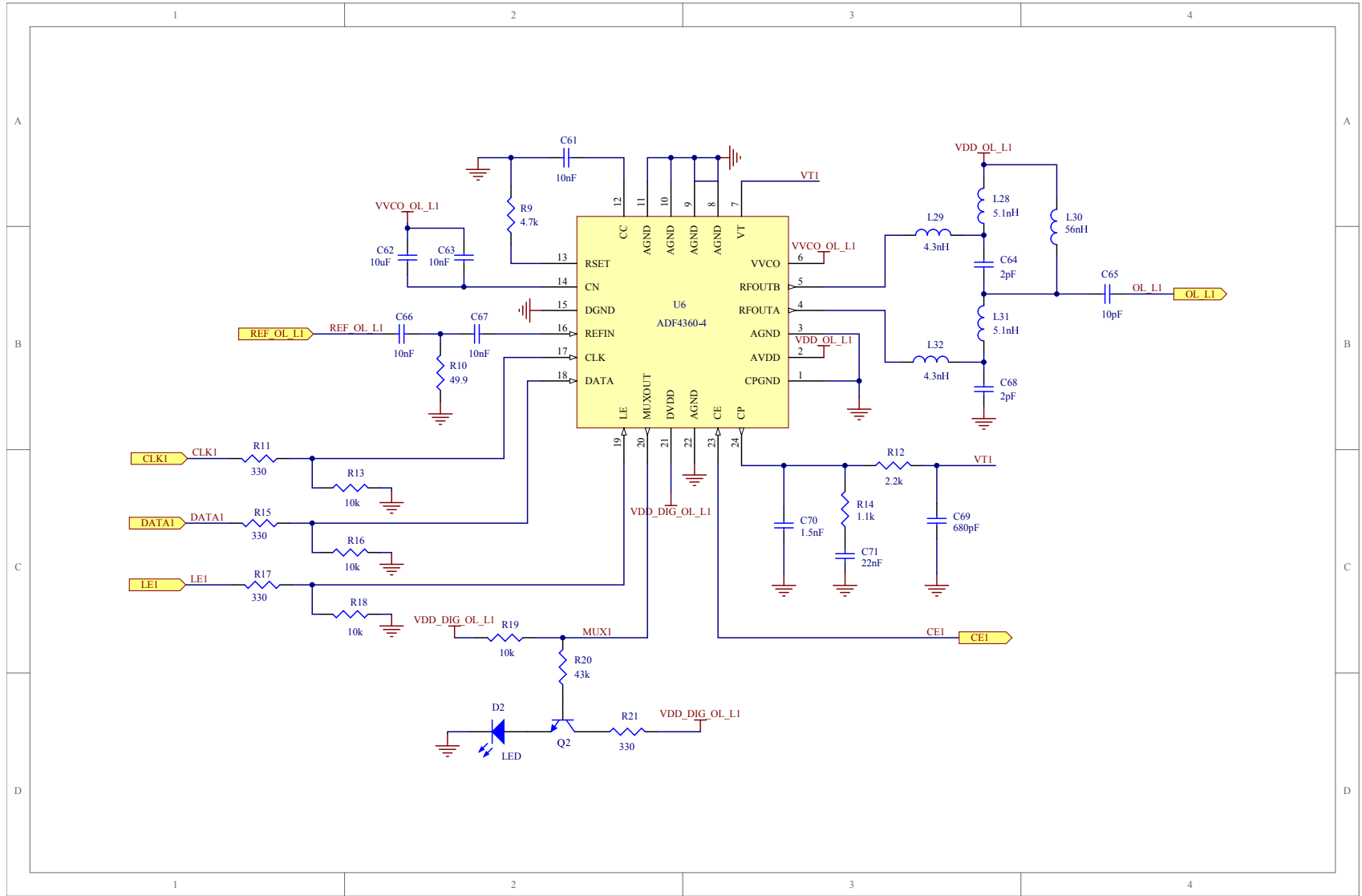


Figura C.4: Hoja 4: generación de oscilador local de L1.

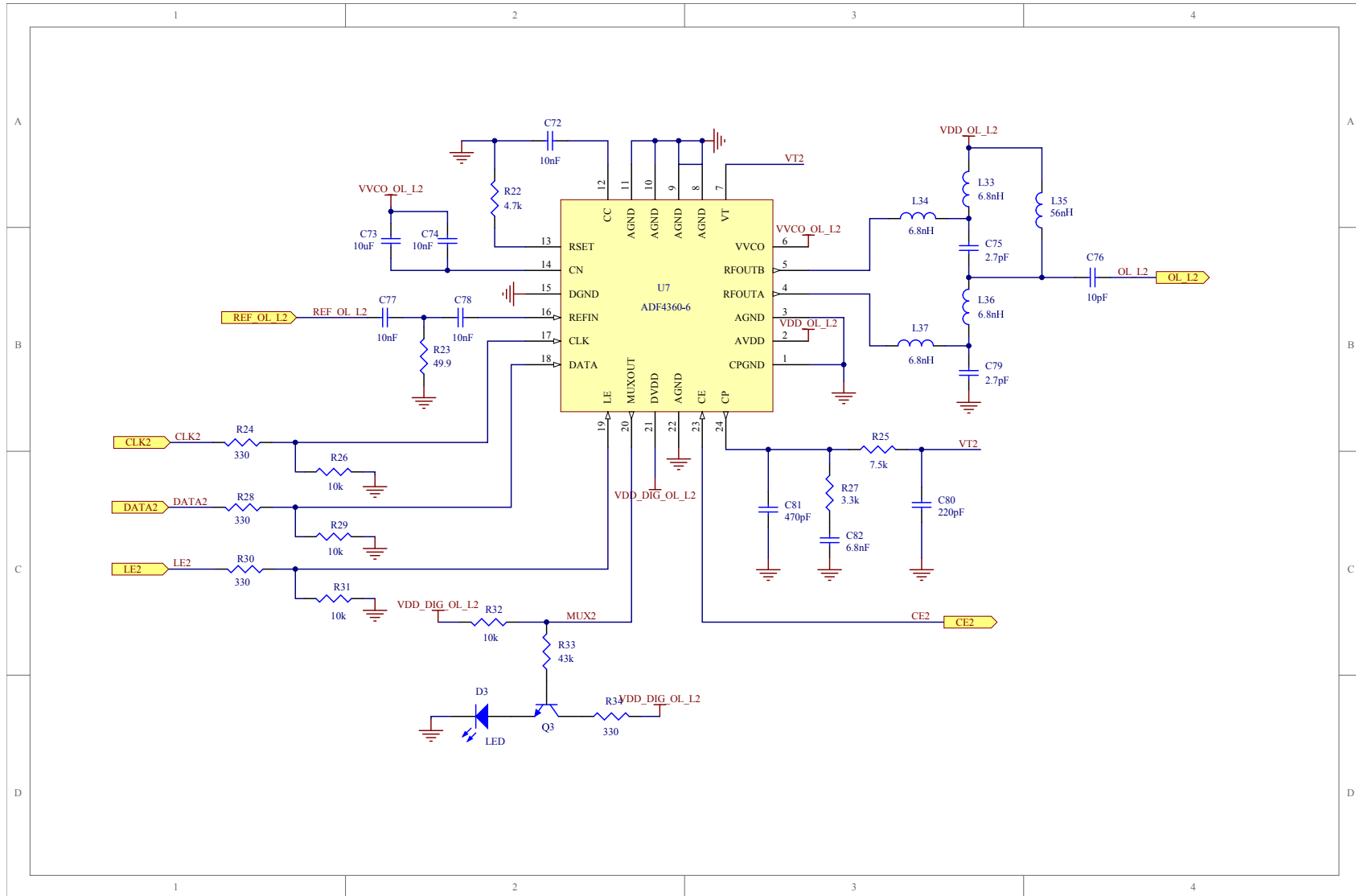


Figura C.5: Hoja 5: generación de oscilador local de L2.

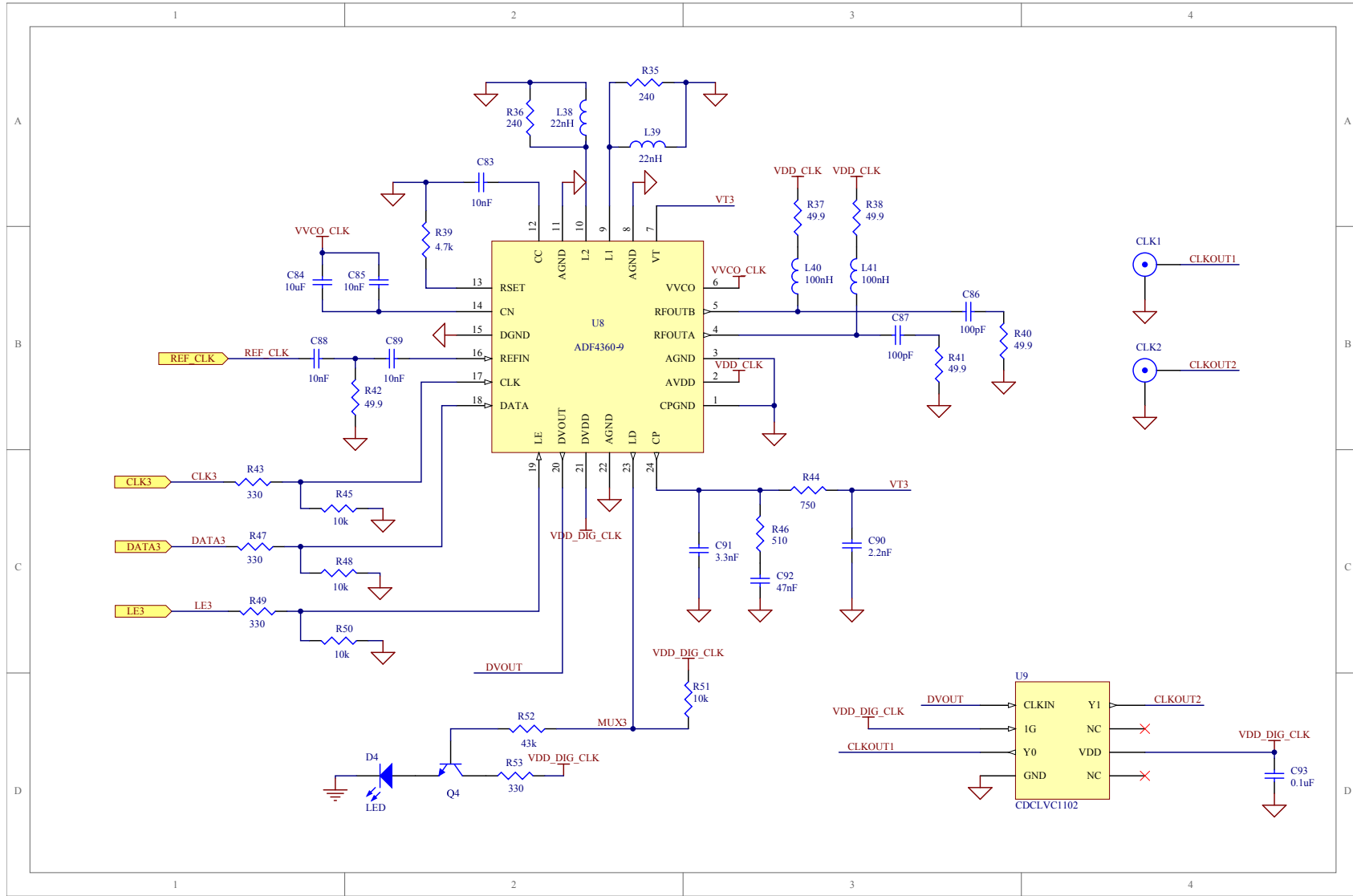


Figura C.6: Hoja 6: generación de reloj de muestreo.

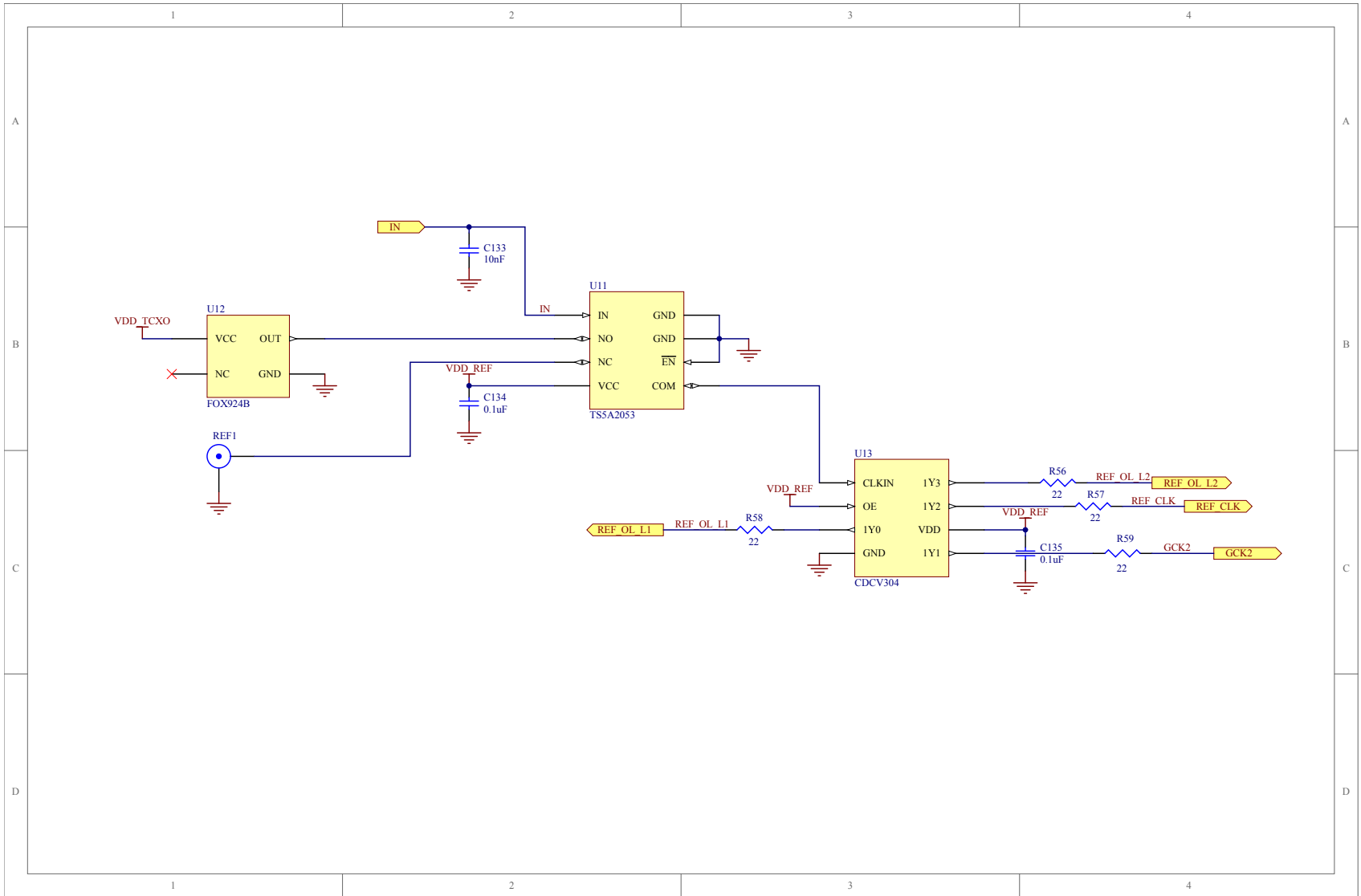


Figura C.7: Hoja 7: circuito de distribución de la referencia.

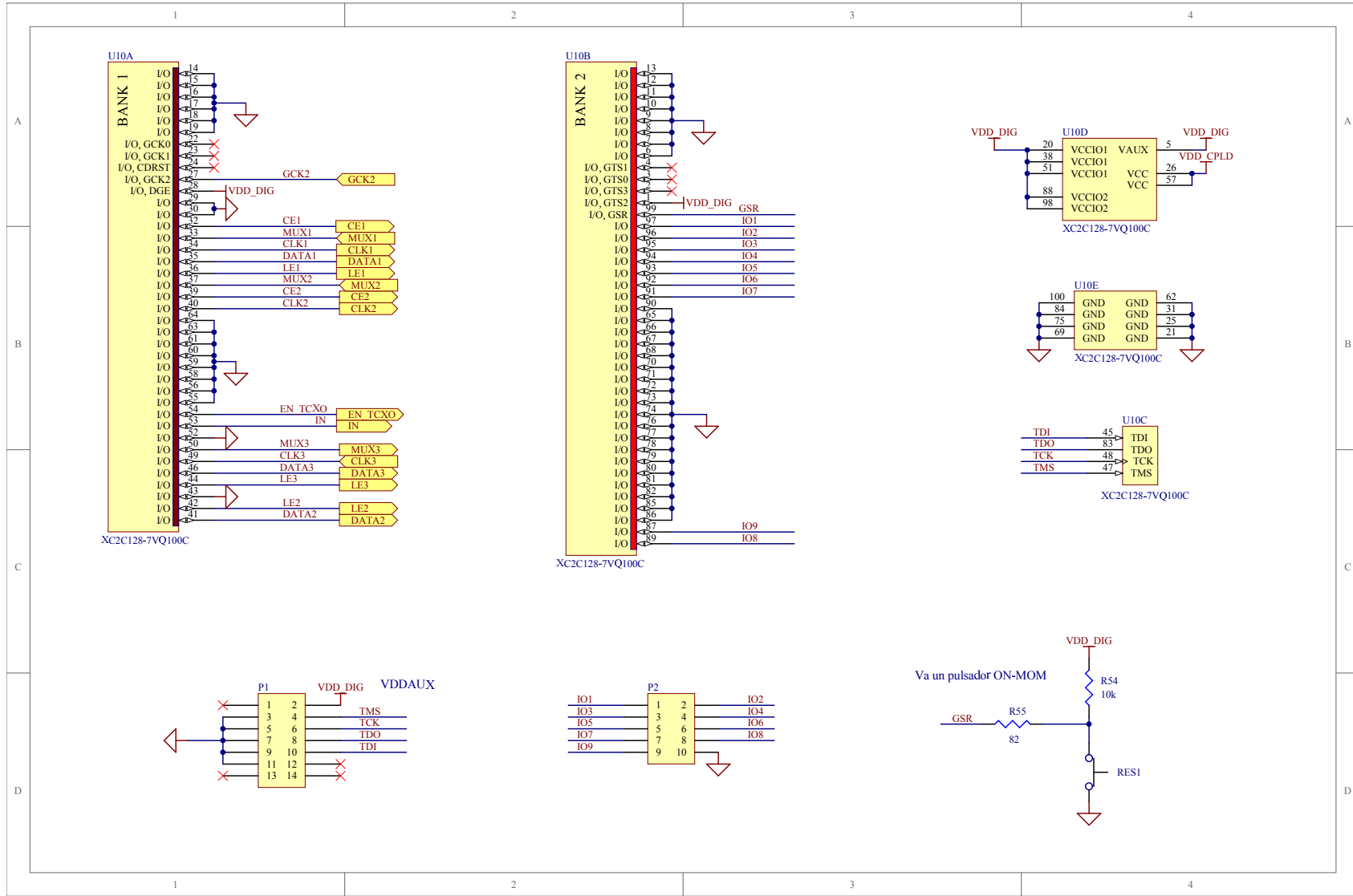


Figura C.8: Hoja 8: circuito de programación de los sintetizadores.

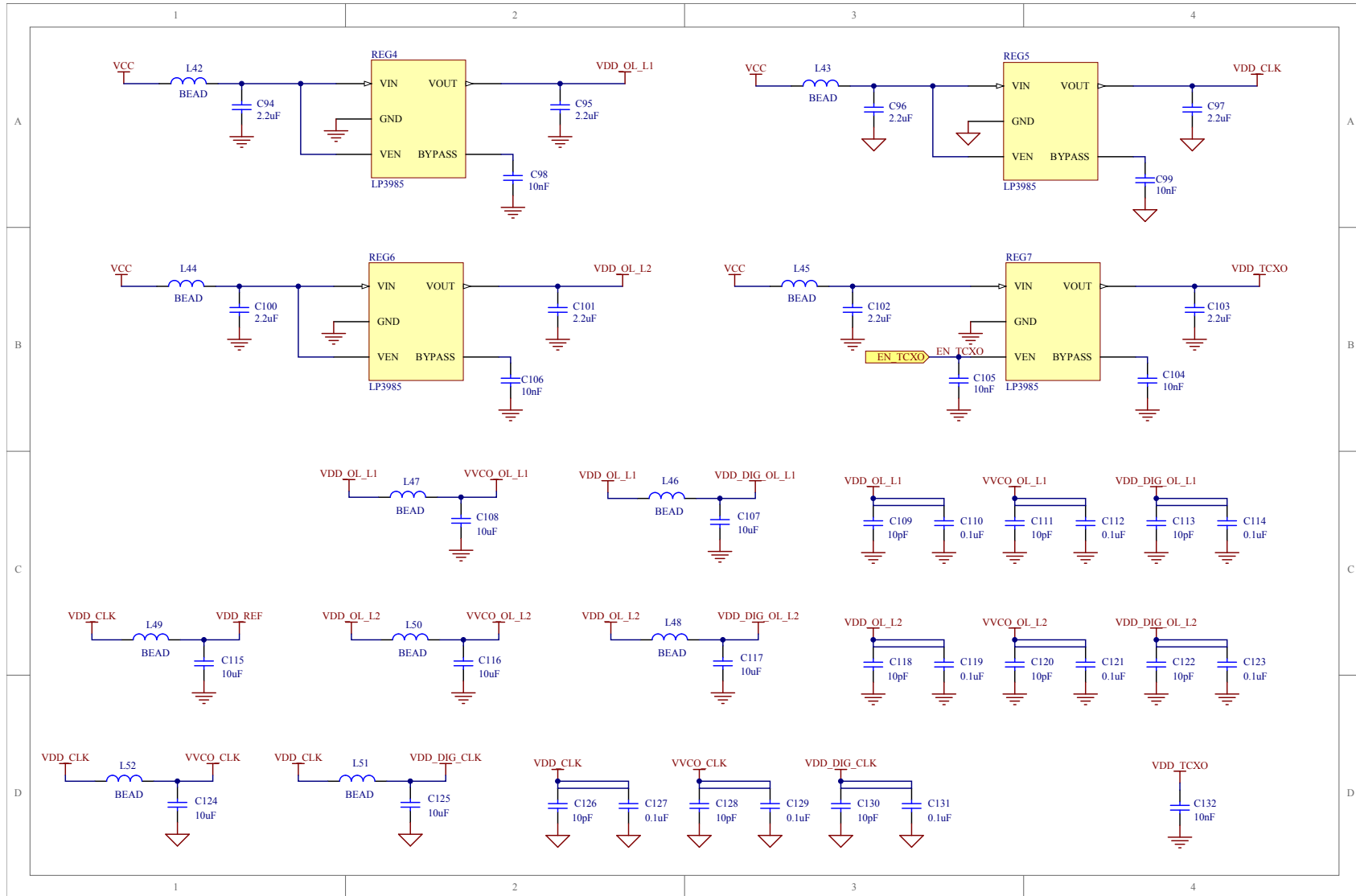


Figura C.9: Hoja 9: circuito de alimentación y capacitores de desacople de los sintetizadores.

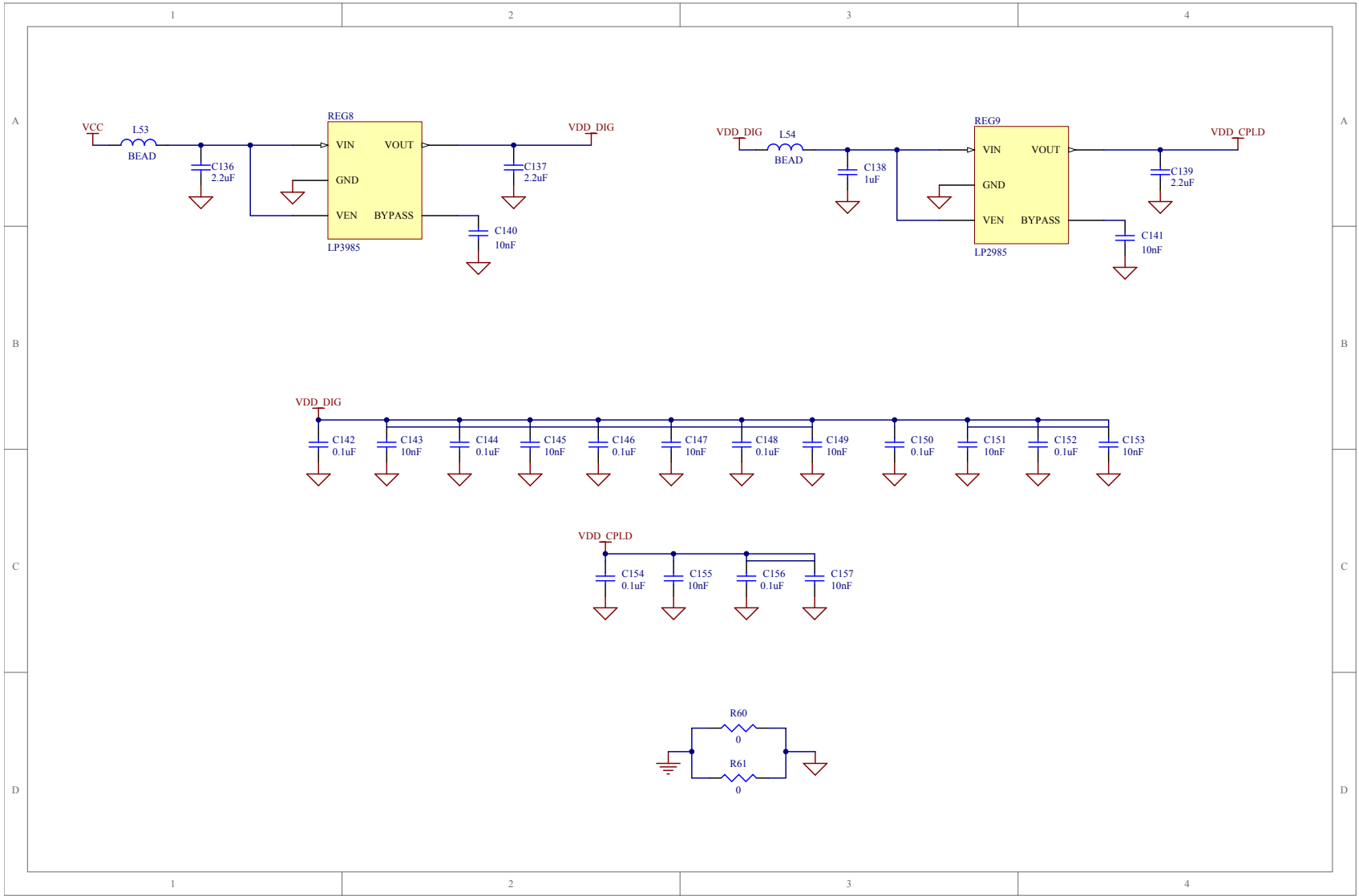


Figura C.10: Hoja 10: circuito de alimentación y capacitores de desacople de la CPLD.

C.2. Circuito Impreso

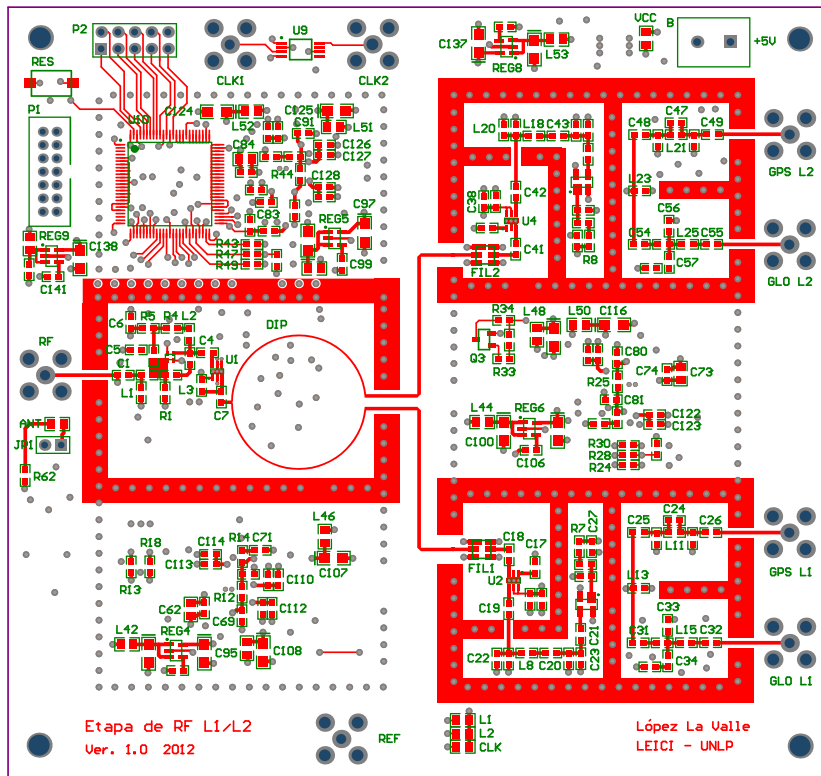


Figura C.11: Capa superior.

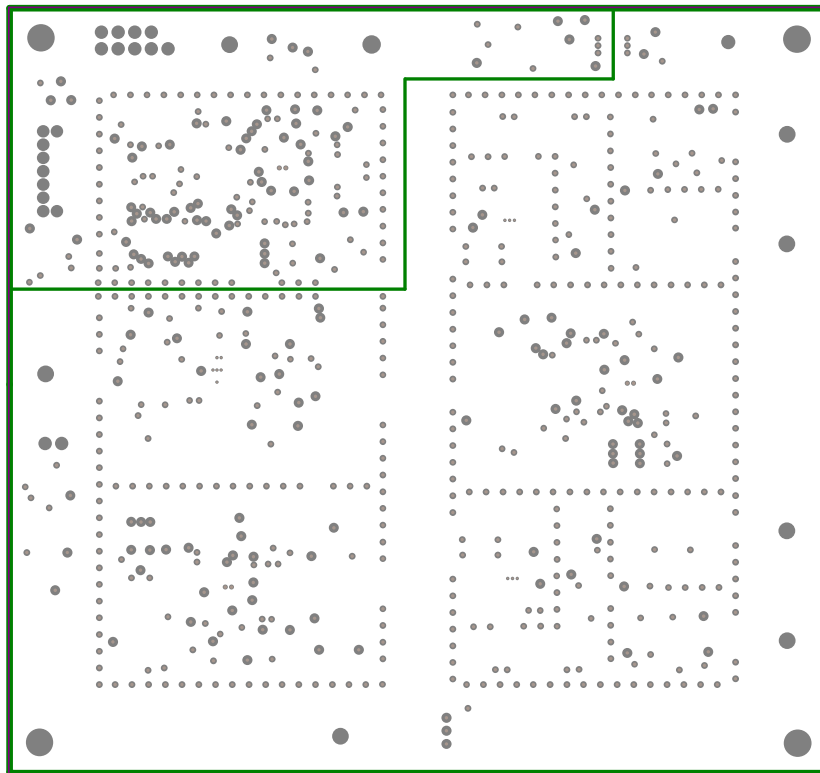


Figura C.12: Plano interno 1.

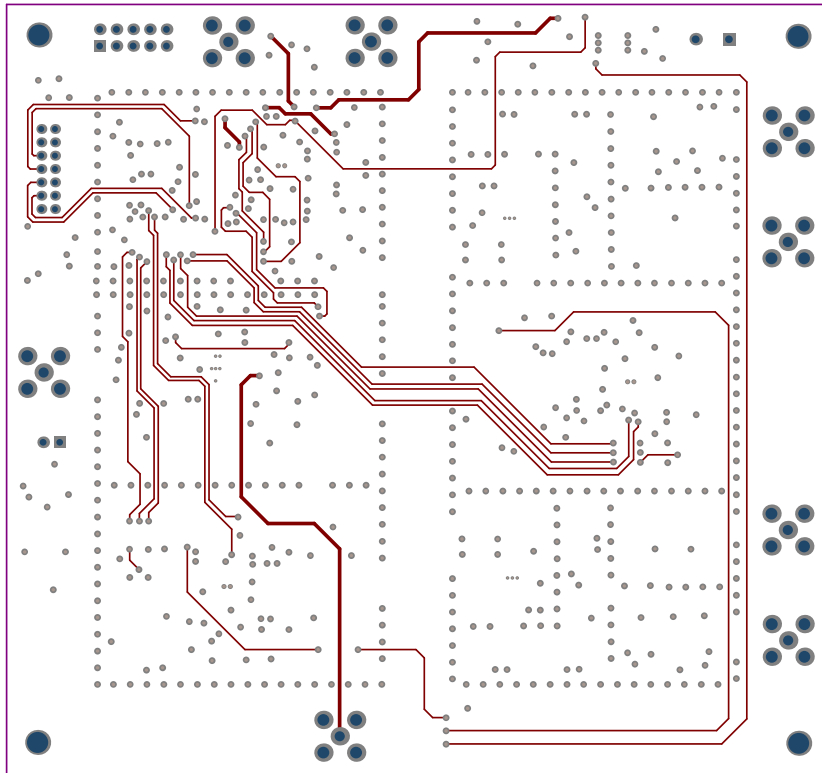


Figura C.13: Capa interna.

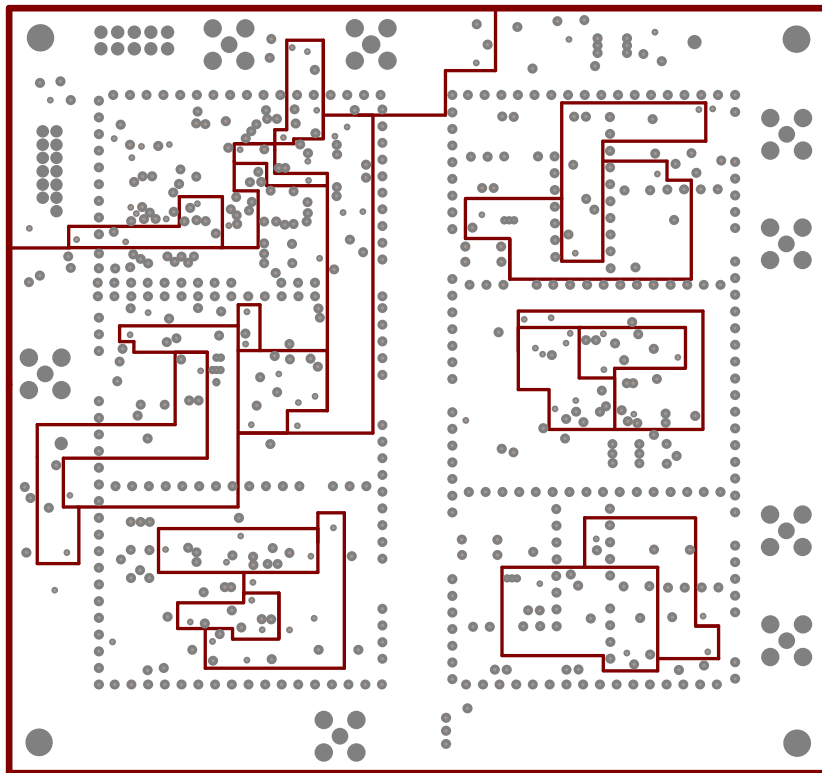


Figura C.14: Plano interno 2.

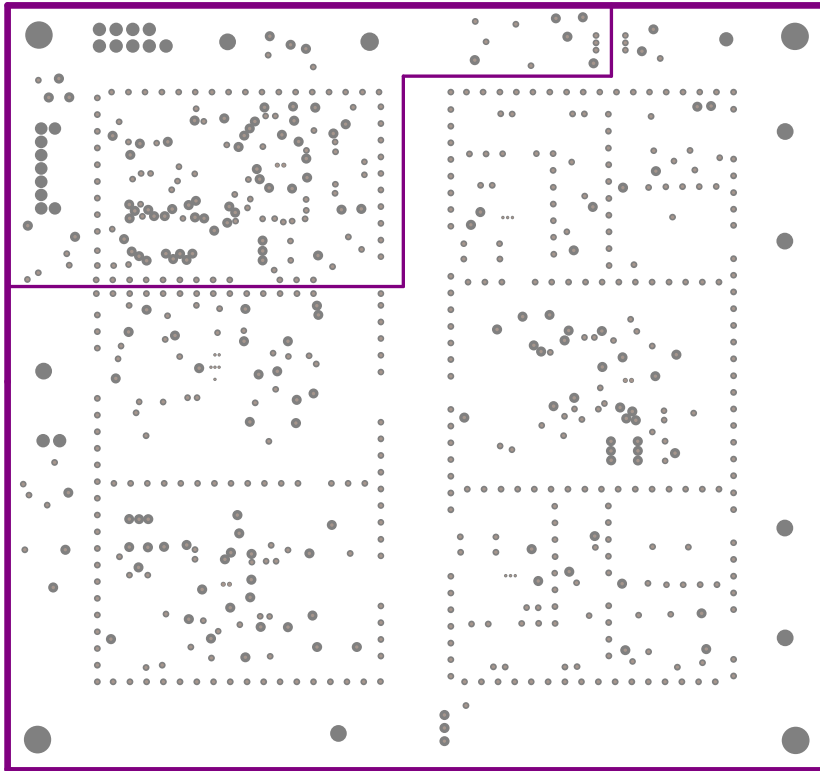


Figura C.15: Capa inferior.

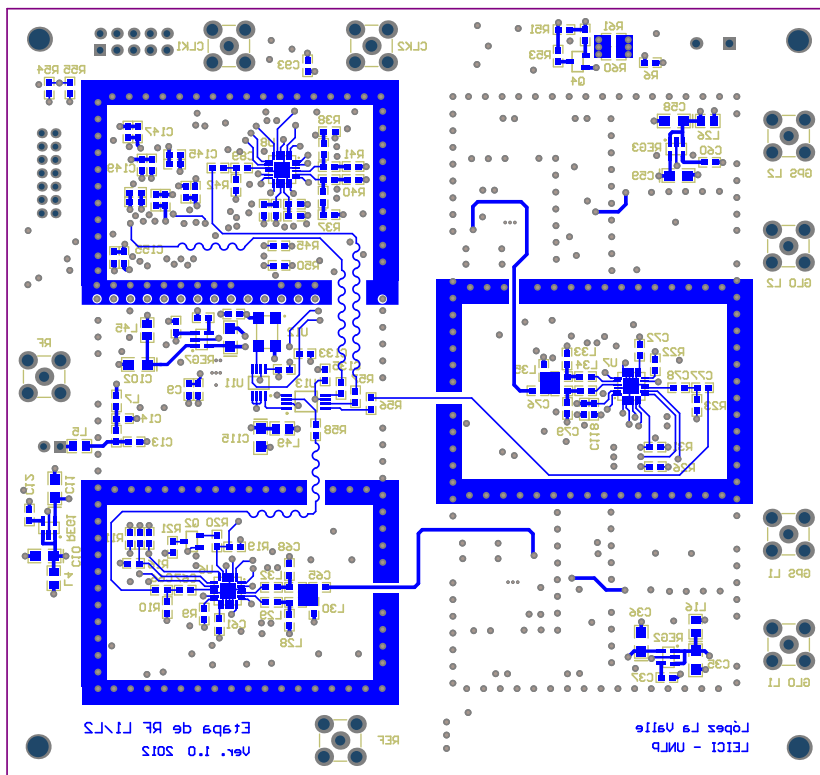


Figura C.16: Capa inferior.

Bibliografía

- [1] Global Positioning System Directorate. *Systems Engineering and Integration Interface Specification IS-GPS-200F*, 2011.
- [2] Russian Institute of Space Device Engineering. *GLONASS Interface Control Document*, 5.1 edition, 2008.
- [3] European Space Agency. *Galileo Open Service OS SIS ICD*, 2006.
- [4] E. D. Kaplan and C. J. Hegarty. *Understanding GPS: Principles and Applications*. Artech House, 2nd edition, 2006.
- [5] B. W. Parkinson and J. J. Spilker. *Global Positioning System: Theory and Applications*, volume 2. Progress in Astronautics and Aeronautics, 1995.
- [6] Maxim Integrated Products. *MAX2769B Universal GPS Receiver*, 2012.
- [7] ST Microelectronics. *STA5620 Fully Integrated RF Front-End Receiver for GPS Applications*, 2011.
- [8] Skyworks. *SE4150L: GPS Receiver IC*, 2012.
- [9] G. Mac Gougan, P. L Normak, and C. Stahlberg. Satellite navigation evolution: The software GNSS receiver. *GPS World*, 15(1):48–55, 2005.
- [10] P. B. Kenington. *RF and Baseband Techniques for Software Defined Radio*. Artech House, 2005.
- [11] J. Bao-Yen Tsui. *Fundamentals of Global Positioning System Receivers: A Software Approach*. John Wiley and Sons, 2nd edition, 2005.
- [12] D. M. Pozar. *Microwave Engineering*. John Wiley and Sons, 4th edition, 2012.
- [13] A. Van Der Ziel. Unified presentation of 1/f noise in electronic devices: Fundamental 1/f noise sources. *Proceedings of the IEEE*, 76(3):233–258, 1988.
- [14] C. Bowic, J. Blyler, and C. Ajluni. *RF Circuit Design*. Elsevier, 2nd edition, 2008.
- [15] R. E. Ziemer and W. H. Tranter. *Principles of Communications*. John Wiley and Sons, 5th edition, 2002.

- [16] B. Razavi. *RF Microelectronics*. Prentice Hall PTR, 1998.
- [17] B. Razavi. Design considerations for direct-conversion receivers. *IEEE Transactions on Circuits and Systems*, 44(6):428–435, 1997.
- [18] T. N̄esimoglu. A review of software defined radio enabling technologies. In *Proc. Mediterranean Microwave Symposium (MMS)*, 2010.
- [19] M. L. Psiaki, D. M. Akos, and J. Thor. A comparison of “direct RF sampling” and “down-convert and sampling” GNSS receiver architectures. In *Proc. 16th International Technical Meeting of the Satellite Division of The Institute of Navigation (ION GNSS)*, pages 1941–1952, 2003.
- [20] B. Porat. *A Course in Digital Signal Processing*. John Wiley and Sons, 1997.
- [21] R. Aigner. Innovative RF filter technologies: Guardrails for the wireless data highway. *Microwave Product Digest*, 2007.
- [22] C. K. Campbell. *Surface Acoustic Wave Devices for Mobile and Wireless Communications*. Elsevier Science, 1998.
- [23] F. Piazza and Q. Huang. A 1.57-GHz RF front-end for triple conversion GPS receiver. *IEEE Journal of Solid-State Circuits*, 33(2):202–209, 1998.
- [24] J. Spacek and P. Puricer. Front-end module for GNSS software receiver. In *Proc. 48th International Symposium ELMAR*, pages 211–214, 2006.
- [25] N. K. Yanduru and Kah-Mun Low. A highly integrated GPS front-end for cellular applications in 90nm CMOS. In *Proc. Circuits and Systems Workshop: System-on-Chip - Design, Applications, Integration, and Software*, 2008.
- [26] N. K. Yanduru and Kah-Mun Low. A 11-band dual-mode RF receiver for GPS and galileo in 0.18 μ m CMOS. In *Proc. Radio Frequency Integrated Circuits Symposium*, 2008.
- [27] J. Wu, P. Jiang, D. Chen, and J. Zhou. A dual-band GNSS RF front end with a pseudo-differential LNA. *IEEE Transactions on Circuits and Systems*, 58(3):134–138, 2011.
- [28] M. L. Psiaki, S. P. Powell, H. Jung, and P. M. Kintner. Design and practical implementation of multifrequency RF front ends using direct RF sampling. *IEEE Transactions on Microwave Theory and Techniques*, 53(10):3082–3089, 2005.
- [29] Ching-Hsiang Tseng and Sun-Chung Chou. Direct downconversion of multiband RF signals using bandpass sampling. *IEEE Transactions on Wireless Communications*, 5(1):72–76, 2006.
- [30] L. Tarazona and M. Bavaro. PRECISIO RF front-end. In *Proc. 5th ESA Workshop on Satellite Navigation Technologies and European Workshop on GNSS Signals and Signal Processing (NAVITEC)*, 2010.

- [31] H. Johnson and M. Graham. *High-Speed Digital Design: A Handbook of Black Magic*. Prentice Hall PTR, 1993.
- [32] T. Y. Otoshi. *Noise Temperature Theory and Applications for Deep Space Communications Antenna Systems*. Artech House, 2008.
- [33] Antcom. *Antcom GNSS Antennas: Pictures, Outline Drawing and Specifications*, 2013.
- [34] Ublox. *ANN-MS active GPS Antenna*.
- [35] Infineon Technologies. *BFP740 NPN Silicon Germanium RF Transistor*, 2009.
- [36] G. González. *Microwave Transistor Amplifiers: Analysis and Design*. Prentice Hall, 2nd edition, 1997.
- [37] Golledge Electronics. *MA09582 SAW Filter 1592.5 MHz*, 2009.
- [38] Golledge Electronics. *MP01698 SAW Filter 1237.0 MHz*, 2009.
- [39] NXP Semiconductor. *BGA2709 MMIC Wideband Amplifier*, 2002.
- [40] California Eastern Laboratories. *μ PC2757 Bipolar Analog Integrated Circuit*, 2001.
- [41] J. K. Hardy. *High Frequency Circuit Design*. Reston Publishing Company, 1979.
- [42] N. Kinayman and M. I. Aksun. *Modern Microwave Circuits*. Artech House, 2005.
- [43] J. Proakis. *Digital Communications*. McGraw-Hill, 5th edition, 2007.
- [44] G. L. Matthaei, L. Young, and E. M. T. Jones. *Microwave Filters, Impedance-Matching Networks, and Coupling Structures*. Artech House, 1980.
- [45] Analog Devices. *AD8367 500MHz, Linear-in-dB VGA with AGC Detector*, 2005.
- [46] Texas Instruments. *2.7V to 5.5V, Low Power, 12-Bit, Digital-to-Analog Converter with Internal Reference and Power Down*, 2004.
- [47] Avago Technologies. *MSA-2111 Cascadable Silicon Bipolar MMIC Amplifier*, 2007.
- [48] J. C. Pedro and N. Borges Carvalho. *Intermodulation Distortion in Microwave and Wireless Circuits*. Artech House, 2003.
- [49] Rogers Corporation. *RO4000 Series: High Frequency Circuit Materials*, 2013.
- [50] P. L. D. Abrie. *Design of RF and Microwave Amplifiers and Oscillators*. Artech House, 2009.
- [51] M. Goldfarb and R. Pucelu. Modeling via hole grounds in microstrip. *IEEE Microwave and Guided Wave Letters*, 1(6):135–137, 1991.

- [52] Agilent Technologies. *Fundamentals of RF and Microwave Noise Figure Measurements*, 2010.
- [53] Agilent Technologies. *Agilent N4000A, N4001A, N4002A SNS Series Noise Sources 10 MHz to 26.5 GHz*, 2009.
- [54] J. Cogo, J. G. Garcia, P. A. Roncagliolo, and C. H. Muravchik. High speed acquisition and storage platform for SDR applications development. In *Proc. VII Southern Conference on Programmable Logic (SPL)*, 2011.
- [55] J. A. Smidt, J. G. Garcia, P. A. Roncagliolo, and C. H. Muravchik. Algoritmo de adquisición rápida para receptores de GLONASS de baja complejidad. In *Proc. XIV Reunión de Trabajo en Procesamiento de la Información y Control (RPIC)*, 2011.
- [56] R. López La Valle, J. G. Garcia, P. A. Roncagliolo, and C. H. Muravchik. A practical RF front-end for high performance receivers. In *Proc. International Conference on Localization and GNSS*, 2011.
- [57] R. López La Valle, J. G. Garcia, P. A. Roncagliolo, and C. H. Muravchik. An L1 or L2 multiconstellation GNSS front-end for high performance receivers. *Journal of Surveying and Mapping Engineering*, 1(3):56–64, 2013.
- [58] J. Browne. Generating stable RF/Microwave signals. *MicroWaves and RF*, 51(4):39–45, 2012.
- [59] W. Rhee, N. Xu, B. Zhou, and Z. Wang. Fractional-N frequency synthesis: Overview and practical aspects with FIR-embedded design. *Journal of Semiconductor Technology and Science*, 13(2):170–182, 2013.
- [60] K. Jia-Nong Wang. *Spur Reduction Techniques for Fractional-N PLLs*. PhD thesis, University Of California, San Diego, 2010.
- [61] F. L. Wall and J. R. Vig. Fundamental limits on the frequency stabilities of crystal oscillators. *IEEE Transactions on Ultrasonics, Ferroelectrics, and Frequency Control*, 42(4):576–589, 1995.
- [62] M. Frerking. *Crystal Oscillator Design and Temperature Compensation*. Can Nostrand, 1978.
- [63] R. L. Best. *Phase-Locked Loops: Design, Simulation, and Applications*. McGraw-Gill, 5th edition, 2003.
- [64] F. M. Gardner. Charge-pump phase-lock loops. *IEEE Transactions on Communications*, 28(11):1849–1858, 1980.
- [65] W. Rhee. Design of high-performance CMOS charge pumps in phase-locked loops. In *Proc. IEEE International Symposium on Circuits and Systems (ISCAS)*, 1999.

- [66] N. H. W. Fong, J. Plouchart, N. Zamdmer, D. Liu, L. F. Wagner, C. Plett, and N. G. Tarr. Design of wide-band CMOS VCO for multiband wireless LAN applications. *IEEE Journal of Solid-State Circuits*, 38(8):1333–1342, 2003.
- [67] U. Rohde. *Microwave and Wireless Synthesizers: Theory and Design*. John Wiley and Sons, 1997.
- [68] Analog Devices. *ADF4360-4 Integrated Synthesizer and VCO*, 2013.
- [69] Analog Devices. *ADF4360-6 Integrated Synthesizer and VCO*, 2013.
- [70] Analog Devices. *ADF4360-9 Clock Generator PLL with Integrated VCO*, 2012.
- [71] Texas Instruments. *3.3 V and 2.5 V LVCMOS High-Performance Clock Buffer Family*, 2010.
- [72] R. Bechmann, A. D. Ballato, and T. J. Lukaszek. Higher order temperature coefficients of the elastic stiffnesses and compliances of alpha-quartz. *Proc. of IRE*, pages 1812–1822, 1962.
- [73] Vectron International. *Tutorial on TCXOs*, 2012.
- [74] FOX Electronics. *FOX924B 3.3V Ultra Miniature SMD HCMOS TCXO*, 2007.
- [75] Connor-Winfield Corp. *Surface Mount 3.3V Stratum 3E HCMOS OCXO*, 2003.
- [76] Texas Instruments. *TS5A2053 Single-Channel 10 Ω SPDT Analog Switch with Enable*, 2005.
- [77] Texas Instruments. *CDCV304 200MHz General-Purpose Clock Buffer, PCI-X Compliant*, 2011.
- [78] National Semiconductor. *An Analysis and Performance Evaluation of a Passive Filter Design Technique for Charge Pump PLL's*, 2001.
- [79] S. Kameche, M. Kameche, and M. Feham. Optimizing pll performance levels. *MicroWaves and RF Journal*, pages 54–60, 2012.
- [80] E. Pérez Serna, S. Thombre, M. Valkama, S. Lohan, V. SyrjaLa, M. Detratti, H. Hurskainen, and J. Nürmi. Local oscillator phase noise effects on GNSS code tracking. *Inside GNSS*, pages 52–62, 2010.
- [81] D. Banerjee. *PLL Performance, Simulation, and Design*. National Semiconductor, 1998.
- [82] Xilinx. *XC2C128 CoolRunner-II CPLD*, 2007.
- [83] J. Bergenthal. *Reflow Soldering Process Considerations for Surface Mount Application*, 1997.

- [84] N. Lee. *Reflow Soldering Processes and Troubleshooting: SMT, BGA, CSP, and Flip Chip Technologies*. Newnes, 2002.
- [85] T.Ñeu. *Clock jitter analyzed in the time domain*, 2010.
- [86] R. López La Valle, J. G. Garcia, P. A. Roncagliolo, and C. H. Muravchik. An experimental L1/L2 GNSS receiver for high precision applications. *IEEE Latin America Transactions*, 11(1):48–53, 2013.
- [87] S.C. Blaakmeer, E.A.M. Klumperink, B.Ñauta, and D.M.W. Leenaerts. An inductorless wideband balun-LNA in 65nm CMOS with balanced output. In *Proc. 33rd. European Solid State Conference*, 2007.
- [88] P. Kovar, P. Kacmarik, and F. Vejrazka. Universal front-end for software GNSS receiver. In *Proc. 13th IAIN World Congress*, 2009.
- [89] S. Thombre, H. Hurskainen, and J.Ñurmi. Wideband, high gain, high linearity, low noise amplifier for GNSS frequencies with compensation for low frequency instability. In *Proc. 5th Advanced Satellite Multimedia Systems Conference and the 11th Signal Processing for Space Communications Workshop*, 2010.
- [90] M. L. Psiaki. Block acquisition of weak GPS signals in a software receiver. In *Proc. 14th International Technical Meeting of the Satellite Division of The Institute of Navigation (ION GNSS)*, 2001.
- [91] C. O’Driscoll, M.G. Petovello, and G. Lachapelle. Software receiver strategies for the acquisition and re-acquisition of weak GPS signals. In *Proc. 21st International Technical Meeting of the Satellite Division of The Institute of Navigation (ION GNSS)*, 2008.
- [92] Infineon Technologies. *BFP740F NPN Silicon Germanium RF Transistor*, 2007.
- [93] J. M. Rollett. Stability and power-gain invariants of linear twoports. *IRE Transactions on Circuit Theory*, 9(1):29–32, 1962.
- [94] H. A. Haus, W. R. Atkinson, G. M. Branch, W. B Davenport, W. H. Fonger, W. A Harris, S. W Harrison, W. W McLeod, E. K. Stodola, and T. E. Talpey. Representation of noise in linear twoports. *Proceeding of the IRE*, 48(1):69–74, 1960.
- [95] R. López La Valle, J. G. Garcia, P. A. Roncagliolo, and C. H. Muravchik. Amplificador de bajo ruido para receptores GNSS multibanda. In *Proc. XIV Reunión de Trabajo en Procesamiento de la Información y Control (RPIC)*, 2011.
- [96] W. Li, H. Liu, X. Li, A. Boutejdar, S. Wang, and F. Tong. Novel microstrip bandpass filter with slotted hexagonal resonators and capacitive loading. In *Proc. 38th European Microwave Conference*, 2008.

- [97] Y. Adane, A. Constantinescu, J. Belzile, and A. Kouki. Design of miniature RF band-pass filters for a hybrid GPS/Galileo receiver front-end insert. In *Proc. 20th International Technical Meeting of the Satellite Division of The Institute of Navigation (ION GNSS)*, 2007.
- [98] E. J. Wilkinson. An N-way hybrid power divider. *IRE Transactions on Microwave Theory and Techniques*, 8(1):116–118, 1960.
- [99] K. C. Gupta, R. Garg, I. Bahl, and P. Bhartia. *Microstrip Lines and Slotlines*. Artech House, 1996.
- [100] T. Weiland. A discretization method for the solution of Maxwell’s equations for six-component fields. *Electronics and Communications*, 31(3):116–120, 1977.
- [101] T. Weiland. Time domain electromagnetic field computation with finite difference methods. *International Journal of Numerical Modelling*, 9(4):295–319, 1996.
- [102] Analog Devices. *AD8370 LF to 750 MHz Digitally Controlled VGA*, 2011.
- [103] Rogers Corporation. *RO4000 Laminates: Circuit Processing Guidelines*, 2012.
- [104] J. Coonrod. *High Frequency Circuit Materials Attributes*, 2008.
- [105] R. Hartley. *RF/Microwave PC Board: Design and Layout*, 2002.
- [106] A. Kowalewski. Partitioning for RF design. *Printed Circuit Design Magazine*, 2000.
- [107] M. I. Montrose. *EMC and the Printed Circuit Board: Design, Theory, and Layout Made Simple*. Wiley-IEEE Press, 1999.
- [108] Laird Technologies. *Boar Level Shields and Contacts*, 2008.
- [109] E. A. Marranghelli, R. López La Valle, and P. A. Roncagliolo. Antena doble banda para receptores de GPS de precisión. In *Proc. XV Reunión de Trabajo en Procesamiento de la Información y Control (RPIC)*, 2013.
- [110] R. López La Valle, J. G. García, and P. A. Roncagliolo. Cabezal de RF multiconstelación y multifrecuencia para receptores GNSS basados en SDR. In *Proc. XV Reunión de Trabajo en Procesamiento de la Información y Control (RPIC)*, 2013.