



Universitat Autònoma de Barcelona

Caracterización de la variabilidad dependiente del tiempo de MOSFETs ultraescalados para su modelado compacto

Miquel Moras Albero

ADVERTIMENT. L'accés als continguts d'aquesta tesi queda condicionat a l'acceptació de les condicions d'ús establertes per la següent llicència Creative Commons:  http://cat.creativecommons.org/?page_id=184

ADVERTENCIA. El acceso a los contenidos de esta tesis queda condicionado a la aceptación de las condiciones de uso establecidas por la siguiente licencia Creative Commons:  <http://es.creativecommons.org/blog/licencias/>

WARNING. The access to the contents of this doctoral thesis it is limited to the acceptance of the use conditions set by the following Creative Commons license:  <https://creativecommons.org/licenses/?lang=en>



Caracterización de la variabilidad dependiente del tiempo de MOSFETs ultraescalados para su modelado compacto

Tesis doctoral por
Miquel Moras Alberó

Programa de doctorado en
Ingeniería Electrónica

Dirigida por:
Dra. Montserrat Nafria Maqueda
y
Dr. Javier Martín Martínez



Reliability of Electron device and Circuits

Bellaterra (Cerdanyola del Vallès), Junio de 2017



Montserrat Nafria Maqueda, Catedrática de Electrónica y Javier Martín Martínez, Profesor Lector de Tecnología Electrónica, de la Universidad Autónoma de Barcelona,

Certifican

que el trabajo **Caracterización de la variabilidad dependiente del tiempo de MOSFETs ultraescalados para su modelado compacto** que presenta Miquel Moras Alberó para optar al grado de Doctor en Ingeniería Electrónica, se ha realizado bajo su dirección.

Bellaterra, Junio de 2017

Dra. Montserrat Nafria Maqueda

Dr. Javier Martín Martínez

AGRADECIMIENTOS

En primer lugar, me gustaría agradecer a Montserrat Nafria y a Javier Martín Martínez por haberme co-dirigido esta tesis y por la paciencia y la dedicación que he recibido por su parte.

A los miembros del Departament d'Enginyeria Electrònica, en especial a Marcos, Carlos, Alberto, Oscar, Javi, Fran, Cristian y Albert por el gran apoyo moral y dedicación que he recibido por su parte, para poder terminar esta tesis. También agradecer el soporte de los compañeros del IMB-CNM, Alba, Alex, August, Carme, Eloi y Roger.

También quisiera dar las gracias a mi familia, especialmente a mi madre, por animarme a seguir adelante. La familia Grifo-Castillo también ha sido muy importante en este camino, especialmente Carolina y Laura por el gran apoyo moral en las últimas semanas de la tesis. Por último, agradecer a Mercè por ayudarme a confiar en mí mismo.

Finalmente, mencionar a Jurrian Smitch y su grupo de la Universidad de Twente (The Netherlands) por haberme dado la oportunidad de formar parte de su grupo durante unos meses. También a Francisco Vidal Fernández Fernández y a todo su equipo por haberme co-dirigido en la estancia realizada al instituto de microelectrónica de Sevilla (IMSE-CNM).

Miquel

ÍNDICE

PUBLICACIONES RELACIONADAS CON ESTA TESIS

PRESENTACIÓN.....	1
1. MECANISMOS DE DEGRADACIÓN EN EL MOSFET	3
1.1 El transistor MOSFET.....	4
1.2 El escalado del transistor.....	7
1.3 El fenómeno del Bias Temperature Instability (BTI).....	12
1.3.1. Fenomenología del BTI.....	14
1.3.2. Técnicas para la caracterización de ΔV_{th}	18
1.3.3. Modelos físicos del BTI.....	22
1.3.4. Dependencias de los tiempos de emisión y captura con la tensión y la temperatura	28
1.3.5. El Random Telegraph Noise (RTN).....	30
1.4 Degradación por portadores calientes	31
2. IMPLEMENTACIÓN DE UN SISTEMA <i>ULTRA-FAST</i> Y EXTRACCIÓN DE PARÁMETROS DEL MODELO PDO	35
2.1 Diseño e implementación de un sistema de caracterización Ultra-Fast.	36
2.1.1. Circuito <i>Ultra-Fast</i>	38
2.1.2. Sistema de control y adquisición de datos.....	42
2.1.3. Verificación del funcionamiento del <i>set-up Ultra-Fast</i>	42
2.2 Metodología de extracción de parámetros del modelo PDO.....	46
2.3 Degradación por BTI en transistores fabricados con diferentes procesos.....	55
2.4 Resumen del capítulo	61
3. ANÁLISIS DE LA DEGRADACIÓN POR BTI Y CHC EN TRANSISTORES MOSFET	63
3.1 Metodología y muestras utilizadas para el estudio del BTI y de la degradación por CHC.....	64

3.2	Degradación por BTI.....	65
3.2.1.	Dependencia con la temperatura	66
3.2.2.	Dependencia con la tensión de puerta V_G	70
3.2.3.	Ajuste conjunto de los parámetros del modelo PDO en función de la tensión de puerta y la temperatura.....	74
3.3	Análisis de la degradación para diferentes tensiones de drenador	78
3.4	Resumen del capítulo	87
4.	CARACTERIZACIÓN DE LA DEGRADACIÓN POR NBTI EN CONDICIONES DE ESTRÉS RF	89
4.1	Consideraciones experimentales de la caracterización RF.....	90
4.1.1.	Los parámetros [S]	90
4.1.2.	Medida de parámetros [S]: corrección de errores sistemáticos	93
4.1.3.	Muestras	97
4.1.4.	Procedimiento experimental.....	97
4.2	Resultados experimentales	99
4.2.1.	Caracterización DC y RF del transistor fresco.....	99
4.2.2.	Variación de la V_{TH} y de los parámetros [Y] debido al estrés NBTI	101
4.3	Metodología de extracción de los parámetros eléctricos del MOSFET a partir de los parámetros [Y]	104
4.4	Variación de los parámetros de pequeña señal por el estrés eléctrico.....	109
4.5	Impacto de la degradación del MOSFET en las prestaciones de un amplificador ..	118
4.6	Resumen del capítulo	125
	CONCLUSIONES	129
	REFERENCIAS.....	133

PUBLICACIONES RELACIONADAS CON ESTA TESIS

Artículos en revistas

1. M. Moras, J. Martin-Martinez, R. Rodriguez, M. Nafria, X. Aymerich, and E. Simoen, “Negative Bias Temperature Instabilities induced in devices with millisecond anneal for ultra-shallow junctions,” *Solid State Electronics*, vol. 101, pp. 131–136, 2014.

Contribuciones a congresos

1. J. Martin-Martinez, M. Moras, N. Ayala, V. Velayudhan, R. Rodriguez, M. Nafria, and X. Aymerich, “Modeling of time-dependent variability caused by Bias Temperature Instability,” in *IEEE Spanish Conference on Electron Devices (CDE)*, 2013, pp. 241–244.
2. M. Moras, J. Martin-Martinez, R. Rodriguez, M. Nafria, X. Aymerich, and E. Simoen, “Negative Bias Temperature Instabilities induced in devices with millisecond anneal for ultra-shallow junctions,” *International Semiconductor Device Research Symposium (ISDRS)*, 2013.
3. J. Martín-Martínez, M. Moras, R. Rodríguez, M. Nafría, and X. Aymerich, “RELAB: a tool to include MOSFETs threshold voltage shifts and dielectric breakdown in SPICE simulators,” *Analog Integr. Circuits Signals Process.*, vol. 78, no. 1, pp. 65–76, 2014.
4. H. Amrouch, J. Martin-Martinez, V. M. Van Santen, M. Moras, and R. Rodriguez, “Connecting the physical and application level towards grasping aging effects,” in *IEEE International Reliability Physics Symposium (IRPS)*, 2015, pp. 1–8.
5. M. Moras, J. Martin-Martinez, V. Velayudhan, R. Rodriguez, M. Nafria, X. Aymerich, and E. Simoen, “Negative Bias Temperature Instabilities in pMOSFETs: ultrafast characterization and modelling,” in *IEEE Spanish Conference on Electron Devices (CDE)*, 2015, pp. 1–4.

PRESENTACIÓN

El transistor MOSFET es uno de los dispositivos más utilizados en multitud de aplicaciones electrónicas, por sus excelentes características de funcionamiento, su bajo consumo y su gran capacidad de miniaturización. El constante progreso de la tecnología microelectrónica ha permitido una reducción de las dimensiones de este dispositivo, lo que ha conllevado mejoras en las prestaciones de los circuitos integrados (CI). Sin embargo, cuando sus dimensiones alcanzan el rango nanométrico, aparecen diferentes fenómenos físicos de distinta naturaleza, como efectos de canal corto, procesos cuánticos y/o aumento de los campos eléctricos dentro del dispositivo, que afectan a las prestaciones y a fiabilidad de dichos transistores. Los asociados al aumento de los campos eléctricos han provocado la aparición de diversos mecanismos de fallo, por ejemplo el *Bias Temperature Instability* (BTI), la *Degradación por Portadores Calientes* (CHC) o la *Ruptura Dieléctrica* (BD), que repercuten negativamente en la fiabilidad del transistor y, a su vez, al funcionamiento de los CIs. En tecnologías actuales, tanto el BTI como el CHC son mecanismos que producen modificaciones en los parámetros eléctricos de los transistores.

Tanto el BTI como la degradación CHC se caracterizan por la variación (aumento) de la tensión umbral, V_{th} , y otros parámetros eléctricos relevantes de los MOSFET, por ejemplo, la transconductancia, durante el funcionamiento del dispositivo. Para explicar estas variaciones se han desarrollado distintos modelos, basados en la física del fenómeno. En este sentido, está aceptado en la comunidad científica que el incremento de la tensión umbral, ΔV_{th} , es debido a defectos localizados en el dieléctrico de puerta o en la interfaz de este con el canal del transistor que se cargan cuando se aplica una tensión y se descargan cuando se suprime, lo que conlleva a una disminución de ΔV_{th} (recuperación). La recuperación de la tensión umbral del transistor es uno de los aspectos que más dificulta la caracterización del BTI. Con el objetivo de evaluar la degradación real que sufre el dispositivo se requieren técnicas de caracterización suficientemente rápidas que permitan registrar correctamente las variaciones de tensión umbral en tiempos muy cortos, tras eliminar la tensión, y que permitan extraer los parámetros de los modelos que la describen. Así pues, la caracterización del BTI y la extracción de parámetros han sido tópicos de

esta tesis. A continuación se detalla la estructura de dicha tesis explicando brevemente que se presenta en cada capítulo.

En el capítulo 1, tras explicar brevemente el funcionamiento del transistor MOSFET, se presentará un breve resumen histórico de algunas de las modificaciones relevantes para esta tesis que han debido introducirse en el transistor para continuar con la reducción de sus dimensiones. A continuación, se describirán con detalle los mecanismos de degradación del BTI y el CHC, incidiendo en los efectos que producen en la fiabilidad del transistor, con especial énfasis en las técnicas más utilizadas para su caracterización.

Para superar las limitaciones de resolución temporal que presentan las técnicas de caracterización convencionales, en el capítulo 2 se describe la técnica de caracterización desarrollada, basada en el concepto de medida ultrarrápida (*Ultra-Fast*). Para complementar esta técnica, se ha implementado una metodología de extracción de parámetros del modelo físico PDO (*Probabilistic Defect Occupancy Model*). Esta metodología permite reproducir ΔV_{th} obtenido de la caracterización y obtener información de los defectos que contribuyen a la variación de la tensión umbral. Como ejemplo de aplicación, la combinación de la técnica de medida *Ultra-Fast* con la metodología de extracción de parámetros ha permitido estudiar la degradación producida por el NBTI en transistores pMOSFETs, los cuales han sido fabricados con distintos procesos de *annealing*. Los resultados han permitido comparar el efecto de los diferentes procesos en las distribuciones de defectos de los transistores.

En el capítulo 3 se presentan los resultados de un análisis sistemático del impacto de diferentes condiciones de estrés, en concreto de la temperatura y las tensiones de puerta y drenador, en la distribución de defectos que contribuyen al ΔV_{th} . Mediante la metodología presentada en el capítulo 2, se obtiene la distribución de defectos y se estudia su dependencia con las diferentes condiciones de estrés. Para ello, se ha hecho un análisis unificado de los resultados, independientemente de las condiciones de estrés (BTI y CHC) en el contexto del modelo PDO.

En el capítulo 4 se presentan los resultados obtenidos del estudio del efecto de la degradación BTI en la variación en los parámetros de pequeña señal del transistor, cuando se aplican estreses en la puerta del transistor en el rango de las radiofrecuencias (RF). Se desarrolla una metodología que permite obtener los parámetros del modelo de pequeña señal del transistor, a partir de los parámetros [S] medidos. Para trasladar los efectos que produce la degradación del BTI al circuito, se ha estudiado el efecto de la variación de los parámetros de pequeña señal del transistor en las prestaciones de un amplificador de radiofrecuencia simple.

Finalmente, se presentarán las conclusiones más relevantes obtenidas en esta tesis del estudio de los mecanismos de degradación del BTI y CHC en MOSFETs ultraescalados.

1. MECANISMOS DE DEGRADACIÓN EN EL MOSFET

La gran evolución de la industria electrónica ha sido posible gracias al transistor MOSFET (de sus siglas en inglés, *Metal Oxide Semiconductor Field Effect Transistor*) [1]. Desde su invención en 1958 ha estado y sigue estando en la base de los actuales circuitos integrados (CI), debido a sus prestaciones, consumo y capacidad de miniaturización. Como predijo *Gordon Moore* en el año 1965, el número de transistores por chip se ha ido doblando cada 18 meses [2]. Este aumento exponencial de la densidad de integración de los transistores que forman parte del CI ha permitido aumentar las prestaciones de los sistemas electrónicos y, como consecuencia, por ejemplo, disponer de ordenadores más rápidos. Sin embargo, para poder cumplir estos requisitos, el MOSFET ha experimentado un conjunto de modificaciones, en sus dimensiones y tensiones de polarización, conocidas como *escalado*. El *International Technology Roadmap for Semiconductors* (ITRS) cada año especifica los principales problemas que se deben abordar a corto y largo plazo, así como los objetivos que se deben cumplir para continuar con la evolución del *escalado* de los dispositivos [3]. A pesar de los beneficios que aporta el *escalado*, a medida que se reducen las dimensiones de los transistores aparecen fenómenos físicos de distinta naturaleza que limitan las prestaciones de los CIs y afectan a su fiabilidad.

En este capítulo de introducción, por un lado, se describirá el funcionamiento del transistor MOSFET y se hará un breve resumen histórico, hasta el día de hoy, sobre las modificaciones que ha ido experimentando debido al *escalado*. Por otro lado, se explicará alguna de las problemáticas asociadas a la disminución de las dimensiones de los dispositivos, relevantes para el trabajo desarrollado en esta tesis, que limitan sus prestaciones y fiabilidad. En concreto, se analizarán dos de los mecanismos de degradación más relevantes en los MOSFETS actuales, como son el BTI (*Bias Temperature Instability*) y el CHC (*Channel Hot Carriers*), haciendo énfasis en las técnicas más utilizadas para su caracterización.

1.1 El transistor MOSFET

El transistor MOSFET es uno de los dispositivos más utilizados en la industria electrónica. Su funcionamiento se basa en el control de la corriente que circula por el dispositivo mediante un potencial aplicado entre dos de sus terminales.

El MOSFET está formado por una estructura capacitiva MOS (*Metal Oxido Semiconductor*) a la que se le añaden dos regiones semiconductoras altamente dopadas en los extremos. La capacidad MOS (Figura 1-1a) es una estructura de dos terminales formada por dos electrodos con una capa de material dieléctrico entre ellos. Uno de estos electrodos es el terminal de puerta (*gate*), que puede ser de metal o de polisilicio altamente dopado. El otro es el terminal de sustrato (*bulk*), formado por un material semiconductor (generalmente silicio, Si) dopado con impurezas. Estas impurezas pueden ser aceptoras (los portadores mayoritarios son h^+), por ejemplo el boro o el galio (se hablará de un sustrato tipo P), o pueden ser donadoras (los portadores mayoritarios son e^-), por ejemplo el arsénico o el fósforo (se hablará de un sustrato tipo N). El material dieléctrico de grosor t_{ox} , situado entre ambos terminales ha ido cambiando con la evolución de la tecnología. Inicialmente se utilizó el óxido de silicio (SiO_2) y posteriormente fue modificado añadiendo nitrógeno ($SiON$) para mejorar las propiedades dieléctricas. Como se verá posteriormente, actualmente, se utilizan compuestos dieléctricos (*stacks*) formados por materiales con una alta permitividad dieléctrica (*high-k*).

Añadiendo a los laterales de la estructura MOS dos regiones semiconductoras altamente dopadas con impurezas de naturaleza contraria a las impurezas del semiconductor del sustrato, se forma la estructura básica de un transistor MOSFET (Figura 1-1b). Los terminales conectados a estas regiones se denominan drenador (*drain*) y fuente (*source*), y se añaden a los otros dos terminales, ya conocidos, de la estructura MOS: la puerta y el sustrato, teniendo así una estructura de 4 terminales. Las dimensiones que definen la geometría de un MOSFET son la distancia entre las uniones (L), su anchura (W en el plano perpendicular) y el grosor del dieléctrico, t_{ox} .

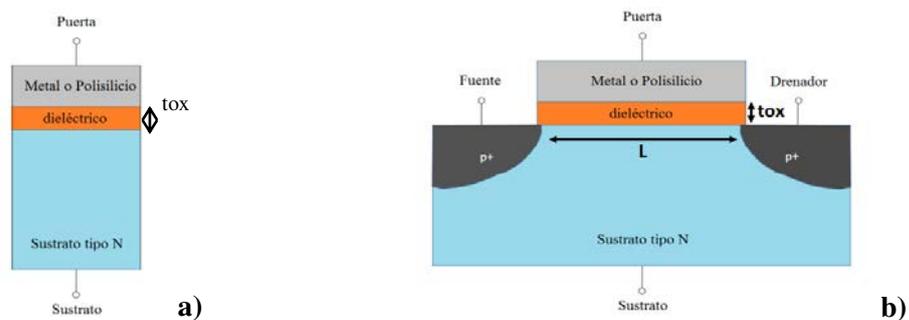


Figura 1-1. a) Estructura capacitiva MOS y b) estructura básica de un transistor pMOSFET.

El MOSFET es un dispositivo de efecto de campo. Si no se aplica tensión en el terminal de puerta, V_{GS} , o ésta es demasiado pequeña, la corriente que fluye a través de la estructura MOS es nula. Al aplicar una tensión en el terminal de puerta se genera un campo eléctrico vertical que modifica la concentración de portadores (e^- o h^+) en la región del semiconductor adyacente al dieléctrico. Así, la puerta es el terminal de control que permite modificar las propiedades de conducción del dispositivo. Si el potencial aplicado entre la puerta y el sustrato es suficientemente elevado (en valor absoluto) se creará una *capa de inversión* de portadores minoritarios en la región del semiconductor adyacente al dieléctrico. En este caso se dice que se forma el canal del transistor y las regiones de drenador y fuente quedan unidas eléctricamente a través de él. La

mínima tensión de puerta V_{GS} necesaria para crear la *capa de inversión* o canal se denomina tensión umbral (V_{th}) y es uno de los parámetros eléctricos fundamentales del transistor MOSFET. Si el sustrato es de tipo P y se aplica una tensión positiva en el terminal de puerta, la capa de inversión de portadores minoritarios estará formada por electrones; el transistor es de tipo nMOSFET. Por el contrario, si el sustrato es de tipo N, la capa de inversión de portadores minoritarios está formada por huecos, al aplicar una tensión de puerta negativa; el transistor es de tipo pMOSFET. La tensión aplicada en el terminal de sustrato debe garantizar que las uniones semiconductoras sustrato/fuente y sustrato/drenador estén siempre polarizadas inversamente. Una vez formado el canal, si se aplica una diferencia de potencial entre drenador y fuente, fluirá una corriente entre estos terminales, I_D . El valor de esta corriente depende de la polarización del MOSFET, tal y como se describe a continuación.

Cuando la tensión de puerta V_{GS} es cercana a 0V o inferior a la tensión umbral (en valor absoluto), la concentración de portadores minoritarios en la región del semiconductor adyacente al dieléctrico es muy pequeña y, por lo tanto, no se forma el canal. En esta condición el transistor está en *corte* y no circula corriente (I_D) entre el drenador y la fuente (ec. 1-1). El rango de tensiones de puerta tal que $0 \leq |V_{GS}| < |V_{th}|$ se llama *región subumbral*. Las Figuras 1-2a-b muestran la sección transversal de un transistor nMOSFET en la región de *corte*, cuando en el terminal de drenador no se aplica tensión y cuando se aplica una tensión $V_{DS} > 0V$, respectivamente. En ambas figuras se observa que el canal no está formado y es independiente de la tensión V_{DS} aplicada. En la misma figura se ha representado la región de carga espacial (línea punteada), en función de un potencial V_{DS} aplicado.

$$I_D \approx 0A \quad |V_{GS}| < |V_{th}| \quad \text{ec. 1-1}$$

Una vez formado el canal ($|V_{GS}| \geq |V_{th}|$) (Figura 1-2c), al aplicar un potencial V_{DS} entre el drenador y la fuente (Figura 1-2d), fluirá una corriente I_D entre ambos terminales que dependerá de la tensión V_{GS} aplicada a la puerta. Si la tensión V_{DS} es pequeña, la densidad de portadores a lo largo del canal será homogénea y la corriente del canal I_D será proporcional a esta tensión. En estas condiciones el transistor trabaja como una resistencia, cuyo valor depende de V_{GS} y sus terminales son el drenador y la fuente. Entonces, se dice que el transistor trabaja en la *zona lineal triodo* o *óhmica* y el valor de la corriente I_D está determinada por la ec. 1-2. En las Figuras 1-2c-d se ha representado la región de carga espacial en la sección transversal del transistor, en función de las tensiones V_{GS} y V_{DS} . Esta región se ve modificada en la zona cercana al drenador al aplicar una tensión V_{DS} .

$$\begin{aligned} &|V_{GS}| \geq |V_{TH}| \quad |V_{DS}| < |V_{GS} - V_{TH}| \\ I_D = \mu \cdot Cox \frac{W}{L} &\left[(V_{GS} - V_{TH})V_{DS} - \frac{V_{DS}^2}{2} \right] \quad \text{ec. 1-2} \end{aligned}$$

Partiendo de la zona de funcionamiento *lineal triodo*, si el potencial aplicado entre drenador y fuente aumenta, de manera que $|V_{DS}| \geq |V_{GS} - V_{th}|$ (tensión de saturación V_{DS_SAT}), la densidad de portadores en el canal deja de ser homogénea y se produce su estrangulamiento, o *pinch-off*, en la región cercana al drenador, como muestra la Figura 1-2e. En este caso se dice que el transistor está trabajando en la *zona de saturación* y la corriente de drenador I_D se mantiene prácticamente constante e independiente a la tensión V_{DS} (ec. 1-3). Nótese que cuando $|V_{DS}| > |V_{DS_SAT}|$, la región

de carga espacial de la Figura 1-2e varía muy poco respecto a la obtenida cuando $|V_{DS}| = |V_{DS_SAT}|$, motivo por el cual la corriente se mantiene constante.

$$|V_{GS}| > |V_{TH}| \quad |V_{DS}| \geq |V_{GS} - V_{TH}| \quad V_{DS_SAT} = (V_{GS} - V_{TH})$$

$$I_D = \mu \cdot Cox \frac{W}{2L} (V_{GS} - V_{TH})^2 \quad \text{ec. 1-3}$$

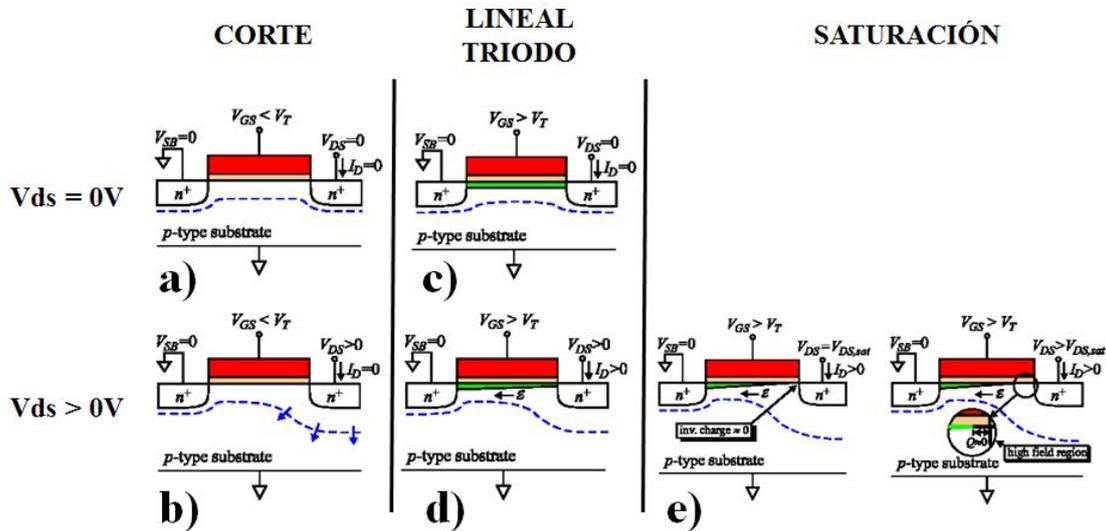


Figura 1-2. Zonas de funcionamiento de un transistor nMOSFET en función de las tensiones V_{GS} y V_{DS} . La línea discontinua representa la región de carga espacial.

En las Figuras 1-3a-b se muestran las curvas características $I_D - V_{GS}$ e $I_D - V_{DS}$ de un transistor nMOSFET de canal largo, respectivamente. En la Figura 1-3a se ha representado la corriente I_D en función de la tensión V_{GS} , en escala lineal y logarítmica. En la *región subumbral* ($V_{GS} < V_{th}$) la corriente I_D no es exactamente cero, debido a la corriente de fuga de las uniones semiconductoras del transistor. Esta región ha ido tomando cada vez más importancia porque determina el consumo del dispositivo cuando no conduce, es decir, cuando está en “stand-by”. En la Figura 1-3b se han indicado las regiones de funcionamiento del transistor mostradas en la Figura 1-2. La parábola coincide con la condición $V_{DS} = |V_{GS} - V_{th}| = V_{DS_SAT}$. La región interior de la parábola ($V_{DS} < V_{DS_SAT}$) corresponde a la *zona lineal* (ec. 1-2). Fuera de la parábola ($V_{DS} \geq V_{DS_SAT}$) el transistor está en la *zona de saturación* (ec. 1-3). En la figura también se ha representado la *zona de corte* (ec. 1-1).

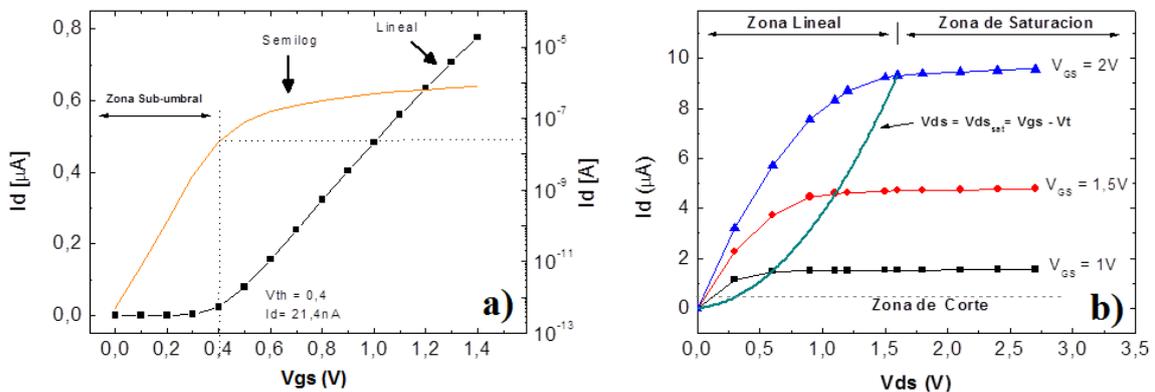


Figura 1-3. Curvas características $I_D - V_{GS}$ (a) e $I_D - V_{DS}$ (b) de un transistor nMOSFET de canal largo. Se pueden ver claramente las regiones de funcionamiento del transistor.

1.2 El escalado del transistor

Con el fin de aumentar la densidad de integración de los circuitos integrados, es decir, aumentar el número de transistores por unidad de área, el transistor MOSFET ha experimentado, en los sucesivos nodos tecnológicos, un conjunto de modificaciones en sus dimensiones (L , W y t_{ox}), tensiones de polarización, materiales constituyentes y estructura. Unas de las reglas que rigen estos cambios son aquellas que dan lugar al *escalado a campo constante* (*constant field scaling*) [4]. Estas reglas se basan en escalar (reducir) todas las tensiones y dimensiones del dispositivo (horizontal y verticalmente) en un mismo factor β (>1), de forma que el campo eléctrico en el dispositivo escalado sea el mismo que en el dispositivo sin escalar. Con dicho *escalado* se consigue aumentar la frecuencia de operación del dispositivo en la misma proporción que β y la potencia de disipación por chip se reduce en un factor β^2 . Sin embargo, el principal problema del *escalado a campo constante* es que la tensión umbral no se escala en un factor β . El motivo es que la tensión umbral depende de parámetros propios de los materiales de la tecnología, como por ejemplo la función trabajo y el gap del silicio, los cuales no se ven afectados por las reglas del *escalado a campo constante*. Como consecuencia, el intento de reducir todas las tensiones y dimensiones en un mismo factor conllevó un aumento progresivo del campo eléctrico en las nuevas generaciones de dispositivos. Frente a esta problemática, se propuso una nueva estrategia: el *escalado generalizado* [5], que consiste en escalar las dimensiones del dispositivo en un factor β y aumentar el campo eléctrico en un factor α (>1). De este modo, la distribución de potencial se ve ligeramente afectada.

A medida que se reducen las dimensiones del transistor, considerando el *escalado generalizado*, aparecen fenómenos físicos de distinta naturaleza que limitan sus prestaciones y afectan a la fiabilidad del dispositivo. Por ejemplo, aparecen corrientes de fugas (por efecto túnel) a través del dieléctrico de puerta del transistor debido a la reducción de su grosor t_{ox} , la tensión umbral se reduce y como consecuencia aumenta la corriente en la *región subumbral* [6], y aparecen los efectos de canal corto [7] debidos a la reducción del área del canal del transistor. Los efectos de canal corto más relevantes son:

- La *modulación de la longitud del canal*: cuando el transistor está polarizado en la *región de saturación* y se reduce la longitud del canal, L , la corriente de drenador, I_D , muestra una dependencia con la tensión de drenador V_{DS} .
- El *roll-off*: la tensión umbral disminuye al reducir la longitud del canal.
- La DIBL (*Drain-Induced Barrier Lowering*): aplicar una tensión en la puerta del transistor provoca una disminución de la barrera de difusión de las uniones semiconductoras drenador/canal y fuente/canal. Esto provoca una modificación del perfil de potencial en la región del drenador, si el MOSFET es de canal largo. Si es de canal corto, también se ve afectada la región de la fuente y la barrera de difusión disminuye en dicha región. Su principal consecuencia es el aumento de la corriente en la *región subumbral*.
- La *saturación de la velocidad de los portadores*: a medida que se escalan las dimensiones, los campos eléctricos en el dispositivo aumentan y esto conlleva la saturación de la velocidad de deriva de los portadores en el canal.
- El *Substrate Current-Induced Body Effect* (SCBE): al aplicar campos eléctricos elevados en la puerta del transistor, se produce un fenómeno de avalancha en el canal y se generan pares electrón/hueco cerca de la región del drenador. Los huecos son arrastrados hacia el sustrato causando una caída de potencial en la resistencia del sustrato. Como consecuencia, la corriente de drenador aumenta y la tensión umbral disminuye.

- La *corriente fugas entre la puerta y el sustrato*: el grosor del dieléctrico, t_{ox} , también disminuye con el *escalado*. Como consecuencia, aparecen corrientes de fugas, de origen túnel, entre la puerta y el sustrato que hacen aumentar el consumo del dispositivo.
- El *autocalentamiento* es la consecuencia del aumento de la resistencia térmica de los dispositivos y la densidad de potencia. Ambas tienden a hacerse mayores con la reducción de las dimensiones y el uso de materiales con una conductividad térmica baja, por ejemplo, el uso del SiO₂ o del SiGe (silicio-germanio). El *autocalentamiento* de los MOSFETs empieza a ser significativo en geometrías muy escaladas (< 32nm) y en dispositivos de nodos tecnológicos avanzados, los cuales están basados en estructuras diferentes al MOSFET convencional [8]. El efecto del *autocalentamiento* puede comportar problemas de fiabilidad en el dispositivo y errores en la proyección de su tiempo de vida.

Otro factor que repercute en las prestaciones de los circuitos integrados es la variabilidad de los parámetros eléctricos de los transistores, por ejemplo la de la tensión umbral [9] o la de la movilidad de los portadores. Esta variabilidad está asociada a la naturaleza discreta de la materia y la carga, o a las no idealidades del proceso de fabricación del CI, que llevan a que dos dispositivos no sean completamente idénticos en sus prestaciones, aunque se hayan fabricado en la misma oblea y con el mismo proceso de fabricación [10]–[13]. Esta es mayor con la disminución de las dimensiones del transistor, aumentando el ‘mismatch’ entre dispositivos. En cualquier caso, la variabilidad ha adquirido gran relevancia porque es la que puede determinar en última instancia si los circuitos integrados que se diseñan cumplirán o no su funcionalidad una vez fabricados.

Sin embargo, llegando a cierto punto, la reducción de las dimensiones no es suficiente para mejorar las prestaciones de los MOSFETs, por lo que, para poder continuar con el escalado, los transistores se han visto modificados estructuralmente y/o se han añadido nuevos materiales en su estructura para mejorar su funcionamiento. Por ejemplo, se ha utilizado el *silicio tensado* en la región del canal, en sustratos de silicio-germanio, para mejorar la movilidad de los portadores [14], [15]. Centrándonos en el escalado del dieléctrico de puerta, a partir del nodo tecnológico de 45nm se han introducido como dieléctrico de puerta materiales con una alta permitividad dieléctrica (llamados materiales *high-k*, con una constante dieléctrica $k > 3,9$), en sustitución del SiO₂, para reducir las fugas de corriente entre la puerta y el sustrato. Para poder comparar las prestaciones que ofrecen los materiales *high-k*, respecto a las del SiO₂, se utiliza el parámetro EOT (*Equivalent Oxide Thickness*). Este parámetro se define como el espesor de la capa de SiO₂ que proporcionaría el mismo valor de capacidad que el conseguido con el material de alta permitividad. De este modo, la capacidad equivalente de una estructura MOS, formada por un dieléctrico con una permitividad $k_{dieléctrico}$ y un espesor físico $t_{dieléctrico}$, es equivalente a la capacidad de una estructura MOS formada por SiO₂ como dieléctrico de puerta y con un espesor físico igual a EOT. La definición de este parámetro viene dada por la ecuación ec. 1-4.

$$EOT = \frac{k_{SiO_2} \cdot t_{dieléctrico}}{k_{dieléctrico}} \quad \text{ec. 1-4}$$

donde k_{SiO_2} es la permitividad del SiO₂. Según la ec. 1-4, los dieléctricos *high-k* (como dieléctrico de puerta) tienen un grosor mayor y, por lo tanto, una corriente de fugas menor, ofreciendo una capacidad equivalente a los dispositivos basados en SiO₂. Con el *escalado* del transistor, el parámetro EOT también se ha visto reducido. Sin embargo, la inclusión de materiales *high-k* como dieléctrico de puerta, también tiene asociados ciertos inconvenientes. Por ejemplo, aparecen

elevadas densidades de defectos en el dieléctrico que hacen reducir la movilidad de los portadores, en comparación con el SiO_2 [21], y afectan a la tensión umbral [22].

Para conseguir la máxima calidad de la interficie dieléctrico-semiconductor, habitualmente se añade una capa delgada de SiO_2 , formando un *stack de dieléctricos* [17]. De lo expuesto, en el cálculo del parámetro EOT de la ec. 1-4 se debe añadir un nuevo término que incluya el grosor de la capa de SiO_2 (t_{SiO_2}) (ec. 1-5), el cual impone una limitación en el valor mínimo que puede tomar EOT.

$$\text{EOT} = \frac{k_{\text{SiO}_2} \cdot t_{\text{dieléctrico}}}{k_{\text{dieléctrico}}} + t_{\text{SiO}_2} \quad \text{ec. 1-5}$$

Un ejemplo de una estructura MOS formada por un *stack de dieléctricos* se muestra en la imagen de microscopía TEM de la Figura 1-4a. La estructura está formada por una capa de material *high-k* (óxido de hafnio; HfO_2) y una fina capa de SiO_2 sobre un sustrato de germanio (Ge) [18]. En la Figura 1-4b se muestra la energía del gap de diferentes compuestos dieléctricos, en función de la constante dieléctrica k [19]. Teniendo en cuenta la relación inversa entre estos parámetros, los dieléctricos más investigados para su aplicación en microelectrónica son el óxido de hafnio HfO_2 , el óxido de aluminio Al_2O_3 , el óxido de zirconio ZrO_2 y el óxido de tantalio Ta_2O_5 [20].

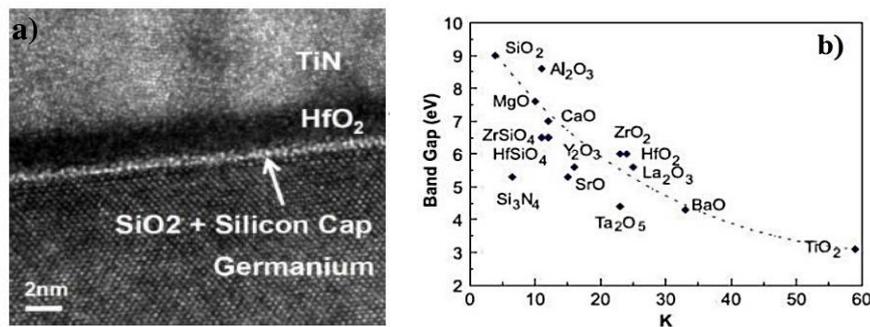


Figura 1-4. a) Imagen obtenida por microscopía TEM de un *stack de dieléctricos* en una estructura MOS [18]. b) Energías del gap de distintos compuestos dieléctricos en función de la constante dieléctrica k [19].

Al introducir el material *high-k* con la tradicional puerta de polisilicio, se observó que la tensión umbral era muy sensible al material dieléctrico utilizado [23]–[26]. Esto hizo replantear el material de puerta del transistor, pasando a utilizarse metales como el aluminio (Al) o el titanio (Ti), que ofrecían una mayor estabilidad de la tensión umbral [27]. El *stack* formado por un metal de puerta (*metal-gate*; MG) y un material *high-k* se llamó *high-k/MG*.

Para afrontar los retos introducidos por el *escalado* en los nodos tecnológicos avanzados (< 32nm), el tradicional transistor MOSFET (Figura 1-5a) ha sido modificado con nuevos sustratos y/o nuevas estructuras, por ejemplo los sustratos SOI (*Silicon On Insulator*) y las estructuras 3D. Partiendo de un transistor MOSFET convencional, un transistor basado en un sustrato SOI (Figura 1-5b) se caracteriza por tener una capa de óxido enterrada (*buried oxide*; BOX) que separa el sustrato situado en la parte inferior de la estructura y la región del sustrato adyacente al dieléctrico de puerta (*body*), situado en la parte superior [28]. Las principales ventajas de la capa de óxido enterrada son que disminuye la capacidad de la estructura y permite disminuir el consumo del dispositivo. En general, los dispositivos basados en un sustrato SOI destacan por su alta inmunidad a los efectos de canal corto, su baja variabilidad de la tensión

umbral debido a que el canal no está dopado, su baja corriente de fuga y su bajo consumo. En cambio, su principal problema es el *autocalentamiento* debido a que están térmicamente aislados del sustrato de la parte inferior de la estructura por la capa de óxido enterrada.

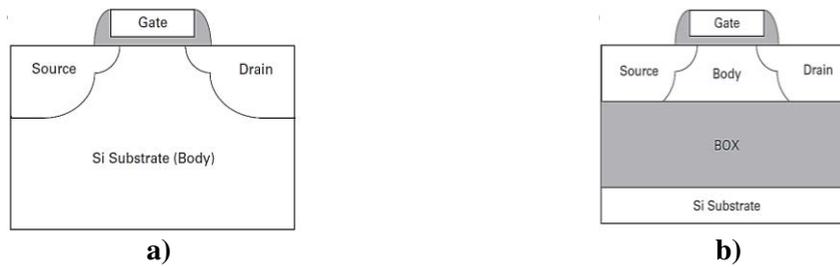


Figura 1-5. a) Transistor MOSFET convencional. b) Transistor MOSFET basado en un sustrato SOI [29].

Dentro de los dispositivos basados en un sustrato SOI encontramos los PDSOI (*Partially Depleted Silicon on Insulator*) MOSFET y los FDSOI (*Fully Depleted Silicon on Insulator*) MOSFET [29]. En los PDSOI, la región del *body* es más gruesa que el ancho de la región de depleción de la puerta (o zona de carga espacial) (Figura 1-6a). En cambio, en los FDSOI, la región del *body* es más pequeña que el ancho máximo de la región de depleción (Figura 1-6b).

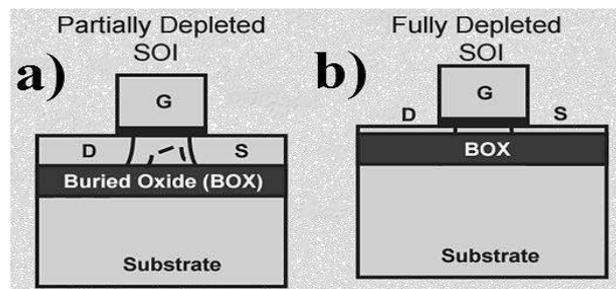


Figura 1-6 Transistor a) PDSOI y b) FDSOI [30].

Otro tipo de estructuras utilizadas en nodos tecnológicos avanzados son las 3D, en las que encontramos los dispositivos multipuerta de efecto de campo (MuGFET) o FinFET [31], [32]. Un MuGFET consiste en un MOSFET con múltiples puertas (Figura 1-7a). En función del número de puertas de que disponga puede clasificarse de doble, triple o de puerta envolvente. La puerta recubre parcial o totalmente el canal semiconductor, de forma que, al aplicar una tensión en el terminal de puerta, el campo eléctrico actúa en cada uno de los laterales. El canal, así como el drenador y la fuente, habitualmente se encuentran encima de un sustrato SOI en forma de aleta (en inglés *fin*) (Figura 1-7b). Las dimensiones que definen la geometría de un dispositivo MuGFET son la longitud (L), la anchura (W), y la altura del canal (H), juntamente con el número (N) de aletas (Figura 1-7c). La corriente que circula por el MuGFET es directamente proporcional al número de aletas del dispositivo. Esta característica hace que el MuGFET pueda recurrir a múltiples aletas para proporcionar una corriente N veces mayor en las aplicaciones que lo requieran. Otras características de los dispositivos multipuerta son su alta inmunidad a los efectos de canal corto, su baja corriente de fuga, su baja concentración de dopado en el canal y su buen funcionamiento con el escalado de la tensión, entre otras ventajas [33], [34].

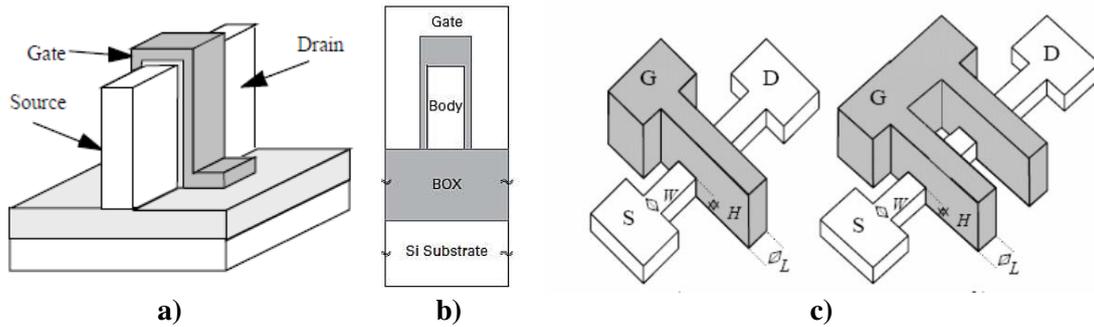


Figura 1-7. a) Dispositivo MuGFET de doble puerta o de aleta (FinFET) [35]. b) Sección transversal de un FinFET. c) Estructura del FinFET de i) una sola aleta (N = 1) y ii) de doble aleta (N = 2) [35].

La Tabla 1-1 muestra un resumen de la evolución tecnológica (según el ITRS 2013), desde el año 2001 hasta el año 2015 y una futura proyección hasta el año 2021, de una tecnología de altas prestaciones (*High Performance, HP*) y otra de bajo consumo (*Low Operating Power, LOP*). Tomando como referencia el nodo tecnológico de 130nm, en esta tabla se muestra el factor de escalado de algunos de los parámetros que caracterizan un nodo tecnológico, por ejemplo el espesor del óxido equivalente EOT, la tensión umbral V_{th} , la *relación beta* (cociente entre el *factor de ganancia*, es decir $\mu \cdot C_{ox} \cdot W/L$, de un transistor pMOSFET y el de un transistor nMOSFET, para la tecnología MOS complementaria), la tensión de alimentación (V_{DD}), la frecuencia de operación, la capacidad de la estructura MOS y la potencia (consumo) [36]. En ambas tecnologías se puede observar que tanto la tensión V_{DD} , el parámetro EOT, la *relación beta* y la capacidad MOS disminuyen con la reducción del nodo tecnológico. Sin embargo, la tensión umbral y la potencia inicialmente aumentan con el escalado del transistor, hasta la aparición de los transistores FinFET y FDSOI en el nodo tecnológico de 22nm. En este momento, ambos parámetros empiezan a disminuir. Actualmente, el enfoque tecnológico tiende hacia las tecnologías de bajo consumo LOP.

Scaling factors (/130nm)										
Type	Device	Year	Tech node (nm)	EOT	Vth	Beta ratio	Vdd	Frequency	Capacitance	Power
HP	Planar	2001	130	1.00	1.00	1.00	1.00	1.00	1.00	1.00
	Planar	2004	90	0.74	1.24	0.98	0.96	1.68	0.95	1.46
	Planar	2008	65	0.62	1.24	0.96	0.91	1.90	0.70	1.11
	Planar	2010	45	0.52	1.38	0.93	0.87	2.21	1.09	1.81
	Planar	2012	32	0.48	1.39	0.91	0.83	2.41	0.98	1.61
	FinFET	2015	22	0.43	1.01	0.88	0.78	2.60	0.75	1.19
	FinFET	2017	14	0.38	1.05	0.86	0.72	2.74	0.67	0.95
	FinFET	2019	10	0.36	1.07	0.84	0.70	2.83	0.59	0.81
FinFET	2021	7	0.34	1.08	0.82	0.67	2.94	0.52	0.69	
LOP	Planar	2001	130	1.00	1.00	1.00	1.00	1.00	1.00	1.00
	Planar	2004	90	0.91	1.00	0.98	1.00	1.45	0.90	1.31
	Planar	2008	65	0.87	1.00	0.96	1.00	2.18	0.68	1.48
	Planar	2010	45	0.79	1.29	0.93	0.92	2.53	0.74	1.57
	Planar	2012	32	0.72	1.23	0.91	0.83	2.75	0.75	1.43
	FDSOI	2015	22	0.70	1.25	0.88	0.83	2.98	0.65	1.35
	FDSOI	2017	14	0.63	1.26	0.86	0.75	3.13	0.58	1.01
	FDSOI	2019	10	0.60	1.28	0.84	0.72	3.24	0.52	0.86
FinFET	2021	7	0.57	1.19	0.82	0.68	3.36	0.46	0.72	

Tabla 1-1. Factor de escalado de algunos de los parámetros que caracterizan un nodo tecnológico, tomando como referencia el nodo tecnológico de 130nm [36].

Con la disminución de las dimensiones del transistor, los campos eléctricos en el dispositivo también han aumentado. Este aumento ha provocado que durante el funcionamiento del transistor en el circuito integrado aparezcan mecanismos de fallo que repercuten negativamente en la fiabilidad del transistor MOSFET, pudiendo afectar al funcionamiento del CI o del sistema en el que opera. La *ruptura dieléctrica (break-down; BD)*, el *Bias Temperature Instability (BTI)* y la *degradación por portadores calientes (Channel Hot Carriers; CHC)* son los principales

problemas de fiabilidad del transistor MOSFET. Estos fenómenos están relacionados con la degradación que sufre el dieléctrico de puerta debido a las condiciones de operación a que está sometido el transistor durante su funcionamiento en el CI. En las próximas dos secciones se explicarán los mecanismos de degradación del *Bias Temperature Instability* y la *degradación por portadores calientes* por ser los mecanismos de degradación en que esta tesis está centrada. El estudio de estos fenómenos es muy importante para determinar qué soluciones se pueden tomar para poder diseñar dispositivos más robustos y más fiables.

1.3 El fenómeno del Bias Temperature Instability (BTI)

El fenómeno del *Bias Temperature Instability* (BTI) se conoce desde hace décadas [37], [38], aunque ha surgido como una preocupación importante para la fiabilidad de circuitos integrados en nodos avanzados, por ejemplo en memorias [39]–[42], porque degrada las propiedades eléctricas de los transistores MOSFET del CI. Como consecuencia, las prestaciones y la funcionalidad del CI se modifican, por ejemplo, su respuesta temporal. El origen de esta degradación se encuentra en las condiciones de funcionamiento (tensión y temperatura) a las que están sometidos los transistores durante el funcionamiento del CI, al *escalado* del transistor y a la introducción de procesos de nitrurado en el dieléctrico de puerta del MOSFET para reducir las corrientes de fugas [43]. La degradación que produce el BTI en las prestaciones del MOSFET habitualmente se estudia en transistores aislados, no integrados en el circuito. La finalidad es caracterizar los efectos de la degradación, para desarrollar estrategias de mejora de la fiabilidad y herramientas de diseño de circuitos que incluyan estos efectos [44], [45]. Con estas herramientas se podrán diseñar circuitos más robustos, de manera que el fenómeno del BTI, de carácter inevitable, afecte en el menor grado posible a la funcionalidad del CI. La degradación de circuitos producida por el BTI y su relación con la degradación del dispositivo ha sido ampliamente estudiada en [39]–[42].

El *Bias Temperature Instability* es un mecanismo de degradación asociado al dieléctrico de puerta. Se caracteriza por el aumento de la tensión umbral, V_{th} , y otros parámetros eléctricos relevantes de los MOSFET (como la transconductancia), por la aplicación de una tensión en el terminal de puerta. Sus efectos son más evidentes a altas temperaturas y a tensiones de puerta elevadas [46]. En función de la polaridad de la tensión aplicada en el terminal de puerta del transistor, se hablará de *Negative* BTI o NBTI, para tensiones negativas, o de *Positive* BTI o PBTI, para tensiones positivas.

El NBTI fue ampliamente estudiado hace una década en transistores pMOSFET con un dieléctrico de puerta basado en SiO_2 y SiON [47]–[54]. Sin embargo, en este periodo, el PBTI en transistores nMOSFET fue menos estudiado porque sus efectos eran menores, comparados con los del NBTI [55]. La inclusión de materiales *high-k* como dieléctrico de puerta no produjo cambios sustanciales en la fenomenología del NBTI [56], pero fue ampliamente estudiado y comparado con el NBTI en transistores basados en SiO_2 y SiON como dieléctrico [54], [57], [58]. En cambio, el PBTI ganó protagonismo con los materiales *high-k*, debido a que sus efectos son comparables a los del NBTI en transistores *high-k* [55], [56], [59], [60]. El incremento de la tensión umbral causado por el NBTI se ha asociado a la generación de trampas en la interficie del silicio y el dieléctrico durante el estrés, en las tecnologías basadas en SiON y *high-k* como

dieléctricos [53], [54], [58], [61]–[64]. En cuanto al PBTI, se ha propuesto que es debido a atrapamiento de carga en el material *high-k* [60].

La degradación por NBTI también se ha estudiado en la tecnología FDSOI de 28nm [65]–[69]. Evaluando el NBTI juntamente con el efecto de la polarización del sustrato en la fiabilidad, la frecuencia de operación y el consumo de circuitos integrados, por ejemplo en osciladores en anillo y CPUs, se ha concluido que la polarización del sustrato [66], [67], [70]–[73] puede ser un factor muy positivo, en términos medios, para mejorar la fiabilidad de los circuitos integrados de las futuras generaciones [70], [74], [75]. Del mismo modo que los transistores FDSOI, los dispositivos FinFET también muestran un buen comportamiento a la degradación por BTI [76], con una reducción considerable del PBTI. Sin embargo, la degradación por NBTI se reduce muy poco, en comparación al PBTI. El *escalado* de las dimensiones del FinFET parece disminuir la degradación por BTI, puesto que se ha observado que la degradación total causada por el BTI (contribución del NBTI y PBTI) en el nodo tecnológico de 14nm es cercana a la mitad de degradación observada en el nodo de 22nm [77]. Esta reducción también ha sido posible, en parte, a la disminución del dopaje de canal del transistor.

Por su impacto en la fiabilidad de los MOSFETs, el NBTI ha despertado mucho interés en la comunidad científica por su impacto en el tiempo de vida de los transistores [53], [58], [61]. A modo de ejemplo, la Figura 1-8 muestra el tiempo de vida de los transistores, atribuido a la degradación que produce el NBTI, en función del nodo tecnológico [78]. Se observa que para nodos tecnológicos submicrónicos hasta los 90nm, basados en procesos de nitrurado y una tecnología planar, el tiempo de vida de los dispositivos se reduce. Para nodos tecnológicos entre 65nm y 32nm, el tiempo de vida de los dispositivos se mantiene prácticamente constante debido a las mejoras tecnológicas introducidas por el *escalado*, como por ejemplo la mejora de los procesos de nitrurado y el uso de *stacks dieléctricos high-k*. Para nodos tecnológicos avanzados (< 32nm), en los que se introducen los dispositivos FDSOI y FinFET, el tiempo de vida sigue manteniéndose constante en ambos dispositivos, siendo menor en los dispositivos FinFET [79].

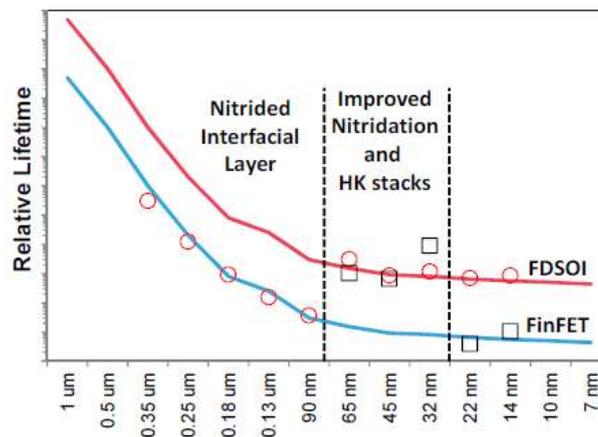


Figura 1-8. Evolución del tiempo relativo de vida de los dispositivos, debido al NBTI, en función del nodo tecnológico [78]. En esta figura también se indican las mejoras tecnológicas introducidas en los dispositivos.

1.3.1. Fenomenología del BTI

La configuración experimental básica para la generación/observación del BTI en un transistor MOSFET consiste en la conexión de los terminales de fuente, drenador y sustrato a tierra, mientras se aplica una tensión elevada en el terminal de puerta durante un determinado tiempo (llamado tiempo de estrés). Normalmente se aplican elevadas tensiones y temperaturas (por encima de las nominales) para acelerar la degradación del dispositivo y registrar cambios en sus propiedades eléctricas en tiempos razonables. Para medir los efectos de la degradación en la tensión umbral, tradicionalmente se ha utilizado la técnica *Medida-Estrés-Medida* (*Measurement-Stress-Measurement*; MSM). Esta técnica se basa en monitorizar el cambio en la tensión umbral del transistor (ΔV_{th}), respecto a la tensión umbral del dispositivo sin estresar (V_{th0}), cuando éste se somete a estrés eléctrico, que es interrumpido periódicamente para medir esta variación ($\Delta V_{th} = V_{th} - V_{th0}$). La degradación de V_{th} se obtiene a partir de las curvas características $I_D - V_{GS}$ que se han medido antes y después del estrés con un analizador de parámetros de semiconductores. A modo de ejemplo, la Figura 1-9 muestra la variación de las características $I_D - V_{GS}$ de un transistor pMOSFET, respecto a su característica inicial (fresca), cuando el transistor se somete a un estrés NBTI (i.e., a una tensión de puerta constante, $V_{estrés}$) y es interrumpido al cabo de 10s, 100s y 1000s, respectivamente. Se puede observar que debido al estrés, la característica $I_D - V_{GS}$ se desplaza hacia tensiones de puerta más grandes (en valor absoluto), siendo este desplazamiento más grande cuanto mayor es el tiempo, lo que es indicativo de que la tensión umbral aumenta como consecuencia del estrés.

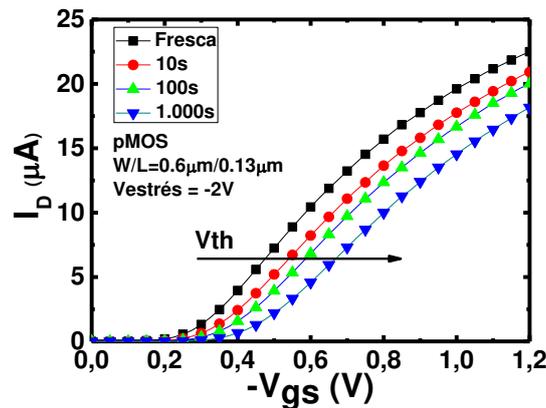


Figura 1-9. Desplazamiento de la curva característica $I_D - V_{GS}$ después de interrumpir un estrés NBTI a una tensión constante, al cabo de 10s, 100 y 1000s.

La variación de la tensión umbral, ΔV_{th} , cuando se aplica una tensión de estrés constante (“*Constant Voltage Stress*”; CVS), sigue una ley potencial con el tiempo de estrés, $t_{estrés}$, (ec. 1-6).

$$\Delta V_{th} = A \cdot t_{estrés}^b \quad \text{ec. 1-6}$$

donde los parámetros A y b dependen implícitamente de la tecnología, de la tensión de estrés y de la temperatura. Distintos autores han obtenido valores de b comprendidos entre 0,1 y 0,25 [52], [61], [80]. A modo de ejemplo, la Figura 1-10 muestra la evolución temporal de ΔV_{th} obtenida después de interrumpir un estrés NBTI a una tensión constante y a diferentes temperaturas, en función del tiempo de estrés [48]. En esta figura se observa que ΔV_{th} aumenta potencialmente con el tiempo y que su variación es mayor cuando aumenta la temperatura y/o la tensión de estrés.

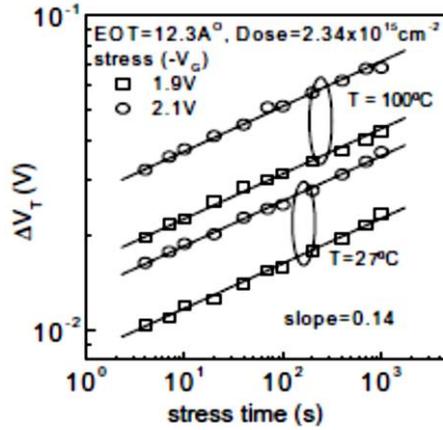


Figura 1-10. ΔV_{th} en función del tiempo de estrés obtenido a distintas tensiones de puerta y temperaturas [48].

La dependencia de ΔV_{th} con el campo eléctrico en el dieléctrico de puerta, E_{ox} , sigue una ley potencial. Además, es independientemente de la arquitectura del dispositivo y del proceso de oxidación [36], [54], [64], [81]. De este modo, el parámetro A de la ec. 1-6 se puede describir según la ec. 1-7 [82]:

$$A \propto E_{ox}^{\gamma} \quad \text{ec. 1-7}$$

donde el valor del exponente γ está comprendido entre 2,5 y 3, en transistores con un sustrato de silicio. En [83] se ha observado que γ es independiente de la tensión de puerta.

Por otro lado, la dependencia de ΔV_{th} con la temperatura sigue una ley de *Arrhenius* (ec. 1-8) [43]:

$$\Delta V_{th} \propto \exp\left(\frac{-E_a}{k_B T}\right) \quad \text{ec. 1-8}$$

donde k_B es la constante de *Boltzmann*, T es la temperatura (en grados kelvin) y E_a es la energía de activación [83].

De lo expuesto en las ecuaciones ec. 1-6, ec. 1-7, y ec. 1-8, la dependencia de ΔV_{th} con la tensión de estrés y la temperatura se puede reescribir, de manera conjunta, en una sola ecuación (ec. 1-9) [84]:

$$\Delta V_{th} = C \cdot E_{ox}^{\gamma} \cdot \exp\left(-\frac{E_a}{k_B T}\right) \cdot t_{\text{estrés}}^b \quad \text{ec. 1-9}$$

donde C es una constante. Con la ecuación ec. 1-9 se puede extrapolar ΔV_{th} a otra condición de operación del transistor, distinta de la utilizada para su caracterización, para estimar el tiempo de vida del dispositivo.

Una característica muy importante del BTI es que, una vez se deja de aplicar el estrés eléctrico en la puerta del transistor, la tensión umbral inicia un rápido proceso de recuperación temporal (también llamado relajación del BTI) en el que su valor decrece con el tiempo (que se denomina tiempo de relajación) [85]. A modo de ejemplo, la Figura 1-11a muestra como la tensión umbral aumenta con el tiempo de estrés y en el instante A en que éste se interrumpe, V_{th} se recupera

rápida, independientemente de la temperatura en la que se ha realizado la medida. Otro ejemplo de la rápida recuperación de V_{th} se muestra en la Figura 1-11b. En esta figura se compara el efecto que tiene sobre la tensión umbral un estrés continuo (CVS) y un estrés interrumpido [52]. Al interrumpir el estrés cada cierto tiempo, ΔV_{th} disminuye debido a la recuperación de V_{th} , con lo que al final del mismo período, la degradación es menor para el caso en que el estrés se ha interrumpido.

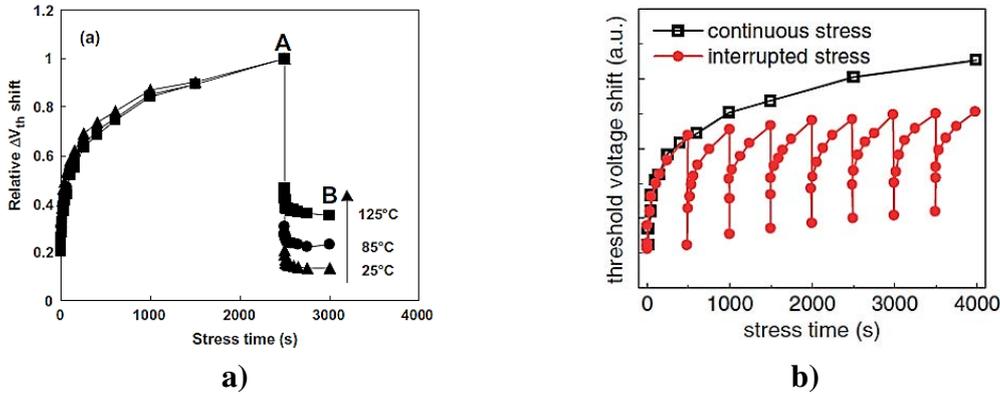


Figura 1-11. a) ΔV_{th} en función del tiempo de estrés ($0 \leq t \leq A$) y relajación ($t > A$), para diferentes temperaturas. Al interrumpir el estrés en el instante A, V_{th} inicia un rápido proceso de recuperación. b) ΔV_{th} en función del tiempo, para un estrés continuo y un estrés interrumpido [52].

Varios autores afirman que en la variación de ΔV_{th} observada coexisten dos mecanismos [86]. Uno de ellos da lugar a una componente recuperable, R, que depende de los tiempos de estrés, $t_{estrés}$, y de relajación, $t_{relajación}$. El otro da lugar a una parte permanente, P, que depende solo del tiempo de estrés [85]. De este modo, la variación de V_{th} se puede escribir según la ec. 1-10 [86]:

$$\Delta V_{th}(t_{estrés}, t_{relajación}) = R(t_{estrés}, t_{relajación}) + P(t_{estrés}) \quad \text{ec. 1-10}$$

Según la ec. 1-10, después de un estrés BTI la tensión umbral nunca llegará a recuperarse por completo durante el tiempo de relajación, debido a la componente permanente [85]. El valor del exponente b de las ecuaciones ec. 1-6 y ec. 1-9 depende del tiempo que transcurre entre la interrupción del estrés y la medida de V_{th} [52], [80], [85], [87], [88]. La Figura 1-12 muestra un ejemplo de ΔV_{th} , en función del tiempo de estrés, para diferentes tiempos de relajación, obtenido después de estresar un transistor a una tensión de puerta de $-2V$ y a una temperatura de $125^\circ C$. Se observa que el valor del exponente b varía en función del tiempo que transcurre entre la interrupción del estrés y la medida de V_{th} [80]. Según el retardo introducido por la medición, determinado básicamente por el sistema de medida del BTI utilizado, el valor de b podría estar sobrestimado, siendo mayor cuanto más largo sea el tiempo que transcurre. Por este motivo, el uso de la ecuación ec. 1-9 para la extrapolación de ΔV_{th} a cualquier temperatura y tensión de operación del transistor, podría dar un valor inapropiado de ΔV_{th} , debido básicamente a la incertidumbre en la extracción del exponente b . Así pues, el sistema de medida usado tiene un impacto muy importante en la determinación del valor de b , por lo que será uno de los tópicos de esta tesis.

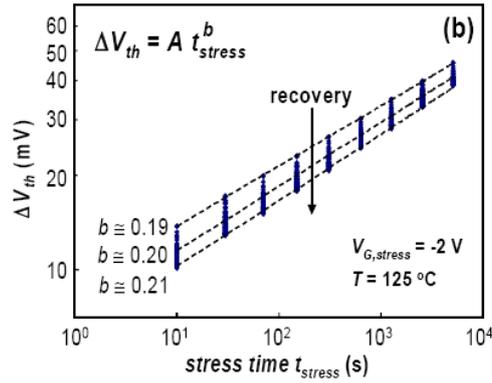


Figura 1-12. ΔV_{th} en función del tiempo de estrés, para distintos valores del tiempo de recuperación. Cuanto mayor sea el tiempo transcurrido entre el fin del estrés y la medida de la V_{th} , más grande es el valor de b [80].

La degradación de V_{th} producida por un estrés BTI también se ha estudiado en transistores con diferentes dimensiones W, L . Si bien la recuperación de la tensión umbral en transistores de área grande, por ejemplo $W \times L = 10 \times 0,13 \mu\text{m}^2$, decrece logarítmicamente con el tiempo en un amplio rango temporal [85] (Figura 1-13a), en dispositivos de área pequeña, por ejemplo $W \times L = 0,25 \times 0,25 \mu\text{m}^2$, la recuperación de V_{th} durante el tiempo de relajación se produce en forma de pequeños saltos discretos, como se observa en la Figura 1-13b [97]–[100].

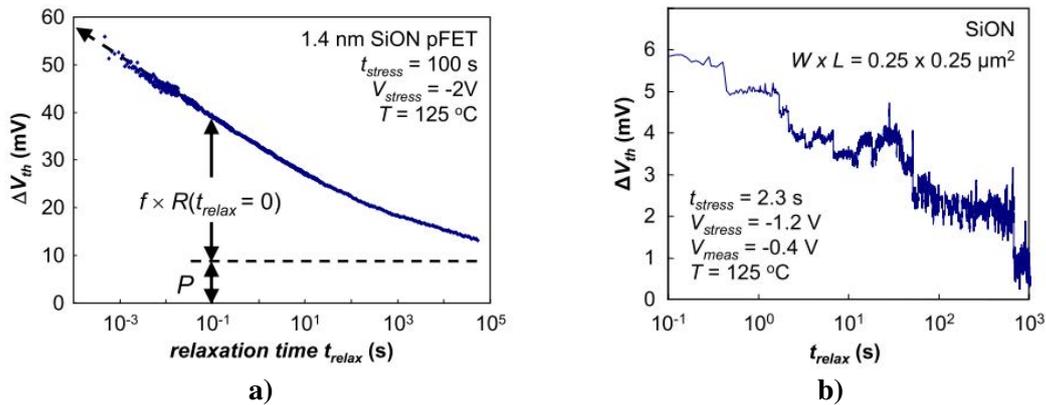


Figura 1-13. a) Recuperación de la V_{th} medida en un transistor de área grande ($W \times L = 10 \times 0,13 \mu\text{m}^2$) [85]. b) Recuperación de la V_{th} medida en un transistor de área pequeña [97]. La recuperación se produce de forma escalonada.

La degradación de las propiedades eléctricas que sufre un dispositivo después de un estrés BTI a tensión constante puede ser importante. No obstante, debido a la propiedad de la relajación del BTI, esta degradación puede ser menor en los dispositivos que están continuamente conmutando de un estado de tensión alto (V_{DD}) a un estado bajo de tensión o GND, como se muestra, por ejemplo, en el estrés interrumpido de la Figura 1-11b. Resultados experimentales han demostrado que ΔV_{th} , obtenido con la técnica de medida MSM, es independiente de la frecuencia de la señal de estrés aplicada a la puerta del transistor [47], [89]–[91], como muestra la Figura 1-14a. También se ha demostrado que a medida que aumenta el ciclo de trabajo de la señal de estrés AC, V_{th} aumenta con una variación como la que se muestra en la Figura 1-14b. Para un ciclo de trabajo del 50%, la degradación en el dispositivo es la mitad que para un estrés continuo [92]. De todo lo expuesto, se concluye que la recuperación de V_{th} tiene importantes consecuencias tanto en la degradación del dispositivo como en la caracterización de su variación. Dependiendo de las condiciones de estrés, dinámico o constante, la degradación inducida en el dispositivo es distinta, siendo menor para las condiciones de estrés dinámicas.

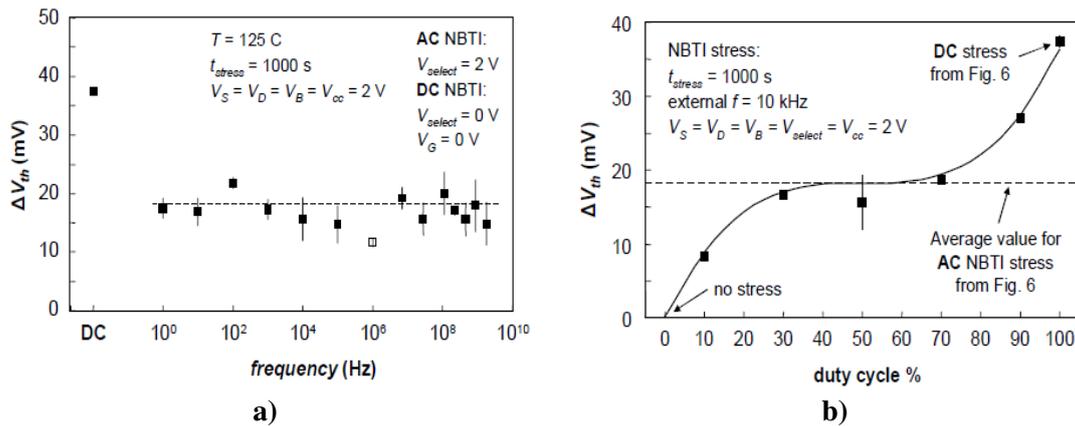


Figura 1-14. a) ΔV_{th} en función de la frecuencia de la señal aplicada durante el estrés NBTI [90]. b) Dependencia de ΔV_{th} con el ciclo de trabajo (en %) de la señal de estrés.

Continuando con el estudio del BTI bajo condiciones de estrés dinámicas, son pocos los estudios que muestran resultados en el rango de la radiofrecuencia (RF) [90], [91], [93]. Tanto en [90] como en [91] se demuestra que la degradación BTI no tiene una dependencia con la frecuencia de la señal de RF. Sin embargo, en [93] se ha encontrado que la degradación es distinta a 100MHz que a 3GHz. Por otro lado, también son pocos los autores que han estudiado como las condiciones de estrés repercuten en otros parámetros eléctricos del transistor [94]–[96], por ejemplo, en la movilidad de los portadores, en las capacidades intrínsecas o en las resistencias del sustrato. Es por este motivo que en el último capítulo de esta tesis se ha estudiado cómo afecta el estrés NBTI a los parámetros de pequeña señal del transistor, cuando se aplican estreses de radiofrecuencia combinados con una tensión DC.

Una vez presentada la fenomenología del BTI, a continuación, se presentarán diferentes técnicas para la caracterización del BTI, centrándose básicamente en la fase de recuperación de la tensión umbral del transistor.

1.3.2. Técnicas para la caracterización de ΔV_{th}

Como se ha visto en la sección anterior, tras interrumpir el estrés BTI, la tensión umbral inicia un rápido proceso de recuperación, como el mostrado en la Figura 1-13a. Esta recuperación es uno de los aspectos que más dificulta la caracterización del BTI. Si la técnica de caracterización utilizada no es suficientemente rápida en registrar esta variación, pueden darse errores en la estimación de la degradación real experimentada por el dispositivo. La razón es porque los equipos tardan un tiempo en interrumpir el estrés y empezar la medida de ΔV_{th} , lo que limita obtener la degradación real del dispositivo. Para solventar este problema, se han desarrollado otras técnicas de caracterización que, o bien permiten registrar variaciones de tensión y de corriente en tiempos más pequeños que los permitidos con equipos de medida convencionales (anализador de parámetros de semiconductores) o bien, miden el cambio de V_{th} durante el estrés. Estas técnicas son las ultrarrápidas (*Ultra-Fast*) y las *On-The-Fly* (OTF) [101], respectivamente, y se explicarán a continuación. Para evaluar sus ventajas, antes se describirá con más detalle de la técnica MSM convencional.

La técnica MSM

La técnica de caracterización *medida-estrés-medida* (MSM) es la más simple y es la que tradicionalmente se ha utilizado para investigar ΔV_{th} producido por un estrés BTI. La

configuración experimental básica para realizar una medida MSM es la que muestra la Figura 1-15. Un SMU (*Source Measurement Unit*) de un analizador de parámetros de semiconductores se conecta en el terminal de puerta del transistor (SMU1) y otro en el terminal del drenador (SMU2). Para estresar el dispositivo (Figura 1-15a), el equipo se configura para que aplique una tensión de estrés alta, $V_{estrés}$, en el terminal de puerta, durante un tiempo de estrés $t_{estrés}$, con los terminales de drenador, fuente y sustrato conectados a tierra. Durante la etapa de medida (Figura 1-15b), se registra la corriente de drenador I_D , mediante el SMU2, al mismo tiempo que se aplica una pequeña tensión de drenador en rampa, V_{DS} , y una tensión de puerta, V_{meas} , para medir I_D-V_{GS} .

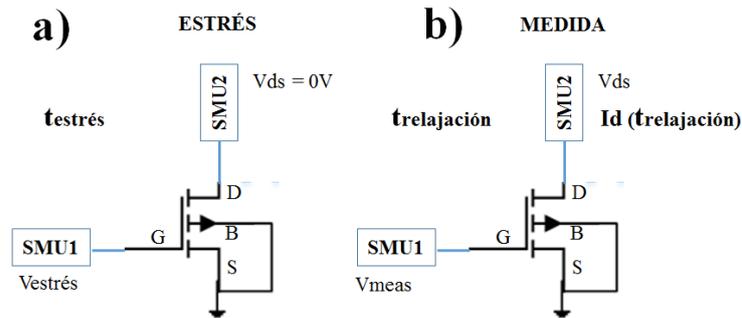


Figura 1-15. Configuración experimental básica para estresar (a) y medir ΔV_{th} (b) con la técnica MSM.

Teniendo en cuenta que una vez se interrumpe el estrés BTI la V_{th} se recupera muy rápido, resultados experimentales muestran que técnica la MSM no es adecuada si se quiere medir esta rápida variación, debido principalmente a que el tiempo que transcurre entre la interrupción del estrés y la medida de la característica $I_D - V_{GS}$ es grande ($> 100ms$)[85], [102]. Una variante de esta técnica que la hace un poco más rápida ($\sim 1ms$), consiste en medir la variación de corriente de drenador, ΔI_D , provocada por el estrés, a una sola tensión de puerta V_{meas} y drenador V_{DS} , en lugar de aplicar una rampa. El procedimiento se muestra en el ejemplo de la Figura 1-16. Fijado un nivel de corriente en la curva característica $I_D - V_{GS}$ inicial del transistor (o $I_S - V_{GS}$ para este ejemplo), para una tensión de puerta V_{meas} , ΔV_{th} será proporcional a la variación de la corriente ΔI_D (o ΔI_S) para la misma tensión V_{meas} [85]. Es importante que la tensión V_{DS} aplicada para medir ΔI_D sea la misma que la utilizada para medir la característica $I_D - V_{GS}$ previa al estrés.

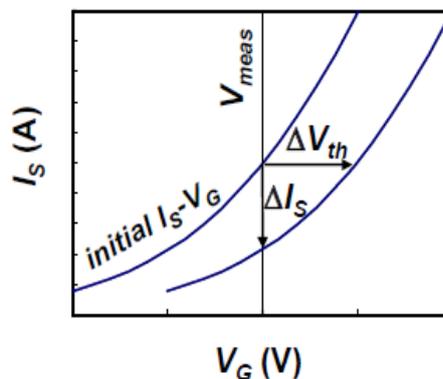


Figura 1-16. Características $I_S - V_{GS}$ antes y después de un estrés BTI [85]. ΔV_{th} se obtiene a partir de la variación de la corriente, ΔI_D , en un punto de polarización V_{meas} .

Conocida la corriente que circula por el canal del transistor sin estresar, I_0 , para unas tensiones de puerta V_{meas} y drenador V_{DS} , ΔV_{th} se obtiene a partir de la variación de la corriente medida

después de interrumpir el estrés, I_{MEDIDA} , en el mismo punto de polarización V_{meas} , V_{DS} , mediante la relación de la ec. 1-11:

$$\frac{I_{MEDIDA} - I_0}{I_0} \propto - \frac{\Delta V_{th}}{(V_{meas} - V_{th0})} \quad \text{ec. 1-11}$$

donde V_{th0} es la tensión umbral inicial del dispositivo.

La caracterización del BTI con una técnica no adecuada conlleva errores en la estimación de la degradación real experimentada por el dispositivo. A pesar de los buenos resultados que ofrece la técnica MSM, el tiempo que transcurre entre la interrupción del estrés y la obtención de la corriente ΔI_D (o ΔV_{th}) sigue siendo grande (entre 1ms y 100ms), como se observa en la Figura 1-13a. Para solventar este retardo de medición, se ha optado por las técnicas de caracterización ultrarrápidas (*Ultra-Fast*), que permiten registrar cambios de corriente y tensión en tiempos de microsegundos, una vez se interrumpe el estrés.

La técnica *Ultra-Fast*

Con el objetivo de medir la tensión umbral en tiempos muy cortos ($<10^{-4}$ s) una vez se interrumpe el estrés, se utilizan las técnicas *Ultra-Fast*. Estas técnicas se basan en el mismo concepto que las técnicas de caracterización MSM, pero están optimizadas para minimizar el tiempo entre el final del estrés y la medida de V_{th} durante el tiempo de relajación [50], [103]. Un *set-up* de medida *Ultra-Fast* se caracteriza por su alta velocidad, gracias al uso de sistemas rápidos de adquisición de datos, por ejemplo, osciloscopios o tarjetas de adquisición con altas tasas de muestro en combinación con conversores I-V. A modo de ejemplo, la Figura 1-17 muestra varias curvas de ΔV_{th} , en función del tiempo de relajación, obtenidas después de varios tiempos de estrés con un sistema de medida *Ultra-Fast*. En todas las curvas mostradas, ΔV_{th} se registra tras 1 μ s después de interrumpir el estrés. En la misma figura, se compara ΔV_{th} medido al cabo de 1 μ s con la técnica *Ultra-Fast* con ΔV_{th} medido al cabo de 1s con la técnica MSM convencional. Se observa claramente que cuanto más tiempo transcurre entre la interrupción del estrés y la medida de V_{th} (o I_D) la tensión umbral es menor, de modo que, al cabo de un segundo, V_{th} se ha recuperado un 50% respecto a su valor máximo registrado a 1 μ s. Este hecho impone una gran exigencia a las técnicas de caracterización del BTI, puesto que deben ser capaces de reproducir correctamente las variaciones de la tensión umbral en tiempos de relajación muy cortos ($\sim \mu$ s), hasta tiempos largos de relajación.

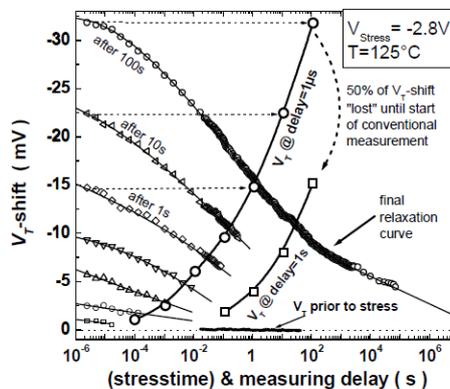


Figura 1-17. Variación de la tensión umbral durante el tiempo de relajación, en función del retardo de medición entre la interrupción del estrés y la medida de la V_{th} [102].

El principal factor que limita la velocidad de adquisición de un sistema *Ultra-Fast* es el convertor I-V, necesario para medir corrientes si no se usan los SMUs (lentos) de un analizador de parámetros de semiconductores. Un ejemplo de un convertor I-V usado en un sistema *Ultra-Fast* se muestra en la Figura 1-18. Esta figura muestra un circuito, basado en el concepto ultrarrápido MSM, que permite estresar el transistor y, una vez interrumpido el estrés, medir la recuperación de la V_{th} en un rango temporal que va de microsegundos hasta centenas de segundos [102]. Unos interruptores analógicos le permiten cambiar de un estado en el que se estresa el transistor (*stress*) a un estado de medida (*measure*) en el que se registra V_{th} mediante un sistema de adquisición de datos de alta velocidad conectado al terminal de puerta del transistor. Cuando los interruptores están en el modo de medida, en la puerta del transistor hay una tensión similar a V_{th} , gracias al Amplificador Operacional (A.O) y al lazo de realimentación entre la entrada inversora del A.O y la puerta del transistor (convertor I-V). La adquisición de ΔV_{th} , en tiempos de microsegundos, también depende del tiempo que tardan los interruptores en cambiar de estado, del ancho de banda del A.O y de la velocidad de muestreo del sistema de adquisición de datos. En esta tesis se ha desarrollado una variante de este circuito para estudiar la relajación del BTI, cuyo funcionamiento, prestaciones, ventajas e inconvenientes, respecto a otros *set-ups Ultra-Fast*, se describirán en el capítulo 2.

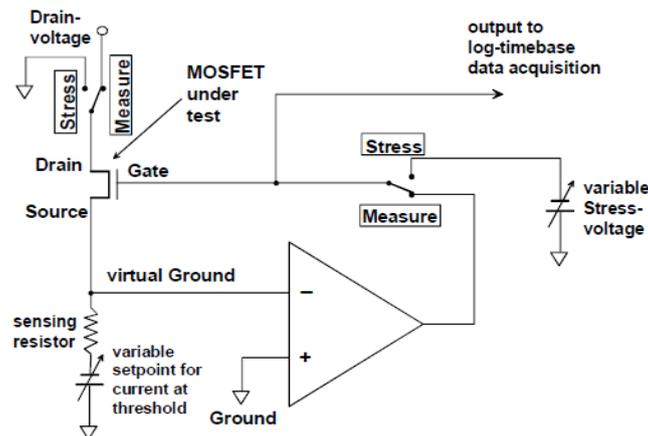


Figura 1-18. Circuito *Ultra-Fast* basado en el concepto de medida ultrarrápido MSM [102].

La técnica OTF

La técnica *On-The-Fly* (OTF), a diferencia de la MSM, trata de eliminar los efectos de la relajación del BTI midiendo la variación de la tensión umbral inducida por el estrés, sin interrumpirlo [94], [101], [104], [105]. ΔV_{th} se obtiene a partir de la monitorización de la corriente I_D que circula por el canal del transistor durante el tiempo de estrés cuando se aplican pequeñas variaciones de tensión en la puerta [106]. Para obtener ΔV_{th} a partir de la corriente medida es necesario conocer la transconductancia, g_m , del transistor. Para obtenerla, se aplican las señales que se muestran en el diagrama de la Figura 1-19a. Aplicando pequeñas variaciones de tensión de puerta, V_G , siendo $V_{Gstress}$ una tensión constante y V_{Gpulse} una señal pulsada que se superpone a $V_{Gstress}$, al mismo tiempo que se aplica una pequeña tensión de drenador V_D (i.e., 50mV), la transconductancia en un instante, n , se obtiene midiendo la corriente de drenador, I_D , en diferentes instantes (\bullet) de V_G , es decir I_{Dlin1} en $V_{Gstress}$, I_{Dlin2} en $V_{Gstress} + V_{Gpulse}$ y I_{Dlin3} en $V_{Gstress} - V_{Gpulse}$ (ec. 1-12) [106]

$$gm(n) = \frac{I_{DLin3} - I_{DLin2}}{[(V_{Gstress} + V_{Gpulse}) - (V_{Gstress} - V_{Gpulse})]} = \frac{I_{DLin3} - I_{DLin2}}{2V_{Gpulse}} \quad \text{ec. 1-12}$$

Un ejemplo de cómo obtener la transconductancia partir de la corriente de drenador, I_D , medida cuando se aplican pequeñas variaciones de tensión de puerta V_G , se muestra en la Figura 1-19b. gm se obtiene a partir de la pendiente hallada a partir de la representación de la corriente I_D en función de la tensión de puerta V_G . Finalmente, para calcular ΔV_{th} a partir de la corriente I_D medida se utiliza la ec. 1-13 [107]:

$$\Delta V_{th} = - \sum_{n=1}^N \frac{I_D(n) - I_D(n-1)}{[gm(n) - gm(n-1)]/2} \quad \text{ec. 1-13}$$

donde $I_D(n) - I_D(n-1)$ es la disminución de la corriente I_D entre dos instantes sucesivos en que se aplica la misma tensión V_G . La principal desventaja de esta ecuación es que asume que toda la degradación de la corriente (ΔI_D) se debe a un cambio de tensión umbral y no tiene en cuenta una posible degradación de la movilidad de los portadores en el canal debido al estrés BTI. Esto es uno de los principales inconvenientes de las técnicas OTF ya que en ΔI_D se incluye, a la vez, la variación de la V_{th} y la de la movilidad de los portadores (μ), debido a las altas tensiones de estrés [108]. Como consecuencia, resulta muy difícil poder separar la contribución de ΔV_{th} y la del $\Delta \mu$ en ΔI_D . Un método más riguroso para extraer ΔV_{th} a partir de ΔI_D se muestra en [94], donde se tiene en cuenta la degradación de la movilidad de los portadores. No obstante, es necesario utilizar equipos de medida de radiofrecuencia para su obtención, por ejemplo, un analizador de redes vectoriales (VNA).

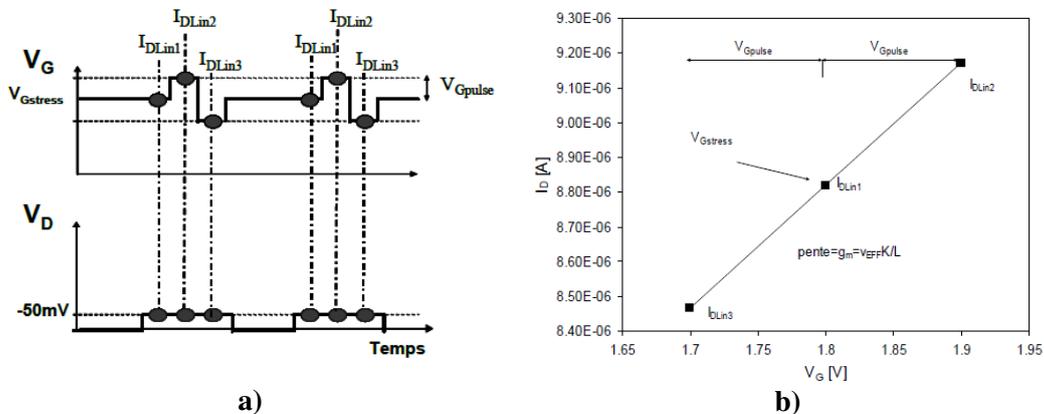


Figura 1-19. a) Diagrama de tensiones de puerta y drenador aplicadas durante una medida OTF, para poder medir ΔI_D durante el tiempo de estrés [106]. b) Corriente I_D medida en diferentes instantes de la tensión de puerta aplicadas a la puerta del transistor [106].

1.3.3. Modelos físicos del BTI

Existen varios modelos físicos que intentan explicar la fenomenología del BTI y las dependencias de ΔV_{th} con la tensión, la temperatura y el tiempo (de estrés y relajación), para su correcta extrapolación a otras condiciones de operación del transistor. Sin embargo, resultados experimentales han demostrado que muchos de ellos son insuficientes para describir el comportamiento del BTI en su totalidad [58]. Uno de los primeros modelos que trató de describir la degradación BTI fue el de *Reacción y Difusión* (R-D) [109], [110]. Según este modelo, en la interficie Si/SiO₂ se rompen enlaces Si-H, generándose especies móviles relacionadas con el

Hidrógeno (H, H⁺, H₂, OH). Por difusión, estas especies móviles, que se originan en la interficie, se propagan al interior del óxido con una dependencia temporal del tipo t^b . Inicialmente, el modelo R-D fue el más aceptado para describir ΔV_{th} producido por el estrés BTI. Sin embargo, unos años más tarde, se concluyó que este modelo no podía describir ΔV_{th} en su totalidad [102], [111], [112]. Uno de los motivos fue que, mientras que el modelo R-D preveía una evolución temporal de ΔV_{th} de tipo $t^{0,25}$, en la práctica se hallaron valores del exponente b más pequeños (entre 0,13 y 0,20). El modelo fue readaptado (2008) para obtener un nuevo valor de b (~0,16), más cercano a los obtenidos experimentalmente [58], [92], [109], [113].

Actualmente coexisten varios modelos que intentan describir el fenómeno BTI [58], por ejemplo, el modelo *Two-stage model* [114], [115], el *Two-Energy-well model* [54] o el *Probabilistic Defect Occupancy model* (PDO) [116]. A pesar de sus diferencias, todos ellos parten de la base que existen defectos (o trampas) localizados en el dieléctrico de puerta y/o en la interficie con el silicio. El aumento y la recuperación de V_{th} observado por el efecto del BTI se pueden explicar mediante la carga y la descarga de estos defectos durante los tiempos de estrés y de relajación, respectivamente. Teniendo esto en cuenta, es posible explicar las diferencias observadas en las características de relajación de dispositivos de área grande y pequeña. En dispositivos de área grande ($> 1\mu\text{m}^2$), en los que existen muchos defectos, ΔV_{th} decrece de forma continua durante el tiempo de relajación (Figura 1-13a), en un amplio rango temporal, lo que permite asumir que los tiempos de descarga de los defectos están distribuidos uniformemente en una escala logarítmica [97]. En cambio, en dispositivos de área pequeña, en los que hay pocos defectos, las descargas individuales son observables y la recuperación de V_{th} se produce en forma de saltos discretos en determinados tiempos, como muestra la Figura 1-13b [97], [99], [100].

En esta tesis, los resultados obtenidos durante la caracterización BTI se explicarán en el marco del modelo *Probabilistic Defect Occupancy model* (PDO) [116], desarrollado en el grupo de investigación REDEC (*Reliability of Electron Device and Circuits*) de la Universidad Autónoma de Barcelona, por lo que a continuación se explicará con detalle.

El modelo PDO

El *Probabilistic Defect Occupancy model* (PDO) permite describir la variación de la V_{th} que sufre un dispositivo MOSFET como consecuencia de un estrés BTI. Este modelo se basa en las propiedades estocásticas de los defectos individuales localizados en el dieléctrico de puerta y en la interfaz. El modelo asume que cada dispositivo tiene un número, N , de defectos que, cuando se cargan o descargan, provocan un cambio en la tensión umbral, η , diferente para cada defecto [117]–[119]. Si un defecto captura un electrón, V_{th} aumenta en magnitud y, por lo tanto, la corriente en el canal disminuye. Si lo libera ocurre lo contrario, la corriente del canal aumenta, porque V_{th} se reduce en magnitud. Así pues, ΔV_{th} se puede atribuir a la carga y la descarga de los defectos en determinados instantes, llamados tiempos de captura, τ_c , y de emisión, τ_e , respectivamente, cuyos valores pueden ser diferentes para cada defecto. Teniendo en cuenta que el ΔV_{th} provocado por un estrés BTI se puede descomponer en una componente recuperable, R , y una permanente, P , [86], la que da lugar a la parte recuperable, está relacionada con los procesos de carga/descarga de los defectos. En cambio, la que da lugar a la parte permanente, está relacionada con los defectos que han quedado cargados y no llegan a descargarse, debido a que tienen una constante de tiempo de descarga, τ_e , muy grande. Considerando que en el dieléctrico de puerta existe una cierta distribución de defectos, D , en el espacio τ_e – τ_c , y que la probabilidad de carga/descarga de los defectos, o probabilidad de ocupación P_{occ} , que depende de las

condiciones de operación del transistor y de τ_e , τ_c , el modelo PDO permite evaluar el correspondiente ΔV_{th} a partir del estado en que se encuentra cada defecto (cargado o descargado) en cada instante de tiempo. La ecuación ec. 1-14 proporciona ΔV_{th} para unos tiempos de estrés, t_s , y relajación, t_r , dados.

$$\Delta V_{th}(t_s, t_r) = N \langle \eta \rangle \int_0^{\infty} \int_0^{\infty} D(\tau_e, \tau_c) \cdot P_{occ}(\tau_e, \tau_c; t_s, t_r) d\tau_e d\tau_c + P_p \quad \text{ec. 1-14}$$

donde P_p es la parte permanente de ΔV_{th} . La distribución de defectos D , sólo depende de τ_e y τ_c , es decir, de las constantes de tiempo de emisión y de captura de los defectos, respectivamente. Estos tiempos dependerán de las condiciones de operación del transistor, es decir de la tensión de estrés y la temperatura [117]. La probabilidad de ocupación P_{occ} depende de los tiempos t_s y t_r y de τ_e y τ_c . Así pues, los parámetros fundamentales del modelo PDO necesarios para evaluar ΔV_{th} para unos tiempos de estrés y de relajación dados son los tiempos medios de emisión $\langle \tau_e \rangle$ y de captura $\langle \tau_c \rangle$ de los defectos, el valor medio de η ($\langle \eta \rangle$) y el número de defectos, N . A continuación, se describirá como evaluar la probabilidad de ocupación P_{occ} y la distribución D .

- **Probabilidad de ocupación**

Los defectos que contribuyen a ΔV_{th} durante la fase de estrés/relajación del BTI tienen una cierta probabilidad de estar cargados/descargados en cada instante de tiempo, Δt . Así, un defecto que se ha cargado durante el estrés tiene una alta probabilidad de permanecer cargado durante el tiempo de relajación t_r , si $t_r < \tau_e$, y una alta probabilidad de descargarse si $t_r > \tau_e$, donde τ_e es el tiempo característico de descarga (emisión de la carga) del defecto. El mismo razonamiento hecho para la relajación también puede aplicarse para el aumento de V_{th} durante el estrés, para una tensión y un tiempo de estrés t_s dados. Los defectos que tengan un tiempo característico de captura τ_c , tal que $\tau_c < t_s$, se cargarán y contribuirán al incremento de V_{th} durante el estrés. Los defectos que tengan $\tau_c > t_s$ permanecerán descargados. Durante el estrés, también existe una probabilidad de descarga de los defectos, pero solo lo harán aquellos que tengan un τ_e muy pequeño (se considera que son defectos muy rápidos en emitir su carga). Contrariamente, durante la relajación también hay una pequeña probabilidad de captura, en la que se pueden cargar algunos defectos que se habían descargado, contribuyendo a un incremento de V_{th} . Habitualmente se considera nula la probabilidad de descarga de los defectos durante el tiempo de estrés, así como la probabilidad de carga durante el tiempo de relajación. En la Figura 1-20 se muestra un esquema en el que se ha representado, conceptualmente, la carga y la descarga de los defectos durante el estrés y la relajación. Se considera un dispositivo con varios defectos representados por símbolos en la figura; cada uno de ellos tiene asociado un τ_e y un τ_c . Antes de iniciar el estrés, todos los defectos están descargados (\circ). Como consecuencia del estrés, los defectos con $\tau_c < t_s$ se habrán cargado (\bullet) (Figura 1-20a) y V_{th} aumentará. Durante la relajación (Figuras 1-20b-d), los defectos cuyos $\tau_e < t_r$ se descargarán (\circ), como se representa para los tiempos de relajación t_1 , t_2 y t_3 , y la V_{th} disminuirá con el tiempo de relajación.

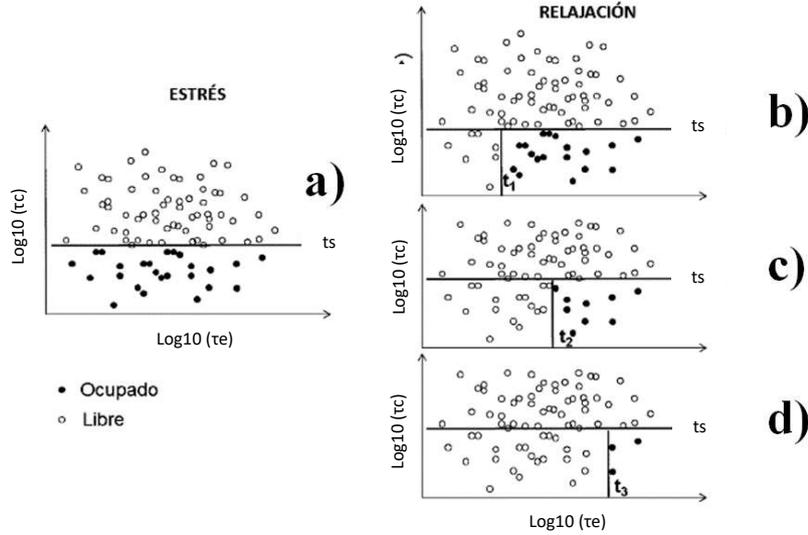


Figura 1-20. Representación conceptual de la carga/descarga de los defectos durante: a) un tiempo de estrés t_s y distintos tiempos de relajación t_1 , t_2 y t_3 (b, c, d). El estado de ocupación depende de los valores de las τ 's de los defectos en comparación con los tiempos de estrés y relajación.

Para un defecto descargado, la probabilidad de captura, P_c , cuando se aplica una tensión de puerta durante el estrés, viene dada por la ec. 1-15:

$$P_c = 1 - \exp(-t_s/\tau_c) \quad \text{ec. 1-15}$$

Y para un defecto cargado la probabilidad de descargarse, P_e , durante la relajación, viene dada por la ec. 1-16:

$$P_e = 1 - \exp(-t_r/\tau_e) \quad \text{ec. 1-16}$$

La probabilidad de ocupación, P_{occ} , es la probabilidad que un defecto esté cargado o descargado en cada instante de tiempo Δt y su valor está comprendido entre cero y uno. Considerando un estrés pulsado de dos niveles, en el que V_H corresponde al estado alto de la tensión de puerta y V_L al estado bajo, la probabilidad de ocupación de un defecto puede ser calculada con la ec. 1-17 [116]:

$$P_{occ}(t) = \frac{\tau_{eV_H,V_L}}{\tau_{cV_H,V_L} + \tau_{eV_H,V_L}} + \left(p_0 - \frac{\tau_{eV_H,V_L}}{\tau_{cV_H,V_L} + \tau_{eV_H,V_L}} \right) \times e^{-\frac{t-t_i}{\tau_{effV_H,V_L}}} \quad \text{ec. 1-17}$$

donde $\tau_{effV_H,V_L}^{-1} = \tau_{eV_H,V_L}^{-1} + \tau_{cV_H,V_L}^{-1}$ y t_i es el tiempo en la i -ésima transición del pulso. Los subíndices V_H y V_L hacen referencia al valor de τ_c , τ_e o τ_{eff} en la parte alta o en la parte baja del pulso, respectivamente. p_0 es la probabilidad de ocupación inicial y su valor corresponderá al último valor de P_{occ} , previo a la transición del pulso. Nótese que solo es necesario calcular la probabilidad de ocupación en cada transición de la tensión de estrés.

• **Distribución de los defectos en el espacio $\tau_e-\tau_c$**

El modelo PDO considera que los defectos siguen una distribución log-normal bivalente $D(\tau_e, \tau_c)$ [120] (Figura 1-21a). Sus parámetros son los tiempos medios de emisión y de captura $\langle \tau_e \rangle$ y $\langle \tau_c \rangle$, sus desviaciones estándar $\sigma_{\langle \tau_e \rangle}$ y $\sigma_{\langle \tau_c \rangle}$, y el coeficiente de correlación ρ entre $\langle \tau_e \rangle$ y $\langle \tau_c \rangle$. La ec. 1-18 muestra expresión que define la distribución:

$$D(\tau_e, \tau_c) = \frac{1}{2\pi\sigma_{\langle \tau_c \rangle}\sigma_{\langle \tau_e \rangle}\sqrt{1-\rho^2}} \cdot \exp \left[-\frac{1}{2(1-\rho^2)} \left[\left(\frac{\tau_c - \langle \tau_c \rangle}{\sigma_{\langle \tau_c \rangle}} \right)^2 + \left(\frac{\tau_e - \langle \tau_e \rangle}{\sigma_{\langle \tau_e \rangle}} \right)^2 - 2\rho \left(\frac{\tau_c - \langle \tau_c \rangle}{\sigma_{\langle \tau_c \rangle}} \right) \left(\frac{\tau_e - \langle \tau_e \rangle}{\sigma_{\langle \tau_e \rangle}} \right) \right] \right]$$

ec. 1-18

La Figura 1-21b muestra un ejemplo de una representación bidimensional de una distribución de defectos, en el espacio $\tau_e-\tau_c$, obtenida con la ec. 1-18 para unos valores de $\langle \tau_e \rangle = 10^{-5}$ s, $\langle \tau_c \rangle = 10^{-2}$ s, $\sigma_{\langle \tau_e \rangle} = 10^5$ s, $\sigma_{\langle \tau_c \rangle} = 10^6$ s y $\rho = 0,6$. Las zonas más rojizas de la distribución indican que hay una mayor población de defectos con esos tiempos de captura y emisión. En la misma figura se ha indicado el valor de $\langle \tau_e \rangle$ y $\langle \tau_c \rangle$, es decir, el centro de la distribución.

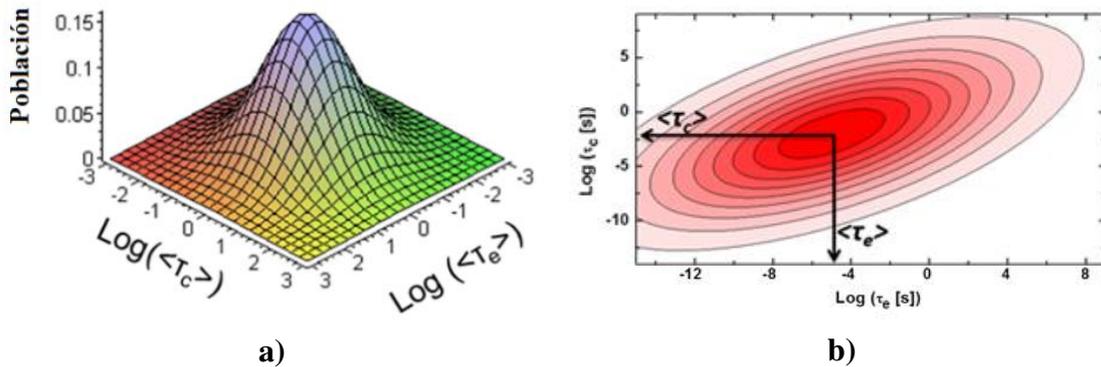


Figura 1-21. a) Distribución log-normal bivalente, en función τ_c y τ_e . b) Representación bidimensional de la distribución de los defectos, en función de los tiempos de emisión y de captura.

La Figura 1-22 muestra un ejemplo en el que se han representado distintas áreas (A, B o C) de una distribución de defectos $D(\tau_e, \tau_c)$. Estas áreas representan los defectos que contribuyen al ΔV_{th} , en función de los tiempos de estrés (t_{s0} y t_{s1}) y de relajación (t_{r0} y t_{r1}). Por ejemplo, después de un estrés BTI de duración t_{s0} , los defectos que contribuirán al ΔV_{th} son aquellos que han tenido tiempo suficiente para cargarse hasta t_{s0} ($\tau_c < t_{s0}$) y no han tenido tiempo para descargarse (áreas A y B). Una vez se interrumpe el estrés, empieza la recuperación de V_{th} . Los defectos que tengan tiempos de emisión más pequeños que el tiempo que transcurre entre la interrupción del estrés y la medida de la V_{th} , es decir t_{r0} , se descargarán (defectos comprendidos dentro el área A). Por lo tanto, los defectos cargados que contribuirán al ΔV_{th} serán los que se encuentran dentro del área B. El tiempo de relajación t_{r1} es un tiempo en que todos los defectos que contribuyen al ΔV_{th} se habrán descargado. Nótese que cuanto más pequeño sea t_{r0} , menos defectos del área A se descargarán y, por lo tanto, más grande será el área B. En consecuencia, el ΔV_{th} registrado en la medida experimental será más grande. Transcurrido un tiempo de relajación, tal que $t_r > t_{r0}$, si el transistor se somete a otro estrés durante un tiempo t_{s1} ($t_{s1} > t_{s0}$), los defectos que contribuirán al ΔV_{th} para

un tiempo de relajación t_{r0} y hasta un tiempo t_{r1} , serán los comprendidos en las áreas B y C de la distribución. Nótese que, sometiendo un transistor a distintos tiempos de estrés y de relajación, se puede determinar experimentalmente gran parte de la distribución.

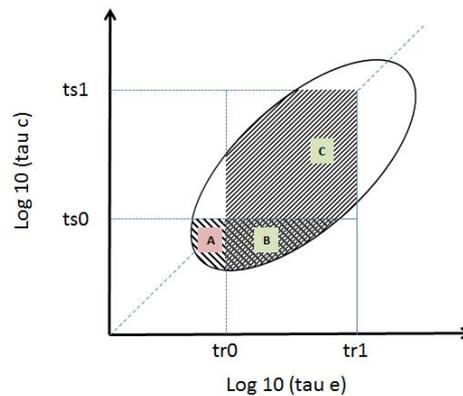


Figura 1-22. Distintas áreas de una distribución de defectos que contribuye al ΔV_{th} , para diferentes tiempos de estrés y de relajación.

A pesar que el modelo PDO permite obtener la distribución de defectos a partir de una caracterización experimental de ΔV_{th} en función del tiempo, será muy difícil cargar todos los defectos de una distribución. Es por este motivo que, sometiendo el transistor a distintas secuencias de estrés y de relajación, es posible reconstruir una fracción de la distribución, pero no la distribución entera. Cuando se somete un transistor a un estrés BTI, se van cargando los defectos preexistentes en el dieléctrico, pero también pueden generarse. En el caso que la generación de defectos sea muy grande, se puede producir una ruptura del dieléctrico de puerta del transistor [121].

- **Producto de la probabilidad de ocupación con la distribución de defectos**

Una vez conocidas la probabilidad de ocupación y la distribución de defectos, su producto nos permitirá determinar ΔV_{th} . A modo de ejemplo, en la Figura 1-23 se ha representado la probabilidad de ocupación (figura a), la distribución de defectos (figura b) y el producto entre ambas (figura c), en el espacio $\tau_e-\tau_c$. La probabilidad de ocupación (Figura 1-23a) se ha calculado con la ec. 1-17 para un tiempo de estrés $t_s = 1s$ y un tiempo de relajación $t_r = 100\mu s$. Las zonas más rojizas indican que hay una probabilidad muy alta (próxima a 1) de que un defecto esté cargado. La Figura 1-23b muestra la misma distribución de defectos que la mostrada en la Figura 1-21b. Finalmente, en la Figura 1-23c se ha representado el producto de la probabilidad de ocupación y la distribución de defectos. Todos los defectos comprendidos en el interior de esta área contribuirán al ΔV_{th} , para un tiempo de estrés de 1s y un tiempo de relajación de 100 μs . En el caso de que se consideraran tiempos de relajación más grandes, el área de la Figura 1-23c sería más pequeña, lo que indica que habrían menos defectos que contribuirían al ΔV_{th} . Como consecuencia, ΔV_{th} sería más pequeño que el obtenido a un tiempo de relajación $t_r = 100\mu s$. Por el contrario, cuanto menor sea el tiempo t_r , el área de la Figura 1-23c será más grande, indicando que habría más defectos cargados que contribuirían al ΔV_{th} . Como consecuencia, ΔV_{th} sería mayor.

Finalmente, para calcular ΔV_{th} , el área de la Figura 1-23c se integra en el espacio $\tau_e-\tau_c$. El resultado de dicha integral se tiene que multiplicar por el número de defectos, N, y el valor medio del parámetro η , $\langle \eta \rangle$, y posteriormente habría que sumarle la parte permanente, P_p . Nótese que en un dispositivo en el que hay pocos defectos, los parámetros N y $\langle \eta \rangle$ se pueden determinar

directamente de la medida de ΔV_{th} en función del tiempo de relajación (Figura 1-13b) [117]. Cada vez que ΔV_{th} disminuye (de forma discreta) equivale a un defecto que se ha descargado, el cual produce una disminución de valor η en la V_{th} . Sin embargo, cuando en el dispositivo hay muchos defectos y ΔV_{th} disminuye de forma continua con el tiempo de relajación (Figura 1-13a), los parámetros N y $\langle \eta \rangle$ no se pueden obtener directamente de la medida. Por otro lado, para poder obtener la contribución de la parte permanente (correspondiente a un ΔV_{th} constante con el tiempo) se necesitarían realizar medidas con tiempos de relajación relativamente largos ($> 10^5$ s). Para poder obtener tanto los parámetros N y $\langle \eta \rangle$, como P_p , evitando realizar medidas muy largas en tiempo, se ha desarrollado un nuevo método de extracción que será descrito en el capítulo 2.

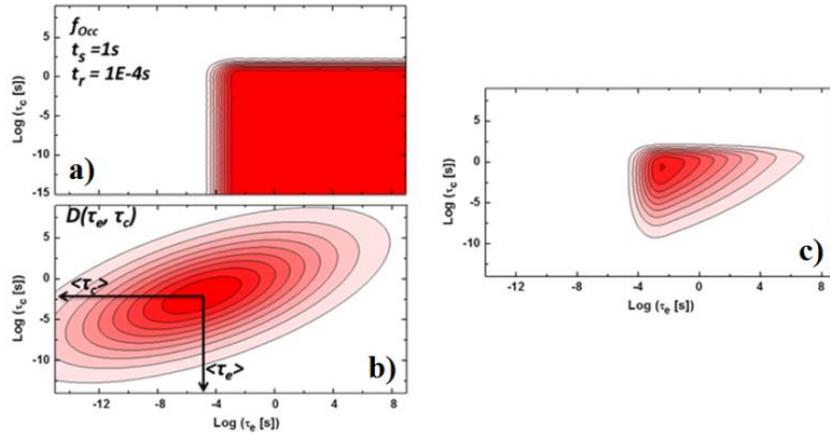


Figura 1-23. a) Probabilidad de ocupación, b) distribución de los defectos y c) producto de la probabilidad de ocupación con la distribución de los defectos, en el espacio τ_e - τ_c . Las zonas más rojizas indican que hay una probabilidad alta de encontrar un defecto con unos determinados valores de τ .

1.3.4. Dependencias de los tiempos de emisión y captura con la tensión y la temperatura

ΔV_{th} obtenida de la ec. 1-14 depende de las condiciones de operación (tensión y temperatura), incluidas en τ_c y τ_e , puesto que son varios los autores que han observado esta dependencia [117], [122]. A modo de ejemplo, en las Figuras 1-24a-b se han representado las distribuciones estadísticas de los tiempos de emisión y captura de un defecto, respectivamente, que produce un cambio en la corriente de drenador, δI_D , de 100nA (en valor absoluto) cuando se carga o descarga, para distintas temperaturas y a una tensión de puerta constante $V_{GS} = -0,8V$ [122]. En estas figuras se observa que τ_c y τ_e disminuyen al aumentar la temperatura, lo que indica que es mucho más probable que este defecto se cargue o descargue cuanto mayor sea la temperatura. Por lo tanto, las dependencias de $\langle \tau_c \rangle$ y $\langle \tau_e \rangle$ (valores medios), en función de la temperatura, siguen una ley exponencial, como muestra la ecuación ec. 1-19 [116]:

$$\langle \tau_c \rangle = \langle \tau_{0c} \rangle e^{\beta E_{ac}} \quad \text{y} \quad \langle \tau_e \rangle = \langle \tau_{0e} \rangle e^{\beta E_{ae}} \quad \text{ec. 1-19}$$

donde $\beta = 1/K_B T$, K_B es la constante de Boltzmann, T es la temperatura (en grados Kelvin) y $\langle \tau_0 \rangle$ es la constante de tiempo efectiva, que dependerá, implícitamente, de la tensión de estrés. E_{ae} y E_{ac} son las energías medias de activación de los defectos necesarias para emitir o capturar una carga, respectivamente. Su valor se obtiene mediante una representación de Arrhenius de $\langle \tau \rangle$ y considerando la ec. 1-19 [123].

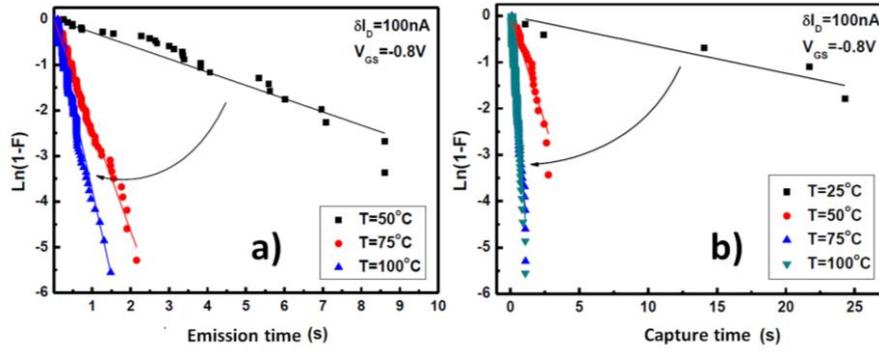


Figura 1-24. Distribuciones estadísticas de los tiempos a) de emisión y b) de captura de un defecto que cuando se carga/descarga produce un cambio en la corriente de drenador $\delta I_D = 100\text{nA}$, para distintas temperaturas y una tensión de puerta constante de $V_{GS} = -0,8\text{V}$ [122].

Por otro lado, las Figuras 1-25a-b muestran las distribuciones estadísticas de los tiempos de emisión τ_e y captura τ_c de un defecto, respectivamente, que produce un cambio en la corriente de drenador, δI_D , de 100nA (en valor absoluto) cuando se carga o descarga, para distintas tensiones de puerta y a una temperatura constante de 50°C. En estas figuras se observa que cuanto mayor es la tensión de puerta (en valor absoluto), los tiempos de emisión aumentan, pero los tiempos de captura disminuyen, lo que indica que será más probable que este defecto quede cargado cuanto mayor sea la tensión de estrés. Por el contrario, se necesitará un tiempo más largo para poder descargarlo. La figura muestra que las dependencias de $\langle \tau_c \rangle$ y $\langle \tau_e \rangle$ (valores medios) con la tensión de puerta V_{GS} también siguen una distribución exponencial, cuya ecuación es (ec. 1-20):

$$\langle \tau_c \rangle = a_c \cdot e^{bc|V_{GS}|} \quad \text{y} \quad \langle \tau_e \rangle = a_e \cdot e^{be|V_{GS}|} \quad \text{ec. 1-20}$$

donde a es una constante y b es el factor de variación de $\langle \tau \rangle$ con la tensión V_{GS} . La constante a tiene una dependencia (implícita) con la temperatura. En [124], [125] se muestra que la constante b es negativa para los tiempos de captura y positiva para los tiempos de emisión.

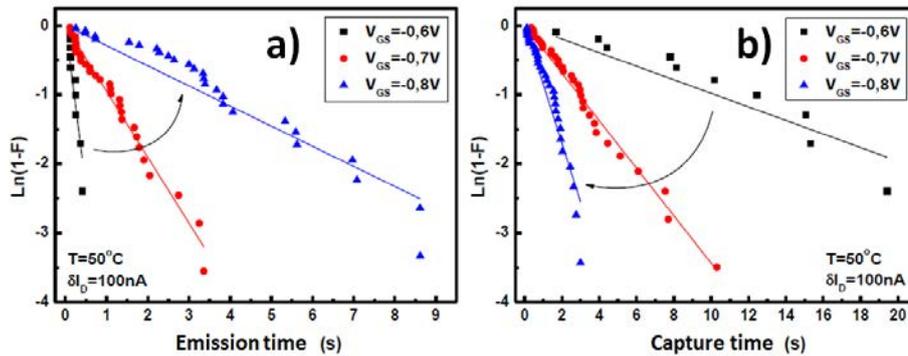


Figura 1-25. Distribuciones estadísticas de los tiempos a) de emisión y b) de captura de un defecto que cuando se carga/descarga produce un cambio en la corriente de drenador $\delta I_D = 100\text{nA}$, para distintas tensiones de puerta y a una temperatura constante de 50°C [122].

Una vez obtenidas las dependencias de $\langle \tau_c \rangle$ y $\langle \tau_e \rangle$ con la temperatura (ec. 1-19) y la tensión de estrés (ec. 1-20), se puede proponer una ley empírica para poder extrapolar $\langle \tau \rangle$ a cualquier otra condición de operación del transistor, es decir, $\langle \tau_e \rangle(V_{GS}, T)$ y $\langle \tau_c \rangle(V_{GS}, T)$. Combinando ec. 1-19 y ec. 1-20, se pueden redefinir los tiempos medios de captura y emisión según la ecuación ec. 1-21 [126]:

$$\langle \tau \rangle = k \cdot e^{\beta Ea} e^{b|V_{GS}|} \quad \text{ec. 1-21}$$

donde b y Ea son los parámetros empíricos obtenidos de la representación de $\langle \tau_c \rangle$ y $\langle \tau_e \rangle$ en función de la tensión V_{GS} y de la temperatura, respectivamente. El parámetro k es el producto de $\langle \tau_0 \rangle$ y a , y dependerá de la tensión de estrés y de la temperatura.

Las representaciones de τ_e y τ_c mostradas en las Figuras 1-24 y 1-25 hacen referencia a como afecta la tensión de puerta y la temperatura a la carga/descarga de un solo defecto. Sin embargo, en este trabajo se estudiará el efecto global que produce la temperatura y la tensión de estrés en la distribución de defectos, convirtiéndose en otro de los objetivos de esta tesis.

1.3.5. El Random Telegraph Noise (RTN)

Otro fenómeno que adquiere relevancia al disminuir las dimensiones del transistor MOSFET es el *Random Telegraph Noise* (RTN), un ruido de baja frecuencia en dispositivos semiconductores. Se manifiesta en forma de fluctuaciones de la corriente de canal (o de manera equivalente en la tensión umbral), de amplitud δI (o δV_{th}), entre diferentes niveles discretos, como muestra la Figura 1-26a. De la misma forma que el fenómeno del BTI, estas fluctuaciones están atribuidas a la captura/emisión de portadores en el canal por distintos defectos localizados en la interficie dieléctrico-semiconductor [109], [111], [127], [128]. Recientemente se ha demostrado que, dependiendo de las tensiones de puerta aplicadas, se obtiene el comportamiento típico del RTN (tensiones de puerta pequeñas; Figura 1-26a), o del BTI (tensiones de puerta elevadas; Figura 1-26b) [99], [111], [129].

El hecho que los fenómenos del RTN y del BTI se obtienen en rangos de tensiones distintos, hace pensar en una posible naturaleza distinta de los defectos que los ocasionan. En el RTN las tensiones aplicadas son pequeñas, por lo que se podría deducir que los defectos son los preexistentes en el dieléctrico de puerta. Sin embargo, en el BTI son los preexistentes más los posibles defectos generados durante el estrés. Por lo tanto, en el caso del BTI sería de esperar un número de defectos, N , mayor. Después de un estrés BTI, durante la recuperación de la tensión umbral también se puede observar el fenómeno RTN, como muestran las pequeñas fluctuaciones de ΔV_{th} observadas en la Figura 1-26b para un tiempo de relajación de 10s, aproximadamente.

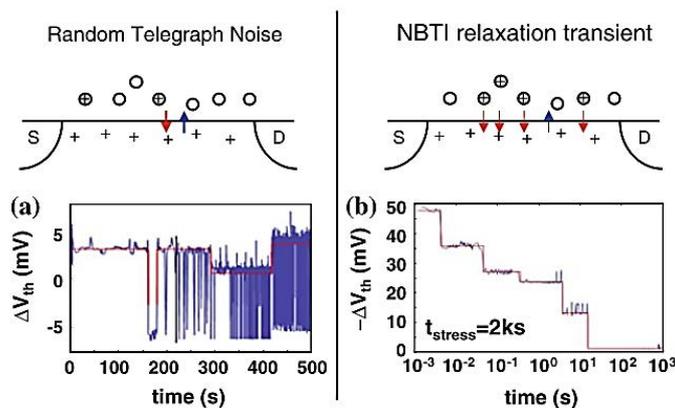


Figura 1-26. a) Señal RTN típica. Los posibles eventos de emisión y de captura de carga de los defectos quedan definidos en niveles discretos de corriente [111]. b) Comportamiento típico de la relajación del BTI en un transistor de área pequeña después de un estrés eléctrico. La recuperación de V_{th} se produce en forma de saltos discretos debido a los eventos de emisión de carga de los defectos [111].

Debido a las dimensiones alcanzadas en las tecnologías ultraescaladas, el RTN ha ganado mucho más protagonismo, sobre todo por su repercusión en el funcionamiento de las memorias. Se ha observado que el RTN puede afectar a los ciclos de lectura/escritura de bits en las memorias [130]–[134], pudiendo inducir un cambio en el estado del bit (de 0 a 1 o viceversa). También se ha observado que el RTN puede introducir un retardo temporal en las celdas DRAM. Como consecuencia, la celda se tiene que refrescar más veces, lo que implica un aumento en el consumo del circuito [135].

1.4 Degradación por portadores calientes

La degradación por portadores calientes (*Channel Hot Carriers; CHC*) o *Hot Carriers Injection (HCI)* es otro mecanismo de envejecimiento asociado al dieléctrico de puerta y se produce como consecuencia de la corriente que circula por el canal del transistor. Cuando se aplica una tensión de puerta superior a la tensión umbral ($|V_{GS}| > |V_{th}|$) y simultáneamente una tensión de drenador ($|V_{DS}| > 0$), la fuente inyecta portadores que van ganando energía a medida que avanzan hacia la región del drenador. Si la tensión de drenador es suficientemente alta ($V_{DS} > V_{DS_SAT}$, siendo V_{DS_SAT} la tensión de saturación del transistor) los portadores que llegan a la zona de estrangulamiento del canal (*pinch-off*) se ven fuertemente acelerados por el campo eléctrico. Un porcentaje de estos portadores sufren procesos de *scattering* y debido a la *ionización por impacto* se generan pares electrón-hueco en la región cercana al drenador (Figura 1-27). Los electrones (●) generados fluyen hacia el drenador y la puerta, y los huecos (○) hacia el sustrato conectado a tierra. Si el campo eléctrico en el drenador es muy elevado, los electrones generados adquieren una gran energía y pueden ser inyectados en el dieléctrico de puerta, dañándolo y modificando, por tanto, las características eléctricas del dispositivo. La generación de defectos en el dieléctrico de puerta repercute negativamente en la tensión umbral, en la corriente de saturación, I_{Dsat} , y en la transconductancia del transistor [136].

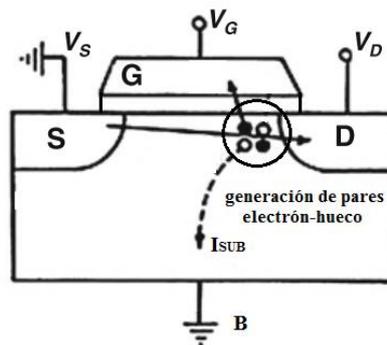


Figura 1-27. Generación de pares electrón-hueco en la región cercana al drenador durante un estrés CHC.

El parámetro habitualmente utilizado para cuantificar la degradación por portadores calientes es la corriente del sustrato, I_{SUB} . Aplicando una rampa de tensión, V_{GS} , en el terminal de puerta del transistor y al mismo tiempo una tensión V_{DS} en el terminal de drenador, midiendo I_{SUB} , se determina la tensión de puerta en que se produce la máxima degradación por CHC (para la tensión V_{DS} aplicada), como muestra la Figura 1-28. Cuando la corriente I_{SUB} es máxima, la degradación por portadores calientes también, por producirse el mayor número de pares electrón-hueco. En la Figura 1-28 se observa que para tensiones de puerta inferiores a la V_{th} ($\sim 0,7V$ en este caso), el canal no está formado y la corriente I_{SUB} es debida a la corriente de fuga de las uniones

semiconductoras del transistor. Para tensiones de V_{GS} superiores, I_{SUB} aumenta con esta tensión porque aumenta la corriente en el canal del transistor. A partir de una determinada tensión de puerta ($\sim 1,6V$), la corriente I_{SUB} empieza a disminuir debido a la disminución del campo eléctrico vertical en el canal y al aumento del campo eléctrico lateral, en la zona del drenador, porque V_{DS_SAT} aumenta con la tensión V_{GS} [137].

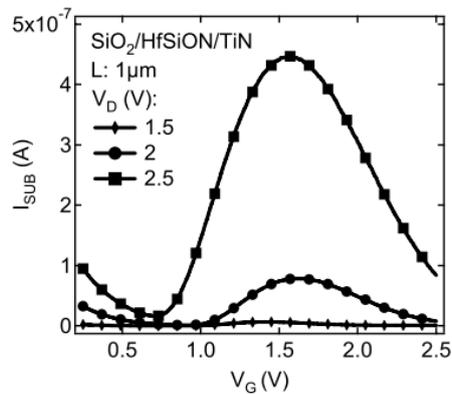


Figura 1-28 . Corriente de sustrato I_{SUB} en función de la tensión de puerta V_G , para distintas tensiones de drenador. La mayor degradación por CHC se produce para tensiones de drenador altas (2,5V) y tensiones de puerta de 1,6V, aproximadamente [138]

La condición de máxima degradación por CHC depende de la longitud de canal. Como ejemplo, en la Figura 1-29 se ha representado la corriente I_{SUB} , en función de la tensión de puerta, en un transistor nMOSFET de canal largo ($L = 1\mu m$) y en uno de canal corto ($L = 70nm$) [139]. En esta figura se observa que para longitudes de canal grandes, la máxima degradación por CHC se produce cuando $V_{GS} \approx V_{DS}/2$ [140]. En cambio, para longitudes de canal pequeñas, la máxima degradación se produce cuando $V_{GS} \approx V_{DS}$ [140], [141]. Por otro lado, en transistores pMOSFET se ha observado que la máxima degradación por CHC se produce cuando $V_{GS} \approx V_{DS}$, independientemente de la longitud de canal del transistor [142].

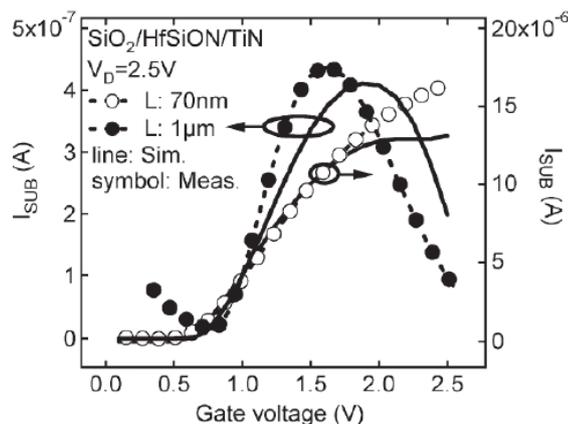


Figura 1-29. Variación de la corriente I_{SUB} en función de la tensión de puerta en transistores nMOSFET con longitud de canal corto y largo [139].

Uno de los primeros modelos desarrollados para describir la fenomenología del CHC fue el modelo *Lucky Electron Model* (LEM) [137], [143]. Este modelo parte de las probabilidades de ocurrencia de eventos que hacen posible que un electrón que circula por el canal del transistor sea inyectado hacia la puerta. Según el modelo LEM la degradación por CHC es debida a la

generación de estados interfaciales [142]. Con el avance de los nodos tecnológicos, la validez de este modelo para predecir correctamente el tiempo de vida de los dispositivos para diferentes tensiones de puerta ha sido muy cuestionada [138], [144]. Por este motivo, se han propuesto nuevos modelos, por ejemplo, el *Energy Driven Model* [144], [145], el *Electron Scattering (EES)* [146] o el *Multi Vibrational Excitation model (MVE)* [147]. Actualmente existen pocos modelos físicos que puedan describir ΔV_{th} observado tras un estrés CHC. Uno de los más actuales y utilizado en transistores con longitud de canal nanométrica, es el *Defect-Centric Distribution* [148], que se utilizó inicialmente para describir ΔV_{th} provocado por el BTI [98]. Este modelo tiene en cuenta tanto los defectos localizados en el dieléctrico, como los localizados en la interficie. Son éstos últimos los que predominan en la degradación por CHC, en dispositivos con una longitud de canal muy pequeña y en dieléctricos muy delgados.

En los trabajos más recientes, se ha propuesto que, puesto que en un estrés CHC el campo eléctrico en el canal no es uniforme, puede tener implicaciones en los mecanismos de degradación actuales. Así, la tensión entre la puerta y el sustrato (en la región cercana a la fuente) se podría considerar un estrés BTI, como muestra la Figura 1-30, el cual se sumaría a la degradación por CHC cerca de la región de estrangulamiento del canal (*pinch-off*) [139]. De este modo, la degradación total en el dispositivo se puede dividir en dos componentes: la degradación por BTI cerca de la fuente y la degradación por CHC cerca de la región del drenador. Esta división de la degradación total en dos componentes es aplicable para cualquier longitud de canal del transistor, temperatura [139] y para transistores con *high-k* como dieléctrico [149]. El predominio de la componente BTI sobre la componente CHC, o viceversa, depende mucho de las condiciones de estrés, es decir de las tensiones de puerta y drenador, de la temperatura y del tipo de transistor (nMOSFET o pMOSFET) [149].

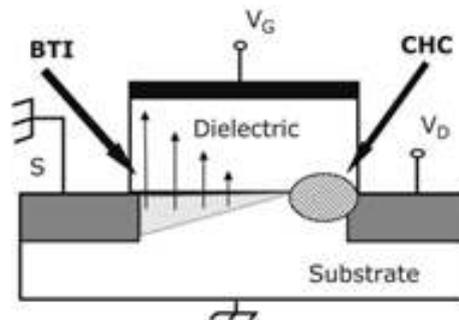


Figura 1-30. Degradación por BTI y CHC de forma simultánea en un transistor [149].

A pesar que la corriente de sustrato I_{SUB} es el parámetro más utilizado para estudiar y cuantificar la degradación por CHC, la degradación del transistor también se refleja en una variación de la tensión umbral. En un estrés CHC, ΔV_{th} depende del tiempo, de las tensiones de puerta y drenador aplicadas y de la temperatura. Cuando el estrés finaliza, la tensión umbral también inicia un proceso de recuperación y su velocidad de recuperación depende de las condiciones estrés. En la caracterización del CHC se ha observado que cuanto mayor es la tensión V_{DS} aplicada durante el estrés, menor es ΔV_{th} y más lentamente recupera la tensión umbral, en comparación al ΔV_{th} obtenido en la caracterización del BTI. La peor condición de estrés CHC se produce cuando la tensión de drenador es la misma que la aplicada a la puerta. A modo de ejemplo, en la Figura 1-31 se comprara ΔV_{th} obtenido después de un estrés CHC cuando las tensiones de drenador y puerta son iguales, con el obtenido en un estrés NBTI. Se observa que tanto ΔV_{th} como

la velocidad de recuperación de V_{th} son más pequeñas después de interrumpir un estrés CHC, en comparación a un estrés NBTI, para un mismo tiempo de estrés.

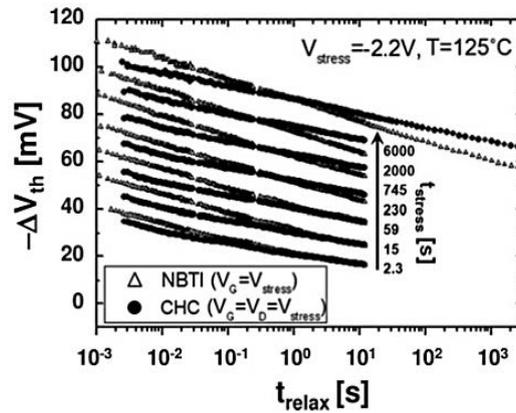


Figura 1-31. a) Comparación de ΔV_{th} en función del tiempo de relajación tras interrumpir un estrés NBTI y un estrés CHC. Ambos transistores se han estresado durante el mismo tiempo [84].

Visto que la degradación producida por el CHC depende de mucho de la tensión de drenador aplicada durante el estrés, en esta tesis también se estudia como ΔV_{th} depende de esta tensión de y cómo ésta influye en la distribución de los defectos que contribuyen a ΔV_{th} y a la parte permanente (considerando el modelo PDO). Los resultados obtenidos de la caracterización del CHC se compararán con los obtenidos en estreses BTI a diferentes tensiones y temperaturas.

2. IMPLEMENTACIÓN DE UN SISTEMA *ULTRA-FAST* Y EXTRACCIÓN DE PARÁMETROS DEL MODELO PDO

Tal y como se ha expuesto en el primer capítulo, el BTI es un importante mecanismo de degradación asociado al dieléctrico de puerta que afecta particularmente a la tensión umbral, V_{th} , del transistor. Se ha observado que, al aplicar un voltaje de estrés al terminal de puerta, con el resto de terminales conectados a tierra, se produce un incremento de dicha tensión, ΔV_{th} . Tras interrumpir el estrés esta variación cambia con el tiempo; ΔV_{th} disminuye a medida que aumenta el tiempo que transcurre entre que se interrumpe el estrés hasta que se mide dicha variación. Esta disminución es muy rápida en los primeros instantes y es uno de los aspectos que más dificulta la caracterización del BTI, ya que no es fácil de medir y es la que permite estimar la degradación real generada en el dispositivo debido al estrés. Por tanto, es necesario medir la tensión umbral degradada en tiempos lo más cortos posibles desde la interrupción de estrés, ya que para dichos tiempos se obtiene las variaciones de la tensión umbral más elevadas.

Inicialmente, para poder obtener la variación de la tensión umbral se utilizaban técnicas de caracterización convencionales, por ejemplo la MSM. Sin embargo, el uso de estas técnicas producía un lapso de tiempo muy grande ($\sim 1s$) entre la interrupción del estrés y la medida de la tensión umbral. Con el fin de reducir este retardo asociado a la medida, por un lado se han desarrollado diferentes modelos físicos los cuales permiten extrapolar analíticamente ΔV_{th} a tiempos cercanos a la finalización del estrés [56], [85]. Por otro lado, tal y como se ha descrito en el capítulo 1, se han desarrollado las técnicas de caracterización del BTI ultrarrápidas que permiten medir esta variación en un tiempo muy corto ($\sim \mu s$), una vez se interrumpe el estrés. Con el objetivo de complementar estas técnicas y hacerlas más versátiles, en este capítulo se ha desarrollado una nueva técnica basada en el concepto ultrarrápido para la caracterización del BTI. Para implementarla se ha desarrollado un *set-up* de medida mediante el cual se ha podido reducir el tiempo que transcurre entre la interrupción del estrés y la medida de la tensión umbral y además ampliar el tiempo de medida desde tiempos muy cortos (μs) hasta centenares de segundos. Este *set-up* está formado principalmente por un circuito *Ultra-Fast* diseñado y fabricado durante esta tesis y un sistema de control y adquisición de datos con una alta velocidad de muestreo.

Como complemento a la técnica de caracterización ultrarrápida, se ha desarrollado una metodología que permite obtener los parámetros del modelo PDO (*Probabilistic Defect Occupancy Model*) [116] a partir de ΔV_{th} experimentalmente obtenido en función del tiempo de relajación. Por un lado, estos parámetros permiten extrapolar ΔV_{th} a tiempos de relajación fuera del rango de la medida experimental. Por el otro, proporcionan información sobre la distribución de defectos en el transistor, que pueden o no contribuir al ΔV_{th} , el número total defectos, N , que producen un cambio $\langle \eta \rangle$ en V_{th} y la contribución permanente, P_p en ΔV_{th} . Todos estos resultados podrán ser incluidos en herramientas de simulación de circuitos con el objetivo de mejorar la fiabilidad del CI. Esto permitirá desarrollar estrategias de diseño de circuitos, de manera que la degradación del BTI afecte en el menor grado posible a sus prestaciones.

Como ejemplo de aplicación de las herramientas desarrolladas, en la última sección de este capítulo se ha estudiado y comparado la degradación de la tensión umbral debido al NBTI en transistores fabricados con diferentes procesos de *annealing*. Los resultados obtenidos se han explicado en el contexto del modelo PDO, basándose básicamente en la probabilidad de captura y de emisión de los defectos.

2.1 Diseño e implementación de un sistema de caracterización *Ultra-Fast*.

En el capítulo 1 se ha visto que cuando se utiliza la técnica de caracterización MSM, el valor de ΔV_{th} queda subestimado debido al rápido proceso de recuperación de la tensión umbral inherente al fenómeno, una vez se interrumpe el estrés. En esta sección se describe el *set-up* de medida que se ha desarrollado en esta tesis, el cual está basado en el concepto de medida *Ultra-Fast*, con el fin de reducir el tiempo que transcurre entre la interrupción del estrés y la medida de la V_{th} . El *set-up* permite registrar ΔV_{th} desde tiempos muy cortos ($<50\mu s$) y extender la medida hasta centenares de segundos. Las ventajas que ofrece este *set-up* de medida son:

- Rapidez: es tres órdenes de magnitud más rápido ($\sim \mu s$) que los *set-ups* basados en la técnica de caracterización MSM ($\sim ms$). El *set-up Ultra-Fast* incorpora un circuito electrónico específico que, combinado con un sistema de adquisición de datos de alta velocidad, por ejemplo un osciloscopio, permite medir ΔV_{th} desde tiempos muy cortos hasta tiempos muy largos de relajación.
- Versátil: el usuario puede configurar una medida de BTI con las tensiones de estrés y de drenador que considere adecuadas. También puede fijar tiempos de estrés superiores a 1s y tiempos de relajación desde 5ms hasta centenares de segundos. En cambio, el *set-up Ultra-Fast* mostrado en la sección 1.3.2 [102] tiene la desventaja que en el caso de aplicar un estrés que se repite periódicamente, el tiempo de estrés tienen que ser por lo menos 100 veces más pequeño que el tiempo de relajación. En el caso que no se respeten estos tiempos, el sistema propuesto no puede detectar cuando se produce la interrupción del estrés.
- Bajo coste: el sistema desarrollado tiene un coste realmente asequible (inferior a 1000€) respecto a otros equipos de medida comerciales cuyo precio sobrepasa los 40.000€.

Una vez descritas las características principales que caracterizan el *set-up* de medida *Ultra-Fast* desarrollado, respecto a otros *set-ups*/equipos, a continuación se describirá su funcionamiento. En diagrama de bloques se representa en la Figura 2-1. Siguiendo un orden de

derecha a izquierda, primero encontramos el transistor a estudiar (*Device Under Test*; DUT) el cual, en nuestro caso, está contenido en una oblea, situada en una mesa de puntas dentro de una *Jaula de Faraday*. El transistor está conectado a un bloque llamado “circuito *Ultra-Fast*” que es el conversor I-V, bloque fundamental para registrar ΔV_{th} ya que no se utilizan SMUs de un analizador de parámetros de semiconductores. Este bloque es el que limita la velocidad de adquisición del sistema y está conectado juntamente con los bloques “fuentes de alimentación y generador de pulsos” e “instrumentos de medida”. Estos dos bloques están controlados por un “sistema de control y adquisición de datos”, cuya configuración de control se define mediante una “interfaz de usuario”. A continuación, se describirá con más detalle este sistema.

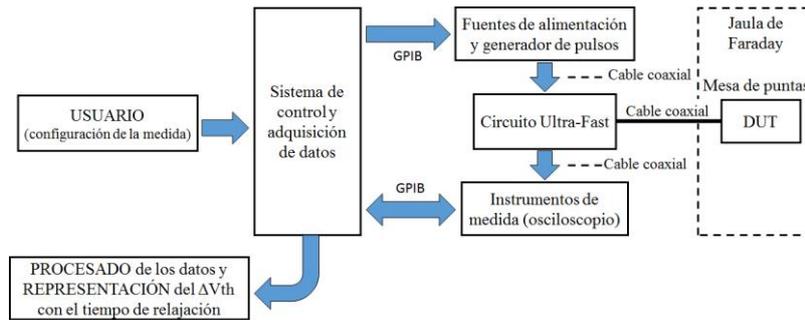


Figura 2-1. Diagrama de bloques del *set-up* de medida desarrollado, basado en la técnica *Ultra-Fast*.

El transistor a estudiar (*Device Under Test*; DUT) se encuentra situado en una oblea. Para poder acceder a él, se utiliza una mesa de puntas (Figura 2-2a) en la que cuatro posicionadores con resolución micrométrica permiten acceder a sus terminales (uno para cada terminal del transistor). La oblea está situada sobre de una base llamada *chuck* y es sujeta por succión (Figura 2-2b). Con la ayuda de un microscopio, las puntas se posicionan encima de los contactos del transistor. Los posicionadores incorporan unos conectores que permiten conectar eléctricamente el dispositivo que se quiera medir con el equipo de medida, por ejemplo con un analizador de parámetros de semiconductores. Para evitar las perturbaciones electromagnéticas, la mesa de puntas está situada dentro de una *jaula de Faraday*, consiguiendo minimizar los efectos de las interferencias. Para poder acceder eléctricamente desde el exterior de la jaula a los posicionadores, se utilizan unos conectores triaxiales-coaxiales o coaxiales-coaxiales (Figura 2-2c) que realizan la conexión de los posicionadores y los equipos de medida.

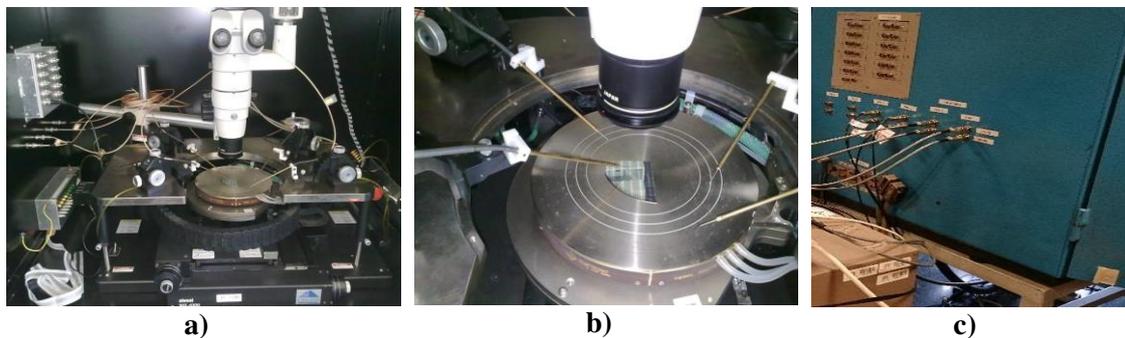


Figura 2-2. a) Mesa de puntas utilizada en el laboratorio para medir el DUT. b) Zoom de la parte central de la mesa de puntas en el que se observa un cuarto de una oblea situada en el centro del *chuck*, un microscopio en la parte central y cuatro puntas en los laterales (cada una de ellas sujeta a un posicionador que permite mover la punta con una resolución micrométrica) que permiten contactar transistores que se encuentran en la oblea. c) Conjunto de conectores situados en el lateral exterior de la *jaula de Faraday* que permiten conectar eléctricamente el DUT con el *set-up* de medida desde el exterior de la jaula.

Cuando se utiliza la técnica de caracterización MSM convencional, el analizador de parámetros de semiconductores se conecta a las puntas/posicionadores de la mesa de puntas para aplicar tensión y medir la corriente. Sin embargo, para realizar una medida *Ultra-Fast*, en vez de utilizar un analizador de parámetros de semiconductores es necesario utilizar un circuito electrónico al que hemos llamado *circuito Ultra-Fast*, como muestra en el diagrama de la Figura 2-1. Este circuito permite forzar una tensión de estrés en la puerta del transistor y medir directamente V_{th} tras un intervalo de tiempo muy corto, una vez se interrumpe el estrés. Para poder aplicar una tensión de estrés y registrar ΔV_{th} durante el tiempo de relajación, el *circuito Ultra-Fast* necesita una fuente de tensión externa, un generador de pulsos y un instrumento de medida que permita registrar ΔV_{th} después de interrumpir el estrés, como por ejemplo un osciloscopio. La fuente de tensión permite alimentar el circuito y forzar la tensión de estrés en la puerta del transistor. Como veremos, el generador de pulsos permite cambiar el sistema de un estado de estrés a un estado de medida en el que se registra ΔV_{th} .

Todos los equipos que intervienen en la medida están controlados por el *sistema de control y adquisición de datos* (formado por un PC y un software desarrollado) a través de un bus GPIB (*General Purpose Interface Bus*), regulado por el estándar de comunicación IEEE 488 [150]. La comunicación del *circuito Ultra-Fast* con las fuentes de alimentación y el generador de pulsos es unidireccional, porque el *sistema de control* solo necesita configurarlos para que apliquen las tensiones correspondientes. Sin embargo, la comunicación con el osciloscopio es bidireccional, porque el *sistema de control y adquisición* configura el osciloscopio y se comunica constantemente con él para adquirir ΔV_{th} registrado durante el tiempo de relajación. Finalmente, es el usuario quien fija en el *sistema de control y adquisición* los tiempos de estrés y de relajación, así como las tensiones en la puerta y drenador, a través de una interfaz de usuario. Al iniciar la medida, el *sistema de control y adquisición* primero configura los equipos en base a estos parámetros y luego realiza la medida. Una vez finalizada, el *sistema de control* se encarga de procesar los datos almacenados en la memoria y de representar ΔV_{th} en función del tiempo de relajación.

Una vez presentado el funcionamiento general del *set-up* de medida *Ultra-Fast*, a continuación se describirán con detalle los elementos fundamentales del sistema desarrollado: el *circuito Ultra-Fast* y el *sistema de control y adquisición de datos*.

2.1.1. Circuito *Ultra-Fast*

El *circuito Ultra-Fast* es el elemento central del *set-up* desarrollado y se conecta directamente a los terminales de puerta, drenador y fuente del transistor. Es el que permite forzar una tensión de estrés en la puerta del transistor y medir V_{th} durante la relajación. Su característica principal es su rapidez en cambiar de un estado en el que se estresa el dispositivo (*modo estrés*), a un estado en el que se mide ΔV_{th} (*modo medida*), en tiempos inferiores a $50\mu s$. La Figura 2-3a muestra el esquemático del *circuito Ultra-Fast*, el cual está formado por tres interruptores analógicos (integrados en un chip) que permiten aplicar en el terminal de drenador del transistor una tensión V_{DS} o 0V (GND), en el terminal de puerta una tensión de estrés, $V_{estrés}$, o conectar el terminal de puerta del transistor con la salida de un amplificador operacional (A.O). El estado de estos interruptores está determinado por una señal de *control* que permite cambiar del *modo estrés* al *modo medida*. La tensión de estrés, $V_{estrés}$, la tensión de drenador, V_{DS} , así como la tensión de alimentación del A.O, se aplican con fuentes de tensión programables externas al *circuito Ultra-Fast*. El DUT está en el bucle de realimentación del amplificador operacional, en el que los

terminales de puerta y fuente están conectados en la salida y en la entrada inversora del A.O, respectivamente. Un punto importante es la corriente que circula por el MOSFET. En la misma figura se ha representado la corriente I_{bias} , que es la corriente que circula por el canal del transistor fresco cuando $V_G = V_{th}$, donde V_G es la tensión de puerta del transistor. Esta corriente es muy importante porque es la que permite obtener ΔV_{th} en el terminal de puerta del transistor después de interrumpir el estrés. Esta corriente se obtiene de la característica $I_D - V_{GS}$ del dispositivo fresco. Una vez determinado I_{bias} , se fuerza esta corriente por el MOSFET fijando el valor de R_{bias} y la tensión V_{bias} (tensión externa al circuito). V_{GS} es la tensión de interés que se mide mediante una sonda de osciloscopio conectada en el terminal de puerta del transistor, y su transmisión al sistema de control y adquisición de datos (PC) a través del bus GPIB.

La Figura 2-3b muestra el diagrama de tiempos de las señales en el *circuito Ultra-Fast* durante los *modos estrés y medida*. En este diagrama se han representado, en función del tiempo, las tensiones y las corrientes más relevantes del circuito para los dos modos de funcionamiento: la tensión de control de los interruptores, $V_{control}$, la tensión en el terminal de drenador del dispositivo, $V_{Drenador}$, la tensión en la puerta del transistor, V_{GS} , y la corriente de drenador, I_D . A continuación, se explicará el funcionamiento del circuito en el *modo estrés* y el *modo medida* del *circuito Ultra-Fast*, utilizando este diagrama.

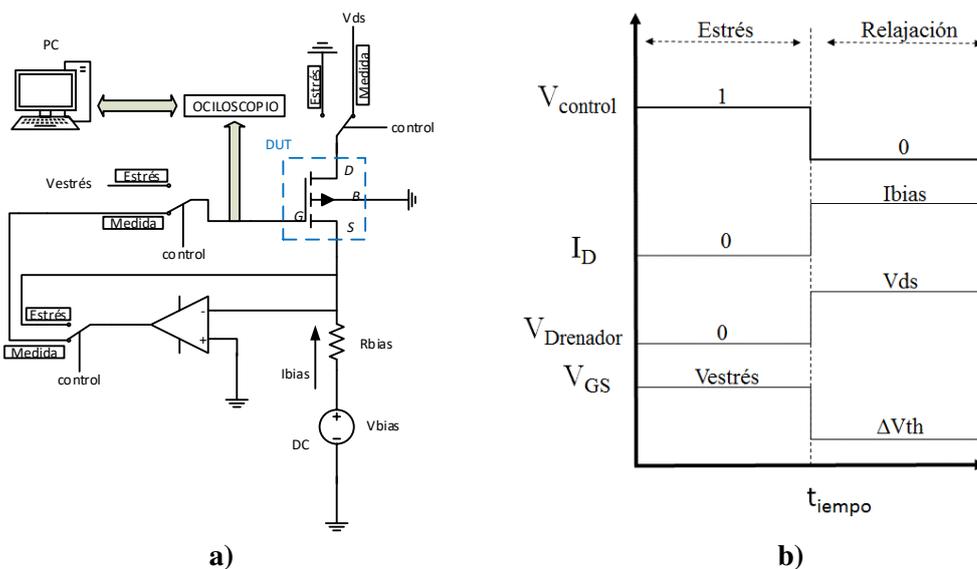


Figura 2-3. a) Circuito esquemático y b) diagrama de tiempos de las tensiones y corrientes en el *circuito Ultra-Fast*.

Modo estrés

Cuando los interruptores se encuentran en el *modo estrés* ($V_{control}$ en estado alto o 1), la configuración del circuito es la que muestra la Figura 2-4. En este modo se estresa el transistor o DUT con una tensión de puerta $V_{GS} = V_{estrés}$ durante un tiempo de estrés ($t_{estrés}$), con los terminales de drenador, fuente (por cortocircuito virtual) y *bulk* conectados a tierra, con el fin de inducir la degradación BTI en el dispositivo. El lazo de realimentación del A.O del *circuito Ultra-Fast* se cierra por el terminal de fuente del DUT es para evitar que el A.O se sature y, en consecuencia, se produzca una ruptura dieléctrica en el DUT cuando los interruptores cambian a *modo medida*. Nótese que, durante el estrés, la tensión en el terminal de drenador, $V_{Drenador}$, es cero. Debido a que no existe una diferencia de potencial entre los terminales de drenador y fuente durante el

estrés, por el canal del transistor no circula corriente, motivo por el cual la corriente de drenador es nula ($I_D = 0A$; estrés BTI). Por lo tanto, la corriente I_{bias} circula por el lazo de realimentación del A.O, de modo que $I_{bias} = I_{Bn}$ como se observa en la Figura 2-4. Sin embargo, el *circuito Ultra-Fast* también permite evaluar ΔV_{th} atribuido a la degradación por CHC. En este caso, simplemente en el terminal de drenador se debería aplicar un potencial ($V_{DS} \neq 0V$).

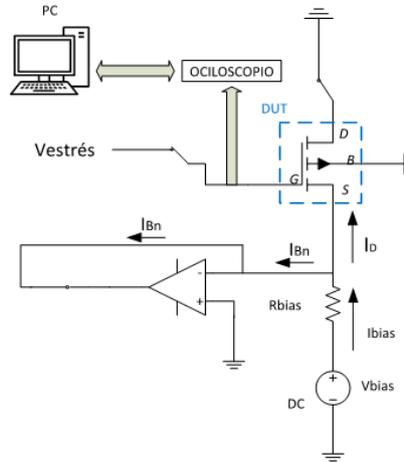


Figura 2-4. Esquemático del *circuito Ultra-Fast* en *modo estrés*.

Modo medida

Cuando termina la fase de estrés los interruptores cambian al *modo medida* ($V_{control}$ en estado bajo o $0V$) y la configuración del circuito es la que muestra la Figura 2-5. La tensión de puerta será similar a V_{th} gracias al lazo de realimentación del amplificador operacional con el terminal de puerta del transistor, a la corriente I_{bias} y a la pequeña tensión ($< 100mV$) aplicada en el terminal de drenador del DUT ($V_{Drenador} = V_{DS}$). Nótese que debido al estrés eléctrico al que se ha sometido el dispositivo en la fase anterior, al interrumpir el estrés se deberá aplicar una tensión de puerta V_{GS} más elevada que la aplicada en el DUT sin estresar, para garantizar la corriente I_{bias} en el canal. El A.O es el que se encarga de aplicar esta tensión en la puerta del transistor (suponiendo que por el terminal de entrada inversor no entra corriente, es decir $I_{Bn} = 0$). Esta variación de V_{GS} , respecto la tensión V_{GS} del DUT sin estresar, es la que se registra con el osciloscopio durante el tiempo de relajación.

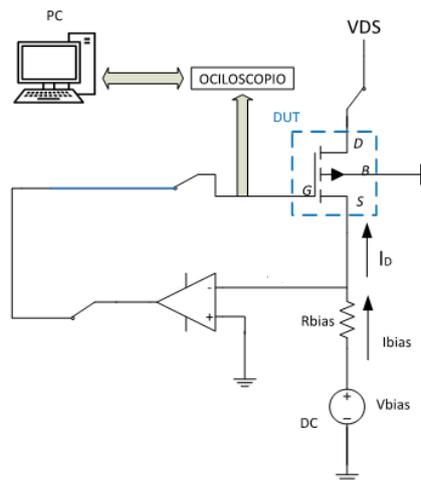


Figura 2-5. Esquemático del *circuito Ultra-Fast* cuando funciona en *modo medida*.

El circuito *Ultra-Fast* mostrado en la Figura 2-3a se ha simulado con la herramienta de diseño OrCAD pSpice [151] y fabricado en una placa de circuito impreso (PCB). La Figura 2-6a muestra el esquemático y la Figura 2-6b una fotografía del circuito fabricado. En la misma fotografía se han indicado los terminales del circuito que van conectados al DUT, así como los terminales en los que se aplican las tensiones de estrés $V_{estrés}$, de control $V_{control}$ y de drenador V_{DS} . La corriente I_{bias} se fuerza externamente con una fuente de corriente en el conector de fuente del circuito. En la figura también se han indicado los contactos de alimentación del circuito (V^+ y V^-), el cual está alimentado $\pm 15V$, respectivamente. Todos los conectores son coaxiales a excepción de los contactos de alimentación y tierra (GND). El circuito está formado por dos chips analógicos DG303ACJ (SW1 y SW2), cada uno de los cuales integra dos conmutadores de dos estados. Ambos son compatibles con la familia TTL (*Transistor-Transistor Logic*) y tienen rangos de tensiones de operación comprendidos entre 0V y 0,8V para el estado bajo y entre 5V y 5,4V para el estado alto. Los tiempos de conmutación son de alrededor de 130ns. El circuito también consta de un amplificador operacional TL071 (A.O) de bajo ruido ($18nV/\sqrt{Hz}$ a una frecuencia de 1KHz), con un *slew rate* alto ($13V/\mu s$) y una impedancia de entrada alta ($10^{12}\Omega$). El ancho de banda unitario del A.O es de 3MHz.

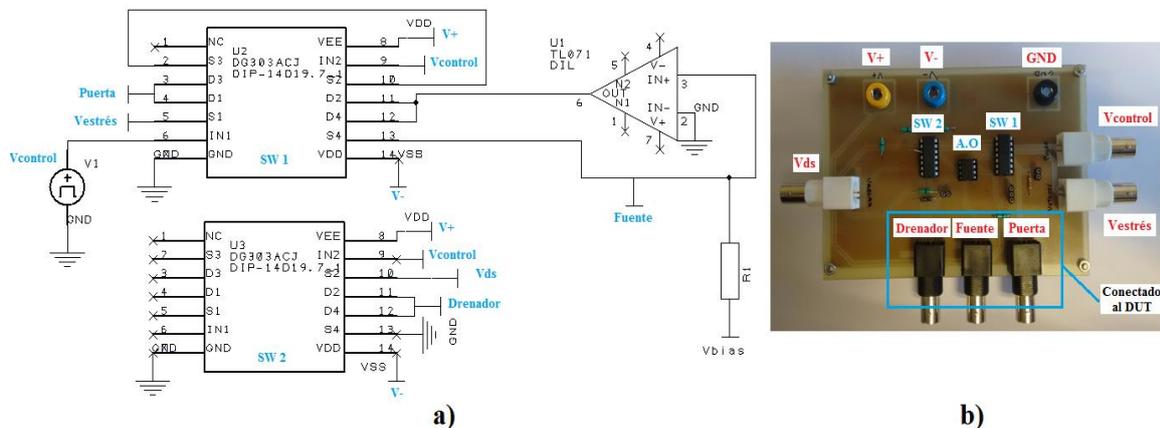


Figura 2-6. a) Circuito esquemático hecho con el programa de diseño Pspice OrCad, y b) fotografía del *circuito Ultra-Fast* fabricado en la placa PCB.

Ventajas del *circuito Ultra-Fast* sobre otros sistemas de medida

La razón por la cual el *circuito Ultra-Fast* permite evaluar V_{th} en tiempos de microsegundos, una vez se interrumpe el estrés, es que las tensiones de estrés $V_{estrés}$ y de drenador V_{DS} , y del mismo modo la corriente I_{bias} , se aplican todo el tiempo. De modo que para aplicar estas tensiones en los terminales del DUT sólo se tiene que cambiar el estado de los interruptores. Gracias a esto, se consigue reducir muchísimo el tiempo que transcurre entre el cambio del *modo estrés* al *modo medida*. Nótese, por el contrario que si se usa la técnica MSM para medir la variación de corriente en el canal, ΔI_D , primero se tiene que eliminar la tensión de estrés en la puerta del transistor y a continuación, aplicar una tensión cercana a la tensión umbral para medir la corriente. Es en este cambio de tensiones que el equipo de medida requiere mucho tiempo ($\sim 1s$) y, en consecuencia, no puede registrar ΔI_D en tiempos de relajación muy cortos una vez se interrumpe el estrés.

Una característica muy importante del *set-up* de medida *Ultra-Fast* es que no está limitado en el número de muestras a adquirir, a diferencia de otros *set-ups* de medida comerciales, también basados en el concepto de medida ultrarrápida, por ejemplo los del fabricante Keithley® o

Keysight®. Esta característica permite medir la recuperación de la V_{th} durante tiempos de relajación muy largos, al mismo tiempo que se inicia la medida de ΔV_{th} en tiempos de relajación de microsegundos. Sin embargo, los *set-ups* comerciales tienen la ventaja de que tienen tasas de muestreo muy buenas, por ejemplo de 1 μ s/muestra o incluso más pequeñas, lo cual permite tener mucha resolución temporal y registrar la variación de V_{th} en tiempos muy cortos una vez se interrumpe el estrés. No obstante, al estar limitados en el número total de muestras, aproximadamente 10^5 , les impide extender la medida de la recuperación de V_{th} por encima de 1s (considerando una sola medida y una tasa de muestro inferior a 10 μ s/muestra).

2.1.2. Sistema de control y adquisición de datos

Para controlar el sistema y todo el proceso de estrés-caracterización, se ha usado un ordenador que desempeña las funciones de *sistema de control* y *adquisición de datos*. Este es el que se encarga de configurar y sincronizar todos los instrumentos que intervienen en el *set-up Ultra-Fast* para poder estresar y registrar ΔV_{th} durante el tiempo de relajación. El ordenador incorpora una tarjeta GPIB-PCI para poder comunicarse con los instrumentos mediante el bus GPIB. Todo el sistema se ha programado utilizando el lenguaje de programación propio de MATLAB® [152].

El usuario introduce en el *sistema de control* los parámetros que definen la medida *Ultra-Fast*: el tiempo de estrés, el tiempo de relajación, la tensión de estrés y la tensión de drenador aplicada durante la relajación. El sistema de control se comunica con todos los instrumentos conectados al bus (fuentes de alimentación, generador de pulsos y osciloscopio) y los configura en función de los parámetros introducidos por el usuario. La sincronización del *sistema de control* con los instrumentos electrónicos y a su vez con el *circuito Ultra-Fast* es crucial para realizar la medida en la ventana temporal especificada por el usuario. La medida de ΔV_{th} con el osciloscopio y en tiempos de relajación muy cortos se realiza por disparo del flanco (*trigger*). Estableciendo un nivel de disparo (tensión), el cambio del modo *estrés* al modo *medida* se puede detectar fácilmente. La tensión V_{GS} registrada en este instante es guardada en la memoria del instrumento en vez de transmitirla al ordenador, así para poder continuar la medida de la V_{th} hasta tiempos más largos de relajación. A continuación, el tipo de comunicación que establece el *sistema de control* y *adquisición* con el osciloscopio es punto a punto. Esto es porque transcurridos los instantes iniciales V_{th} se recupera más lentamente con lo que no se requiere una gran cantidad de datos para registrar su variación. Un temporizador interno al *sistema de control* determina la finalización de la medida, de modo que vez transcurrido el tiempo, envía una señal para que éste adquiera la medida *Ultra-Fast* guardada en la memoria del instrumento. Finalmente, una vez acabado todo el proceso se libera la comunicación de todos los instrumentos conectados al bus.

2.1.3. Verificación del funcionamiento del *set-up Ultra-Fast*

Una vez explicado el funcionamiento del *set-up* de medida *Ultra-Fast*, en este apartado se muestra la capacidad del sistema para medir ΔV_{th} en tiempos muy cortos de relajación. Por un lado, se mostrarán ejemplos de tensión registrada en la puerta de un transistor comercial para aplicaciones generales de la electrónica adquiridos en tiempos muy cortos. La finalidad es comprobar el correcto funcionamiento del *set-up* desarrollado y mostrar la importancia de la resolución vertical (tensión) y horizontal (tiempo) del osciloscopio en la medida ultrarrápida. Por otro lado, se mostrarán los resultados de una medida de NBTI, es decir ΔV_{th} en función del tiempo de relajación, en un transistor pMOSFET que se encuentra en una oblea.

La Figura 2-7 muestra dos ejemplos de una adquisición ultrarrápida de la tensión V_{GS} en la puerta de un transistor pMOSFET encapsulado, de propósito general, utilizando el *set-up* desarrollado. El transistor se ha estresado a una tensión constante de $-2,5V$ durante un tiempo de 10s. La medida de V_{GS} se ha hecho utilizando la detección por flanco del osciloscopio (*trigger*), inmediatamente después del estrés. La elección de una correcta escala vertical y horizontal es muy importante porque determina “la calidad” de la adquisición, como se verá a continuación. La pantalla del osciloscopio está formada, en nuestro caso, por una matriz de píxeles de 255 filas por 2500 columnas, lo que requiere ajustar adecuadamente las escalas del osciloscopio a las magnitudes a medir. A modo de ejemplo, la Figura 2-7 muestra la adquisición de V_{GS} con el osciloscopio, el cual se ha configurado *i)* con una escala vertical de 200mV/división y una escala horizontal de 1s/división (Figura 2-7a), y *ii)* con una escala vertical de 5mV/división y a una horizontal de 1ms/división (Figura 2-7b). Nótese que en la Figura 2-7a-b una parte de la medida de V_{GS} se ha registrado en tiempos negativos. Esto es debido a que se ha considerado como tiempo cero el instante en que se produce la detección por flanco, que coincide con el cambio de estado de los interruptores del *circuito Ultra-Fast*. Este instante se puede situar en el punto del eje x (tiempo) de la pantalla del osciloscopio que se considere oportuno. Cuanto más a la izquierda se sitúe, más tiempo de relajación se podrá visualizar. Claramente se pueden apreciar las diferencias entre ambas figuras. En la Figura 2-7a se observan los dos modos de funcionamiento del *circuito Ultra-Fast*: el *modo estrés*, en el que la tensión es $-2,5V$, y el *modo medida*, en el que la tensión registrada es $-0,24V$, aproximadamente. Sin embargo, debido a la baja resolución vertical y a la baja velocidad de muestreo, no se puede determinar con exactitud el valor de la tensión V_{GS} durante el tiempo de relajación, ni observar su rápida recuperación una vez se interrumpe el estrés. Estos problemas se han solucionado reduciendo las escalas vertical y horizontal, motivo por el cual, en la Figura 2-7b se puede observar su recuperación. Por el contrario, el tiempo de recuperación de V_{GS} que se puede registrar es tres órdenes de magnitud más pequeño. Por bien ajustada que esté la escala vertical en una medida ultrarrápida, si la escala horizontal no lo está o es demasiado grande, la separación temporal entre muestra y muestra será grande y se perderá información de la recuperación de V_{th} . Por este motivo, es necesario hacer unas pruebas de adquisiciones ultrarrápidas en transistores con características eléctricas iguales o parecidas a las de los transistores que se utilizarán en el estrés BTI. De este modo se podrán ajustar correctamente las escalas vertical y horizontal del osciloscopio. En cuanto a la degradación producida, de la Figura 2-7b se concluye que existe muy poca recuperación de V_{th} después de un estrés constante a $-2,5V$ durante 10s, porque se trata de un transistor de nodos no avanzados y la tensión de puerta forzada y el tiempo que se han aplicado son pequeños para observar efectos de degradación BTI en este tipo de transistores.

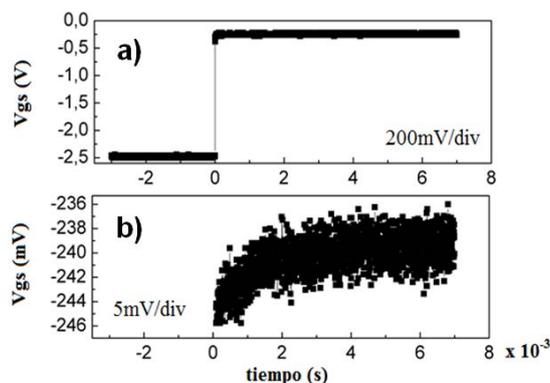


Figura 2-7. Formas de onda correspondientes a las V_{GS} en un MOSFET comercial adquiridas con el osciloscopio mediante la detección por flanco. El osciloscopio se ha configurado con unas escalas vertical (tensión) y

horizontal (tiempo) de a) 200mV/división y 1s/división y b) 5mV/división y a 1ms/división, respectivamente. Cuanto más pequeñas son las escalas vertical y horizontal más resolución se consigue en la medida. Por el contrario, el tiempo de relajación que se puede observar es más pequeño.

Las Figuras 2-8 y 2-9 muestran la recuperación de la tensión umbral, en función del tiempo de relajación, después de interrumpir un estrés NBTI en un transistor pMOSFET de dimensiones $W \times L = 10 \times 0,13 \mu\text{m}^2$ con el *set-up* desarrollado. La gran diferencia entre estas figuras es que en la Figura 2-8 se muestra solo la adquisición ultrarrápida. En cambio, en la Figura 2-9 muestra la adquisición ultrarrápida de V_{th} y su recuperación durante los posteriores 150s. A continuación, se explicarán con más detalle cada una de ellas.

La Figura 2-8a muestra la tensión de puerta V_{GATE} registrada por el osciloscopio después de interrumpir un estrés NBTI a una tensión constante de $-2,1\text{V}$ durante 10s. El osciloscopio se ha configurado con una escala vertical de 2mV/división y una horizontal de $1,5 \mu\text{s}/\text{división}$. Debido a la alta resolución vertical (tensión) en la adquisición, la medida es un poco ruidosa y se ha aplicado un promediado (*smooth*). Por otro lado, la Figura 2-8b muestra ΔV_{th} en función del tiempo de relajación y en escala semilogarítmica. Para representar ΔV_{th} se ha considerado el promediado de ΔV_{th} de la Figura 2-8a y la tensión umbral del dispositivo sin estresar ($V_{th} = -330\text{mV}$). En esta figura se observa que ΔV_{th} se obtiene a los $20 \mu\text{s}$ después de interrumpir el estrés, habiendo variado $32,5\text{mV}$. La V_{th} inicia un rápido proceso de recuperación en el que decae logarítmicamente durante 4,5ms. Una vez transcurrido este tiempo la tensión umbral se ha recuperado un 44% respecto a su valor máximo (obtenido a un tiempo de relajación de $20 \mu\text{s}$).

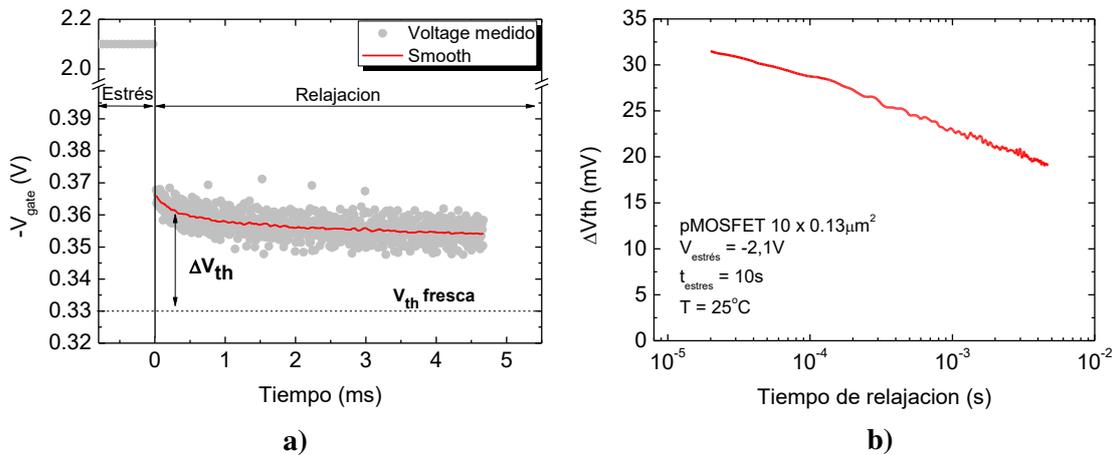


Figura 2-8. a) Tensión V_{GATE} registrada en la puerta del transistor después de un estrés NBTI durante 10s a una tensión constante de $-2,1\text{V}$, con el *set-up* de medida *Ultra-Fast* [153]. b) ΔV_{th} en función del tiempo de relajación.

La Figura 2-9 muestra ΔV_{th} , en función del tiempo de relajación, en un transistor pMOSFET previamente estresado durante 100s a $-2,1\text{V}$, y relajado 150s. El osciloscopio se ha configurado con unas escalas vertical y horizontal de 5mV/división y de $1,5 \mu\text{s}/\text{división}$, respectivamente. ΔV_{th} se registra a los $20 \mu\text{s}$ después de interrumpir el estrés, con una variación de 80mV, aproximadamente, e inicia un rápido proceso de recuperación en el que decae logarítmicamente con el tiempo de relajación. Nótese que la medida ultrarrápida termina al cabo de 4,5ms, aproximadamente. En la misma figura se observa un segundo tramo de la recuperación de V_{th} que se inicia al cabo de un segundo, aproximadamente, después de finalizar el estrés. Como se ha explicado en el apartado 2.1.2, este tramo corresponde a la V_{th} que mide el osciloscopio (punto a punto) hasta finalizar el tiempo de relajación predeterminado. El gap temporal de $\sim 1\text{s}$, observado entre la medida ultrarrápida y el segundo tramo de recuperación, es debido al tiempo que tarda el

osciloscopio en almacenar en su memoria interna la adquisición ultrarrápida, reanudar la adquisición, y a reajustar las escalas vertical y horizontal para seguir midiendo el segundo tramo de recuperación de la V_{th} . Además, hay que añadir el tiempo que tarda el *sistema de control y adquisición* en mandar dichas instrucciones al instrumento por el bus GPIB (aproximadamente $\sim 1\text{ms/instrucción}$). Nótese que el gap temporal observado es una de las limitaciones de las medidas *Ultra-Fast*. Este tiempo vendrá determinado por el tiempo de muestreo del instrumento de medida, por su capacidad de almacenamiento (*buffer*) y por los tiempos de transmisión y recepción de datos por el bus GPIB. El gap temporal podría reducirse si se aumentara la escala horizontal del osciloscopio. Pero, por el contrario, se perdería resolución temporal y aumentaría el tiempo que transcurre entre la interrupción del estrés y la medida de la V_{th} . Otra alternativa para reducir este gap temporal sería utilizar equipos de medida de altas prestaciones, con tiempos de muestreo alrededor de $1\mu\text{s}$ y con una memoria de almacenamiento grande. Aun así, seguiría habiendo un pequeño gap temporal porque en algún momento el *buffer* del instrumento se llenaría de datos y se tendría que almacenar la medida en el ordenador. Otra solución más compleja y económicamente muy cara sería diseñar un ASIC (*Application-Specific Integrated Circuit*) de un sistema de medida continuo, el cual incorporase muchos bancos de memoria para almacenar todos los resultados de la medida. Debido a la dificultad económica en la compra de equipos de altas prestaciones y la inexperiencia en el diseño de circuitos integrados, en esta tesis se ha utilizado un osciloscopio digital con una tasa de muestreo de 250MS/s cuando se configura con una escala temporal de $1\mu\text{s}$. Para escalas de tiempo más grandes, por ejemplo $4,5\text{ms}$, la velocidad de muestreo se reduce a $\sim 50\text{kS/s}$ según las especificaciones proporcionadas por el fabricante.

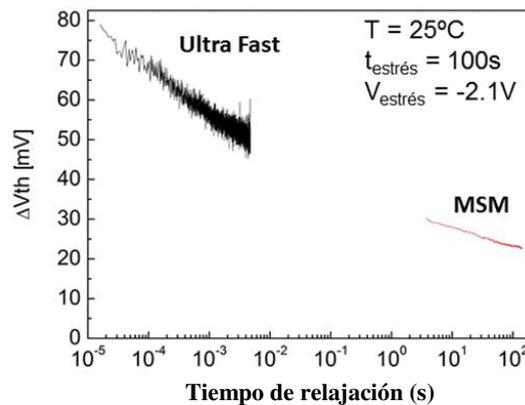


Figura 2-9. ΔV_{th} , en función del tiempo de relajación, registrado con el *set-up* de medida *Ultra-Fast* después de un estrés NBTI durante 100s a una tensión de -2.1V .

El segundo tramo de la recuperación de V_{th} mostrado en la Figura 2-9 se ha indicado con la etiqueta MSM debido a la semejanza con las técnicas de caracterización convencionales del BTI. Nótese que con el *set-up* desarrollado se consigue que la adquisición ultrarrápida de la V_{th} sea seis órdenes de magnitud más rápida que el segundo tramo de recuperación de V_{th} . Es en esta comparación cuando se puede ver la importancia de tener una técnica de caracterización muy rápida frente a otra más lenta. En esta figura se observa que, al cabo de un segundo de haber finalizado el estrés, V_{th} ha disminuido 50mV , aproximadamente, lo que significa la necesidad de utilizar técnicas suficientemente rápidas para poder estudiar la variación real que sufre la tensión umbral de un transistor después de finalizar el estrés. De lo expuesto, con el *set-up* de medida presentado se consigue uno de los objetivos propuestos en esta tesis: reducir el tiempo que transcurre entre la interrupción del estrés y la medida de V_{th} .

Una vez presentada la forma de adquirir ΔV_{th} después de un estrés BTI y haber justificado la importancia de las técnicas de caracterización ultrarrápidas, a continuación, se presentará un método desarrollado para la extracción de parámetros del modelo PDO.

2.2 Metodología de extracción de parámetros del modelo PDO

Son muchos los autores que justifican el aumento y la recuperación de V_{th} observada durante un test BTI por la carga y descarga de defectos en el dieléctrico de puerta durante las fases de estrés y la relajación, respectivamente [54], [58], [114], [115]. Como se ha visto en el capítulo 1, el modelo PDO (*Probabilistic Defect Occupancy model*) [116] se basa en este concepto y permite reproducir la variación de la tensión umbral en función del tiempo de relajación, t_r , después de someter un transistor a un estrés BTI durante un tiempo de estrés, t_s . Con los parámetros del modelo PDO, es decir los tiempos medios de emisión $\langle \tau_e \rangle$ y captura $\langle \tau_c \rangle$, las desviaciones de los tiempos medios de emisión, $\sigma_{\langle \tau_e \rangle}$, y captura, $\sigma_{\langle \tau_c \rangle}$, la correlación, ρ , entre $\langle \tau_e \rangle$ y $\langle \tau_c \rangle$, el producto del número total de defectos, N , que producen un cambio medio, $\langle \eta \rangle$, en V_{th} ($N\langle \eta \rangle$) y la parte permanente P_p , la ec. 2-1 permite reproducir la evolución de ΔV_{th} :

$$\Delta V_{th}(t_s, t_r) = N \langle \eta \rangle \int_0^{\infty} \int_0^{\infty} D(\tau_e, \tau_c) \cdot P_{occ}(\tau_e, \tau_c; t_s, t_r) d\tau_e d\tau_c + P_p \quad \text{ec. 2-1}$$

donde D es la distribución de defectos, que dependen de los parámetros $\langle \tau_e \rangle$, $\langle \tau_c \rangle$, $\sigma_{\langle \tau_e \rangle}$, $\sigma_{\langle \tau_c \rangle}$ y ρ , y queda determinada por la ecuación ec. 2-2. P_{occ} es la probabilidad de ocupación, dada por la ecuación ec. 2-3, que dependen de $\langle \tau_e \rangle$ y $\langle \tau_c \rangle$, y de los tiempos de estrés y de relajación (ver apartado 1.3.3 del capítulo 1).

$$D(\tau_e, \tau_c) = \frac{1}{2\pi\sigma_{\langle \tau_c \rangle}\sigma_{\langle \tau_e \rangle}\sqrt{1-\rho^2}} \cdot \exp \left[-\frac{1}{2(1-\rho^2)} \left[\left(\frac{\tau_c - \langle \tau_c \rangle}{\sigma_{\langle \tau_c \rangle}} \right)^2 + \left(\frac{\tau_e - \langle \tau_e \rangle}{\sigma_{\langle \tau_e \rangle}} \right)^2 - 2\rho \left(\frac{\tau_c - \langle \tau_c \rangle}{\sigma_{\langle \tau_c \rangle}} \right) \left(\frac{\tau_e - \langle \tau_e \rangle}{\sigma_{\langle \tau_e \rangle}} \right) \right] \right] \quad \text{ec. 2-2}$$

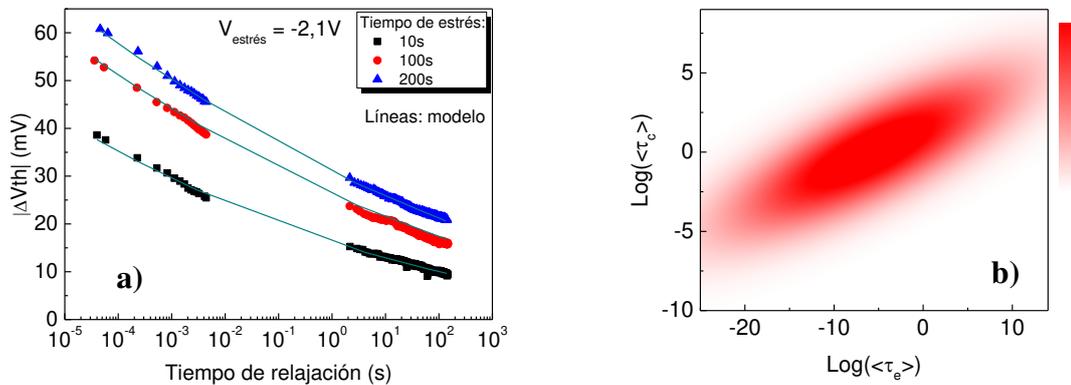
$$P_{occ}(t) = \frac{\tau_{eV_H, V_L}}{\tau_{cV_H, V_L} + \tau_{eV_H, V_L}} + \left(p_0 - \frac{\tau_{eV_H, V_L}}{\tau_{cV_H, V_L} + \tau_{eV_H, V_L}} \right) \times e^{-\frac{t-t_i}{\tau_{effV_H, V_L}}} \quad \text{ec. 2-3}$$

donde $\tau_{effV_H, V_L}^{-1} = \tau_{eV_H, V_L}^{-1} + \tau_{cV_H, V_L}^{-1}$ y t_i es el tiempo de la i -ésima transición del pulso de estrés. Los subíndices V_H y V_L hacen referencia al valor de τ_c , τ_e o τ_{eff} en la parte alta o baja del pulso de estrés, respectivamente. p_0 es la probabilidad de ocupación inicial y su valor corresponde al último valor de P_{occ} , previo a la transición del pulso.

Para reproducir ΔV_{th} obtenido experimentalmente y poder extrapolar su valor a otros tiempos de relajación los cuales están fuera del rango de la medida experimental, en esta tesis se ha desarrollado una metodología de extracción de parámetros del modelo PDO. Esta metodología se

basa en un método iterativo, en que los valores a los parámetros del modelo PDO se varían hasta que se ajusta ΔV_{th} experimental mediante la ec. 2-1, para los diferentes tiempos de estrés y relajación experimentales. Cuantos más resultados experimentales se consideren simultáneamente para realizar el ajuste, por ejemplo los obtenidos después de someter el transistor a distintos tiempos de estrés y relajación, los valores hallados de los parámetros del modelo PDO son más exactos. Otro aspecto muy importante para determinar el valor estos parámetros con una mayor exactitud, es el tiempo transcurrido desde que se detiene el estrés hasta que se mide V_{th} . Cuanto menor sea este tiempo, más fácil es determinar los tiempos medios de emisión de los defectos más rápidos que contribuyen a ΔV_{th} . Así pues, es conveniente utilizar técnicas de caracterización ultrarrápidas para adquirir ΔV_{th} en tiempos muy cortos una vez el estrés finaliza, como la desarrollada en este trabajo.

Para mostrar un ejemplo de un ajuste de una medida de NBTI experimental, en la Figura 2-10a se han representado y ajustado tres curvas de ΔV_{th} en función del tiempo de relajación. Estas curvas se han obtenido con el *set-up* de medida *Ultra-Fast* desarrollado después de someter un transistor pMOSFET a una tensión de estrés de $-2,1V$ durante 10s, 100s y 200s, y a un tiempo de relajación de 150s entre estrés y estrés. El tiempo mínimo en que se puede medir ΔV_{th} es de 20 μ s. La variación máxima de V_{th} es de 60mV después de un estrés de 200s. En la figura se observa que después de cada estrés, V_{th} inicia un rápido proceso de recuperación en que decae logarítmicamente con el tiempo. En la misma figura se han representado los ajustes de ΔV_{th} , en función del tiempo de relajación, para los tres tiempos de estrés. La distribución de defectos obtenida se muestra en la Figura 2-10b y los parámetros del modelo PDO, que permiten representar la distribución y ajustar ΔV_{th} con la ecuación ec. 2-1, se indican en la tabla de la Figura 2-10c. Como se verá más adelante, con estos parámetros y la ec. 2-1 se podrá extrapolar ΔV_{th} a otros tiempos de relajación, los cuales están fuera del rango de la medida experimental. En el ajuste se ha considerado nula la contribución de la parte permanente.



$\text{Log}_{10}(\langle \tau_e \rangle)$ (s)	$\text{Log}_{10}(\langle \tau_e \rangle)$ (s)	$\text{Log}_{10}(\sigma \langle \tau_e \rangle)$ (s)	$\text{Log}_{10}(\sigma \langle \tau_e \rangle)$ (s)	ρ	$N \langle \eta \rangle$ (V)
-6,23	-0,027	9,33	2,78	0,71	0,232

c)

Figura 2-10. a) ΔV_{th} en función del tiempo de relajación, obtenido en un transistor pMOSFET sometido un estrés de $-2,1V$ ($T = 25^\circ C$) durante 10s, 100s, 200s, y un tiempo de relajación de 150s entre estrés y estrés. b) Distribución de los defectos obtenida de los ajustes de ΔV_{th} , y c) parámetros del modelo PDO obtenidos del ajuste.

Los parámetros del modelo PDO obtenidos de los ajuste de ΔV_{th} de la Figura 2-10a corresponden a unas condiciones de estrés determinadas, en este caso a una tensión de estrés de $-2,1V$ y a una temperatura de $25^\circ C$. Extendiendo el estudio del BTI para diferentes condiciones de estrés, por ejemplo a diferentes tensiones y/o temperaturas, se podrá estudiar como dependen

estos parámetros de estas condiciones. Para ello es necesario obtener ΔV_{th} para cada condición de estrés y hacer uso de la metodología que se explicará a continuación. Este estudio permitirá extrapolar los parámetros del modelo PDO a cualquier condición de operación del transistor, del mismo modo que se ha hecho en [124], [154], generar distribuciones aleatorias de defectos y calcular el ΔV_{th} asociado mediante la ec. 2-1, para unos tiempos de estrés y de relajación arbitrarios. Estos resultados permitirán desarrollar estrategias de mejora de la fiabilidad y herramientas de diseño de circuitos que incluyan los efectos del BTI [44], [45]. De este modo, se podrán diseñar circuitos más robustos, en los que el fenómeno del BTI afecte en el menor grado posible a la funcionalidad del circuito integrado.

Metodología de ajuste y de extracción de parámetros del modelo PDO

En la Figura 2-11 se muestra el diagrama de flujo de la metodología de extracción de parámetros desarrollada para ajustar ΔV_{th} en función del tiempo de relajación. Esta metodología se ha implementado en un entorno de programación MATLAB®. A continuación, se explicará detalladamente cada punto del diagrama de flujo.

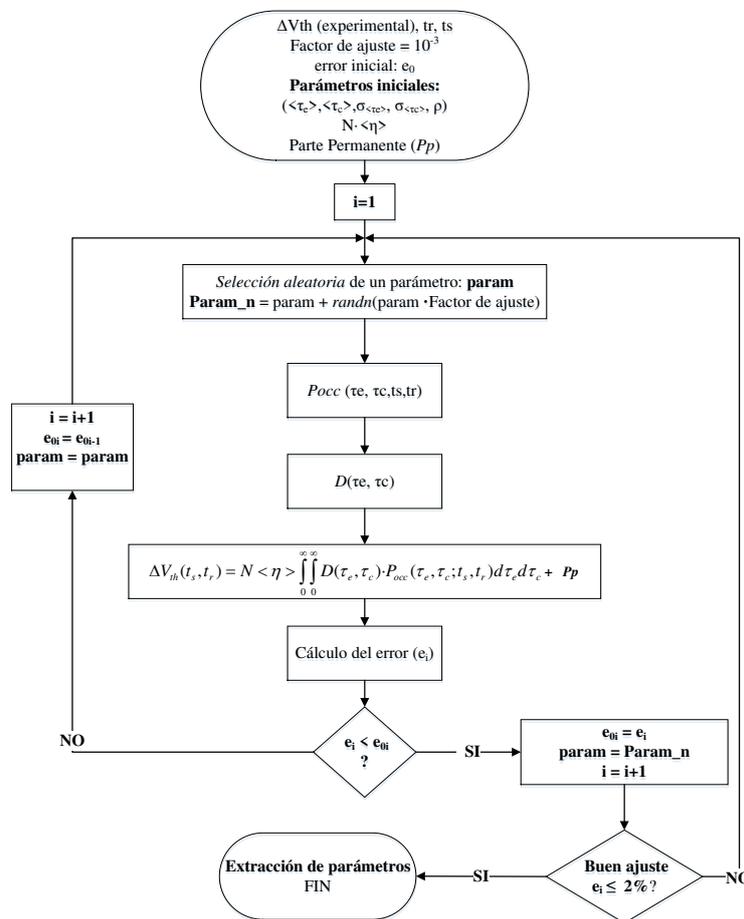


Figura 2-11. Diagrama de flujo utilizado para ajustar ΔV_{th} experimental, mediante la ec. 2-1, para unos tiempos de estrés y de relajación dados.

Antes de iniciar el ajuste de ΔV_{th} en función del tiempo de relajación, t_r , es necesario introducir el tiempo de estrés, t_s , durante el que se ha estresado el transistor. También se tiene que fijar la precisión del ajuste deseada, llamado *factor de ajuste*, así como un error inicial e_0 , cuyo valor sirve para determinar si se acepta o no el ajuste de ΔV_{th} . Los valores iniciales de los parámetros del modelo PDO también hay que fijarlos, por ejemplo $\langle \tau_e \rangle = 10^{-10,2}$ s, $\langle \tau_c \rangle = 10^{-3}$ s, $\sigma_{\langle \tau_e \rangle} = 10^8$ s,

$\sigma_{\langle\tau_c\rangle} = 10^3\text{s}$, $\rho = 0,85$, $N\langle\eta\rangle = 0,15\text{V}$ y $P_p = 10\text{mV}$. Sus valores iniciales se han fijado, en este caso, siguiendo un criterio basado en la experiencia y el uso del modelo PDO. A parte de todos estos, también hay que definir el espacio $\langle\tau_e\rangle - \langle\tau_c\rangle$ en el que puede haber defectos, que contribuyan a ΔV_{th} , para unas condiciones de estrés dadas. Por ejemplo, un área en que $\langle\tau_e\rangle$ y $\langle\tau_c\rangle$ estén comprendidos, cada uno, entre 10^{-10}s y 10^{10}s .

Mediante un bucle iterativo, en cada iteración i se selecciona aleatoriamente un solo parámetro ($param$) de los siete posibles ($\langle\tau_e\rangle$, $\langle\tau_c\rangle$, $\sigma_{\langle\tau_e\rangle}$, $\sigma_{\langle\tau_c\rangle}$, ρ , $N\langle\eta\rangle$ y P_p) y se modifica su valor aleatoriamente ($param_n$) siguiendo una distribución normal $N(\mu_{parámetro}, \sigma_{parámetro})$. La media $\mu_{parámetro}$ es el valor del parámetro seleccionado ($param$) y la desviación $\sigma_{parámetro}$ es el valor del parámetro seleccionado multiplicado por el *factor de ajuste*, es decir $\sigma_{parámetro} = \mu_{parámetro} \cdot \text{factor de ajuste}$. Cuanto menor es el *factor de ajuste*, la precisión del ajuste de ΔV_{th} es mejor, pero más lento es el programa. Por ejemplo, si el parámetro seleccionado es $\langle\tau_e\rangle$, en el que $\log_{10}(\langle\tau_e\rangle) = -10,2\text{s}$, y el *factor de ajuste* es 10^{-3} , el nuevo valor del parámetro, en escala logarítmica será (ec. 2-4):

$$param_n = \mu_{parámetro} + \sigma_{parámetro} \cdot randn = -10,2 - 10,2 \cdot 10^{-3} \cdot randn. \quad \text{ec. 2-4}$$

donde *randn* es una función interna de MATLAB® para generar números aleatorios que siguen una distribución normal. El valor del parámetro modificado, juntamente con los otros, y los tiempos t_s y t_r , se introducen en la ec. 2-1 para calcular ΔV_{th} . A continuación, se calcula la diferencia (error) entre el ΔV_{th} experimental y el ΔV_{th} calculado por el modelo para esos parámetros. El error (e_i) se ha definido como el sumatorio de las distancias, en valor absoluto, entre el ΔV_{th} experimental, $\Delta V_{th_experimental}$, y el calculado por el modelo, ΔV_{th_modelo} . El resultado se dividirá por el número de tiempos de relajación (Nt) seleccionados para el ajuste de ΔV_{th} (ec. 2-5).

$$e_i = \frac{1}{Nt} \sum_{t=1}^{Nt} \left| \Delta V_{th_modelo_t} - \Delta V_{th_experimental_t} \right| \quad \text{ec. 2-5}$$

Al final de cada iteración i , el error e_i se compara con el error inicial e_{0i} . Si se cumple que $e_i < e_{0i}$, el valor del parámetro seleccionado aleatoriamente al inicio de la iteración i es satisfactorio ($param = param_n$), se acepta el ajuste de ΔV_{th} experimental y el error inicial e_{0i} se reemplaza por e_i ($e_{0i} = e_i$). A continuación empieza otra iteración. En caso que el error e_0 ya no se puede reducir más, por ejemplo cuando $e_0 \leq 2\%$, los parámetros del modelo PDO que mejor ajustan ΔV_{th} experimental quedan fijados. Por el contrario, si $e_i \geq e_{0i}$ se rechaza el ajuste, el parámetro modificado conserva el valor que tenía antes de modificarse ($param_i = param_{i-1}$), el error inicial no se modifica ($e_{0i} = e_{0i-1}$) y empieza otra iteración.

El algoritmo permite ajustar simultáneamente varias curvas, por ejemplo, las obtenidas después de someter el transistor a varias secuencias de estrés y relajación (como en la Figura 2-10). En este caso, el error e_i en cada iteración i es la suma de todos los errores en cada curva. Al finalizar la ejecución del programa, los parámetros del modelo permiten ajustar todas las curvas ΔV_{th} experimentales consideradas. La metodología extracción no presenta problemas de convergencia, pero sí que el ajuste depende mucho de los valores de los parámetros iniciales. En el caso que estos sean muy diferentes de los valores que permiten ajustar ΔV_{th} experimental, la metodología tardará un tiempo mayor para encontrarlos, pero abordable (más de 5min).

Un ejemplo del procedimiento que se utiliza para determinar si acepta o no el ajuste de ΔV_{th} en función del tiempo de relajación, se muestra en la Figura 2-12a. En esta figura se ha representado ΔV_{th} experimental (\bullet), obtenido con el *set-up Ultra-Fast* después de someter un transistor a unas ciertas condiciones de estrés. En la misma figura se ha representado el mejor ajuste de ΔV_{th} (---) y el último ajuste rechazado (—) porque no se ha conseguido minimizar el error, es decir $e_i \geq e_{oi}$. El error se muestra en la Figura 2-12b y se ha representado en función del número de iteraciones (#). Para este ejemplo se han necesitado un total de 500 iteraciones para ajustar ΔV_{th} .

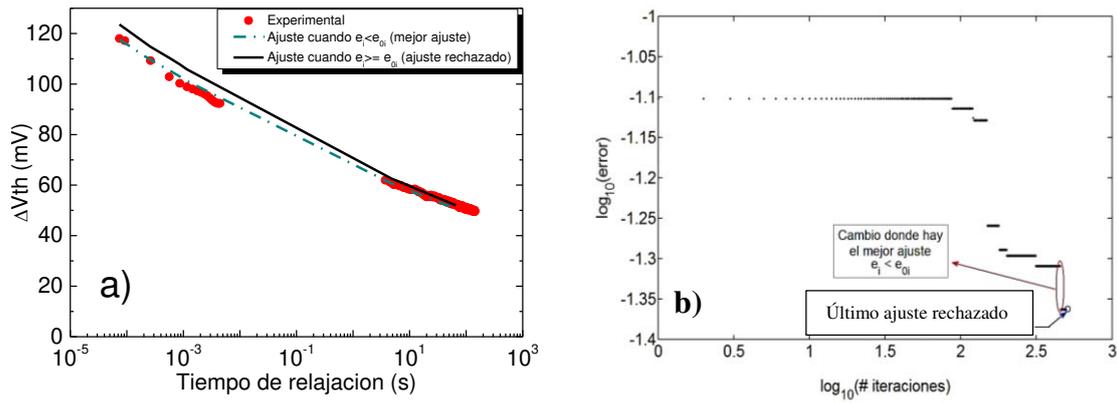


Figura 2-12. a) Ejemplo de un ajuste “satisfactorio” (---) y un ajuste “rechazado” (—) de ΔV_{th} en función del tiempo de relajación (\bullet). b) Representación del error en función del número de iteraciones (#). Solo se acepta el ajuste cuando el error, $e_i < e_{oi}$. En cambio, los ajustes en que $e_i \geq e_{oi}$ se rechazan y el error se mantiene constante.

A continuación, se mostrará un ejemplo de la aplicación de la metodología para extraer los parámetros del modelo PDO en una medida experimental de NBTI. La finalidad del siguiente apartado es explicar con más detalle el procedimiento seguido. Del ajuste realizado se mostrarán los parámetros del modelo PDO, la distribución de defectos, la probabilidad de ocupación y el producto de la distribución por la probabilidad de ocupación

Aplicación del modelo PDO en una medida experimental

Para realizar este apartado se han considerado datos experimentales obtenidos de una medida de NBTI, como por ejemplo los de la Figura 2-13 (símbolos). Los cambios de tensión umbral corresponden a un transistor pMOSFET sometido previamente a estrés de 1s (*estrés 1*), 10s (*estrés 2*) y 100s (*estrés 3*) a una tensión de puerta constante de $-2,1V$, con un tiempo de relajación de 100s entre estrés y estrés. Para realizar la medida se ha utilizado el *set-up Ultra-Fast* desarrollado en esta tesis, por lo que el primer valor de V_{th} se registra tras $20\mu s$ después de interrumpir el estrés. Mediante la metodología de extracción presentada, se han ajustado a la vez las tres curvas experimentales. Los parámetros del modelo PDO obtenidos de los ajustes se indican en la Tabla 2-1, habiendo considerado nula la contribución de la parte permanente en ΔV_{th} ($P_p = 0V$). Con estos parámetros es posible determinar la evolución de ΔV_{th} en tiempos fuera de la ventana de medida experimental. A modo de ejemplo, en la misma Figura 2-13 se ha representado la extrapolación de ΔV_{th} a otros tiempos de relajación, por ejemplo a 100ns y a 10^4s . Gracias al uso del modelo PDO se puede obtener el ΔV_{th} correspondiente a estos tiempos.

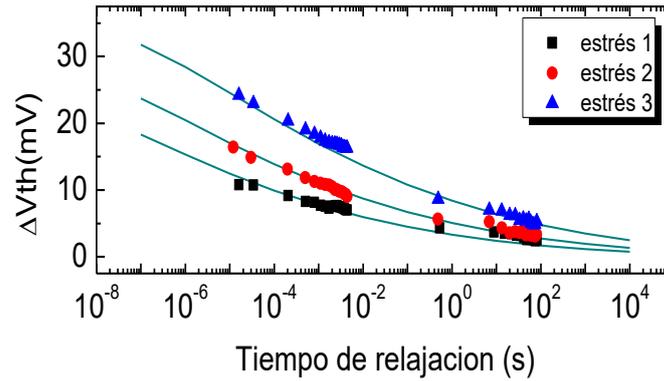


Figura 2-13. Ejemplos de tres curvas experimentales (símbolos) de ΔV_{th} , en función del tiempo de relajación. El transistor fue sometido a un estrés NBTI a $-2.1V$ durante 1s (estrés 1), 10s (estrés 2) y 100s (estrés 3), y a un tiempo de relajación de 100s entre estrés y estrés. Las líneas continuas corresponden a los ajustes obtenidos.

$\log_{10}(\langle\tau_e\rangle)$ (s)	$\log_{10}(\langle\tau_c\rangle)$ (s)	$\log_{10}(\sigma_{\langle\tau_e\rangle})$ (s)	$\log_{10}(\sigma_{\langle\tau_c\rangle})$ (s)	ρ	$N\langle\eta\rangle$ (V)
-7,6541	-0,0276	-10,19	3,97	0,8	0,162

Tabla 2-1. Parámetros del modelo PDO obtenidos del ajuste de ΔV_{th} de la Figura 2-13.

Una vez obtenido un buen ajuste, es posible obtener información sobre los defectos asociados al fenómeno del BTI, como por ejemplo, la distribución de defectos (Figura 2-14) que ha dado lugar a la evolución de ΔV_{th} de Figura 2-13. La zona más rojiza de la distribución coincide con el centro y con su punto más alto, representado la población de defectos con tiempos de captura y emisión más probables. En las zonas azules, la probabilidad de encontrar un defecto con esos valores de τ_e y τ_c es muy baja.

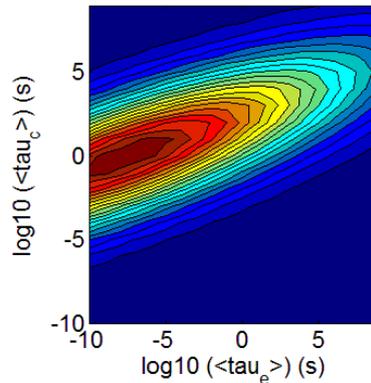


Figura 2-14. Distribución de defectos que mejor ajusta ΔV_{th} de la Figura 2-13.

Continuando con el ejemplo de la Figura 2-13, en la Figura 2-15 se ha representado la probabilidad de ocupación, P_{occ} , en el espacio $\langle\tau_e\rangle-\langle\tau_c\rangle$, para un tiempo de estrés de 1s (*estrés* 1) y distintos tiempos de relajación, comprendidos entre 100ns y 10^4 s (de *b* a *m*) con un incremento logarítmico. El tiempo de relajación cero ($t_r = 0$ s) (*a*), que coincide con el final del estrés y el inicio de la relajación, también se ha considerado. Las zonas más rojas indican que hay una probabilidad alta (próxima a uno) de encontrar un defecto con un valor determinado de $\langle\tau_e\rangle$ y $\langle\tau_c\rangle$. En cambio, en las zonas azules, la probabilidad de encontrar un defecto cargado es muy baja o nula. Hay que destacar que algunas de las figuras son el resultado de la extrapolación de ΔV_{th} a tiempos muy cortos de relajación ($t_r < 10\mu s$), por ejemplo las figuras *a*, *b* y *c*, o a tiempos largos ($t_r \geq 1000$ s), por ejemplo las figuras *l* y *m*. La Figura 2-15a muestra la probabilidad de ocupación

a tiempo de relajación cero, que coincide con el máximo número de defectos cargados. Todos los defectos con un $\langle\tau_c\rangle$ inferior a 1s y un $\langle\tau_e\rangle$ más grande que 10^{-6} s estarán cargados. Algunos defectos con $\langle\tau_c\rangle$ inferior a 1s y $\langle\tau_e\rangle$ inferior a 10^{-6} s están descargados porque son defectos muy rápidos en emitir su carga. De la Figura 2-15b hasta la Figura 2-15m se observa la evolución de la probabilidad de ocupación en el tiempo de relajación, t_r . Los defectos con $\langle\tau_c\rangle$ inferior a t_r se descargan a medida que transcurre el tiempo, motivo por el cual el área roja de la Figura 2-15a (máxima área) se reduce con el tiempo de relajación. De la Figura 2-15g hasta la Figura 2-15m se concluye que algunos defectos con tiempos de captura $\langle\tau_c\rangle$ comprendidos entre 10^{-10} s y 10^{-4} s y con tiempos de emisión $\langle\tau_e\rangle$ comprendidos entre 10^{-3} s y 10^5 s no llegan a descargarse.

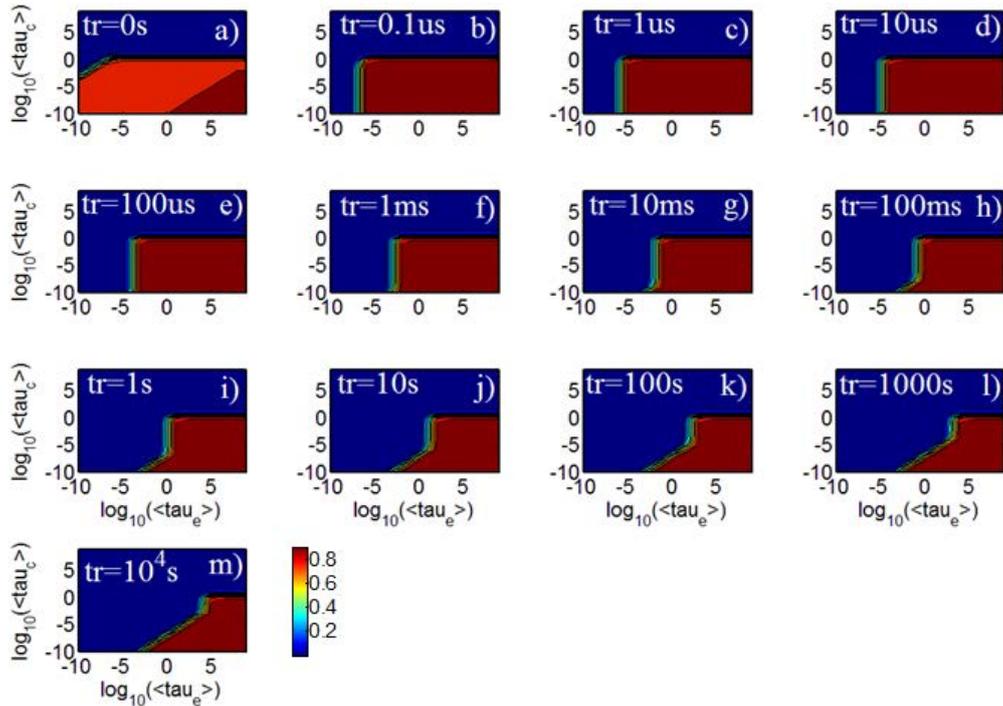


Figura 2-15. Evolución de la probabilidad de ocupación, en el espacio $\langle\tau_e\rangle - \langle\tau_c\rangle$, para distintos tiempos de relajación comprendidos entre 100ns y 10^4 s, después de estresar un transistor durante 1s a $-2,1V$ (*estrés 1*), para las trazas de la Figura 2-13.

La evolución de la P_{occ} con el tiempo de relajación de la Figura 2-15 es muy parecida al comportamiento de los defectos durante el tiempo de relajación, explicado en la Figura 1-20 del capítulo 1, donde se muestra la carga y la descarga de los defectos durante el estrés y la relajación. Consideramos que inicialmente, en un transistor que no ha sido sometido a ningún tipo de estrés, todos los defectos se encuentran descargados. En otras palabras, la probabilidad de ocupación inicial (p_0 de la ec. 2-3) es cero. Debido al estrés NBTI de 1s (*estrés 1*), algunos defectos se cargan (Figura 2-16a) y progresivamente se descargan durante la relajación, como se ha visto en las Figuras 2-15b-m. Si tras un tiempo de relajación de 10^4 s (Figura 2-15m), el dispositivo se somete a otro estrés eléctrico, por ejemplo a un estrés de 10s (*estrés 2* de la Figura 2-13), los defectos que se hayan descargado después de interrumpir el *estrés 1*, se volverán a cargar. Además, aparecerán nuevos defectos cargados (Figura 2-16b), porque el tiempo de estrés ha aumentado y la probabilidad de ocupación inicial es distinta de cero. Una vez transcurrido un tiempo de relajación de 10^4 s, si el transistor se somete a otro estrés durante 100s (*estrés 3* de la Figura 2-13) la probabilidad de ocupación a tiempo cero es la que muestra la Figura 2-16c. En esta figura se observa que la probabilidad de ocupación ha aumentado con el tiempo de estrés, en comparación a la obtenida en la Figura 2-16b, lo que indica que se han cargado más defectos con el *estrés 3*.

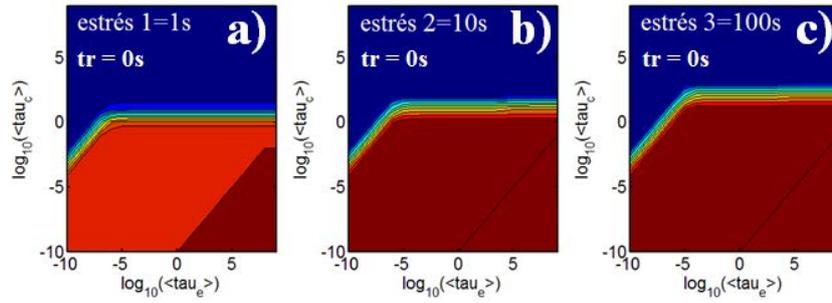


Figura 2-16. Probabilidad de ocupación evaluada a un tiempo de relajación cero ($t_r = 0$), después de estresar un transistor a $-2,1V$ durante un tiempo de a) 1s, b) 10s y c) 100s.

De la misma manera que la Figura 2-16 muestra la probabilidad de ocupación justo cuando se interrumpe el estrés ($t_r = 0s$), la Figura 2-17 muestra el caso contrario; la probabilidad de ocupación obtenida tras un tiempo de relajación de 10^4s . Comparando las dos figuras, se observa el área de la probabilidad de ocupación se ha reducido, debido a la descarga de defectos durante el tiempo de relajación. También se observa que la probabilidad de ocupación es mayor cuanto más largo es el tiempo de estrés porque hay más defectos cargados. Nótese, que la Figura 2-17a es la probabilidad de ocupación inicial que se tiene en cuenta para calcular la probabilidad de ocupación después de un tiempo de estrés de 10s (Figura 2-16b). De manera análoga, la Figura 2-17b muestra la probabilidad de ocupación inicial a tener en cuenta para calcular la probabilidad de ocupación después de un tiempo de estrés de 100s (Figura 2-16c).

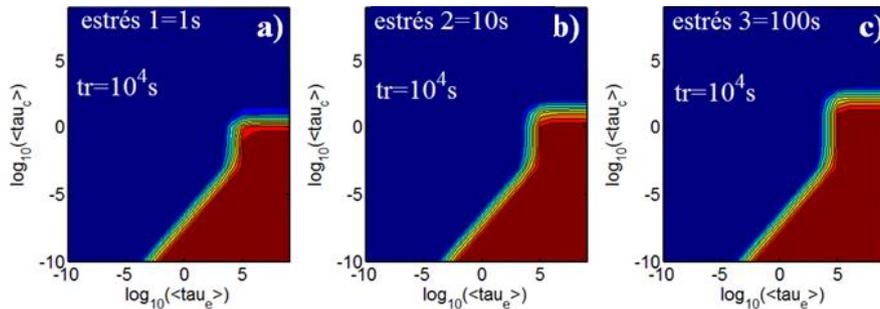


Figura 2-17. Probabilidad de ocupación evaluada a un tiempo de relajación $t_r = 10^4s$, después de estresar un transistor a $-2,1V$ durante un tiempo de a) 1s, b) 10s y c) 100s.

Una vez obtenida la distribución de defectos (Figura 2-14) y la probabilidad de ocupación (Figura 2-15), la Figura 2-18 muestra el producto de la distribución de defectos por la probabilidad de ocupación ($D(\tau_e, \tau_c) \cdot P_{occ}(\tau_e, \tau_c; t_s, t_r)$), en el espacio $\langle \tau_e \rangle - \langle \tau_c \rangle$, para un tiempo de estrés de 1s y distintos tiempos de relajación, de 100ns hasta 10^4s con un incremento logarítmico. En esta figura se observa que el área de $D \times P_{occ}$ se reduce a medida que aumenta el tiempo de relajación, de la misma manera que ocurre con la probabilidad de ocupación de la Figura 2-15. Esto indica que el número de defectos que contribuyen a ΔV_{th} disminuye con el tiempo de relajación. Nótese que para obtener ΔV_{th} de la Figura 2-13, tras interrumpir el *estrés 1*, se tendrían que integrar las diferentes áreas de la Figura 2-18, en función de $\langle \tau_e \rangle - \langle \tau_c \rangle$, y multiplicar el resultado por el parámetro $N \langle \eta \rangle$, cuyo valor se indica la Tabla 2-1.

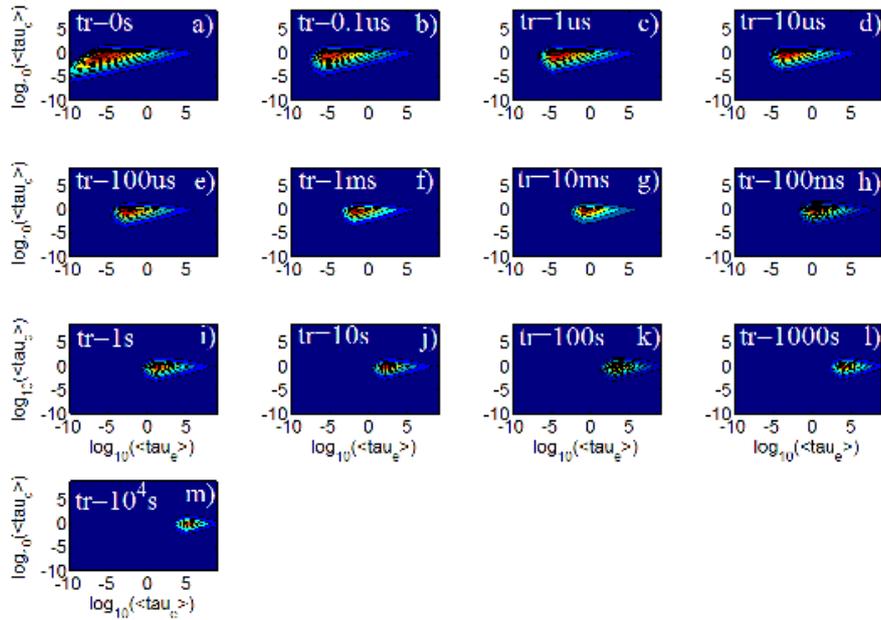


Figura 2-18. Evolución de $D \times P_{occ}$, en el espacio $\langle \tau_e \rangle - \langle \tau_c \rangle$, para distintos tiempos de relajación comprendidos entre 100ns y 10^4 s (de b a m), después de estresar un transistor durante un tiempo de estrés de 1s a $-2,1V$ (estrés I).

Ajuste de ΔV_{th} obtenido con el tiempo de estrés

Hasta ahora, se ha visto que la metodología de ajuste permite obtener los parámetros del modelo PDO a partir de una medida experimental en la que ΔV_{th} se obtiene después de interrumpir el estrés. Sin embargo, esta metodología también permite ajustar y extraer los parámetros del modelo PDO a partir de ΔV_{th} medido durante el estrés. A modo de ejemplo, la Figura 2-19a muestra el ajuste de ΔV_{th} , en función del tiempo de estrés, medido en un transistor pMOSFET estresado a una tensión de puerta $V_{GS} = -1,5V$ durante 1000s. ΔV_{th} se ha calculado a partir de la variación de corriente, ΔI_D , registrada con un analizador de parámetros de semiconductores durante el tiempo de estrés, aplicando una tensión drenador de $-50mV$. En esta figura se observa que la tensión umbral aumenta unos 15mV tras 10^3 s de estrés y los resultados experimentales se han podido ajustar con la metodología propuesta.

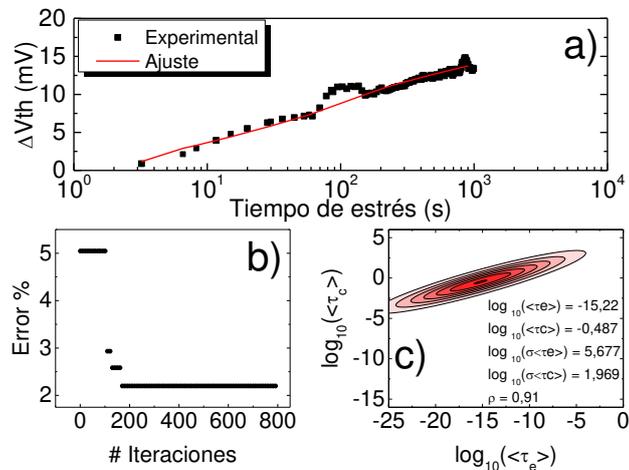


Figura 2-19. a) ΔV_{th} experimental en función del tiempo de estrés (símbolos) y ajuste (línea continua). b) Representación del error durante del ajuste, en función del número de iteraciones (#). c) Distribución de defectos y parámetros que los caracterizan, obtenidos del ajuste de ΔV_{th} experimental.

En la Figura 2-19b se ha representado el error (%), en función del número de iteraciones (#), y en la Figura 2-19c la distribución de defectos obtenida, cuyos parámetros se indican en la misma figura. De los parámetros de la distribución se concluye que el tiempo medio de emisión $\langle\tau_e\rangle$ es muy pequeño ($\sim 10^{-15}$ s) comparado con el tiempo medio de captura $\langle\tau_c\rangle$ (>100 ms). Ambos tiempos están muy correlacionados ($\rho = 0,91$), lo que indica que si uno de ellos aumenta el otro también lo hace con una proporción parecida.

2.3 Degradación por BTI en transistores fabricados con diferentes procesos

A continuación, se presenta un ejemplo de aplicación del *set-up* desarrollado y de la metodología de extracción presentada. Este apartado se centra en el análisis del mecanismo de degradación *Negative Bias Temperature Instability* (NBTI) en transistores que han sido fabricados con diferentes procesos. En particular, a diferentes procesos de *annealing* con una duración de milisegundos (*Millisecond Annealing*, MSA). Las muestras analizadas son transistores pMOSFET con $\text{HfSiO}/\text{Al}_2\text{O}_3$ como dieléctrico de puerta (EOT $\sim 14 - 15 \text{ \AA}$). El electrodo de puerta es de TaCN y las dimensiones de los dispositivos son $W \times L = 10 \times 0,15 \mu\text{m}^2$. El proceso de *annealing* se hizo con pulsos laser a baja (LLP), a media (MLP) y a alta (HLP) potencia, con el fin de reducir la tensión umbral y mejorar el funcionamiento del transistor debido a los efectos de canal corto [155]. Las temperaturas alcanzadas en los tres tipos de pulso fueron de 1100°C , de 1200°C y de 1350°C , respectivamente. En la Figura 2-20 se han representado las características $I_D - V_{GS}$ de los transistores sometidos a los diferentes procesos MSA, en escala lineal y semilogarítmica. Se puede observar que los transistores con un proceso de *annealing* HLP y MLP tienen unas curvas características muy parecidas y una tensión umbral de -260mV , aproximadamente. En cambio, los transistores con un proceso LLP tienen una tensión umbral mayor, $\sim 600\text{mV}$, y una corriente de drenador más baja.

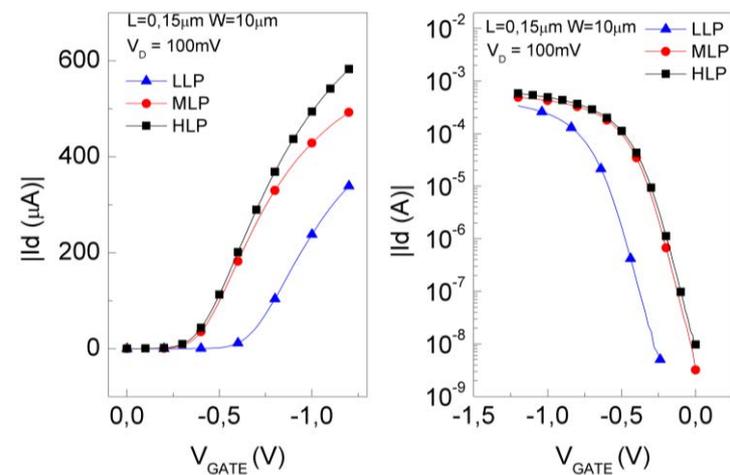


Figura 2-20. Características $I_D - V_{GS}$ de los transistores fabricados con diferentes procesos de *annealing* a alta (HLP), media (MLP) y baja (LLP) potencia.

Para poder estudiar ΔV_{th} provocado por el estrés NBTI en los diferentes transistores, se ha diseñado una secuencia de test (Figura 2-21) basada en la técnica MSM (*medida-estrés-medida*), y utilizando el *set-up Ultra-Fast* desarrollado en este trabajo. El test empieza por una

caracterización de los transistores sin degradar, con un analizador de parámetros de semiconductores, para obtener la tensión umbral y la corriente de drenador cuando la tensión de puerta $V_{GS} = V_{th}$, es decir, la corriente I_{bias} del *circuito Ultra-Fast* (Figura 2-3a). A continuación, el transistor se conecta al *set-up Ultra-Fast*, y se programa el *sistema de control y adquisición de datos* para que aplique una tensión de estrés constante de $-2,1V$, durante un tiempo de estrés $t_{s1} = 10s$. Cuando finaliza el estrés, ΔV_{th} se mide durante un tiempo de relajación $t_{r1} = 150s$. La tensión de drenador aplicada en el transistor durante la relajación es de $-100mV$. Una vez finaliza este tiempo, el *sistema de control y adquisición de datos* vuelve a repetir la secuencia de estrés/relajación durante unos tiempos $t_{s2} = 100s$ y $t_{r2} = t_{r1}$, así como, $t_{s3} = 200s$ y $t_{r3} = t_{r1}$, respectivamente. El test de medida termina con una caracterización del dispositivo para comprobar que el transistor no haya sufrido otros daños que no sean la propia degradación NBTI. Para ello es necesario desconectar el transistor del *set-up* de medida *Ultra-Fast* y conectarlo al analizador de parámetros de semiconductores.

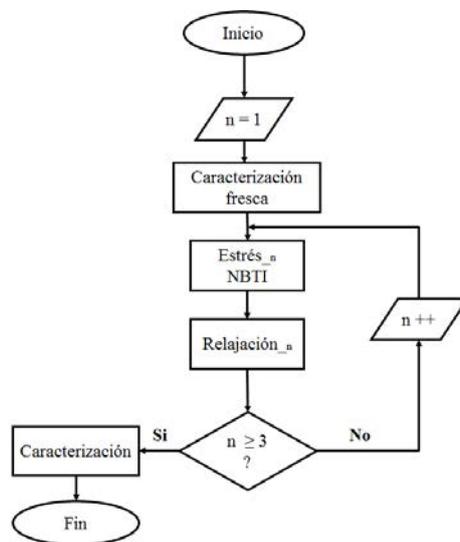


Figura 2-21. Diagrama de flujo del test NBTI, para estudiar la relajación de V_{th} tras el estrés.

La Figura 2-22 muestra ΔV_{th} en función del tiempo de relajación en los transistores sometidos a diferentes procesos MSA: LLP (izquierda), MLP (centro) y HLP (derecha). El mínimo tiempo en el que se registran los distintos ΔV_{th} es $20\mu s$ después de interrumpir el estrés. Se observa que cuanto más largo es el tiempo de estrés, ΔV_{th} es mayor, independientemente del proceso MSA aplicado. En todos los transistores analizados, después de interrumpir el estrés, la tensión umbral inicia un rápido proceso de recuperación en que decae logarítmicamente con el tiempo de relajación. Los transistores con un proceso de *annealing* HLP son los que registran un ΔV_{th} más pequeño, aproximadamente de $62mV$, tras un tiempo de relajación de $20\mu s$ y un tiempo de estrés de $200s$. En cambio, los transistores con un *annealing* LLP son los que tienen un ΔV_{th} más grande, llegando a una variación máxima de $\sim 123mV$, para las mismas condiciones de estrés. Los transistores con un proceso de *annealing* MLP muestran valores intermedios.

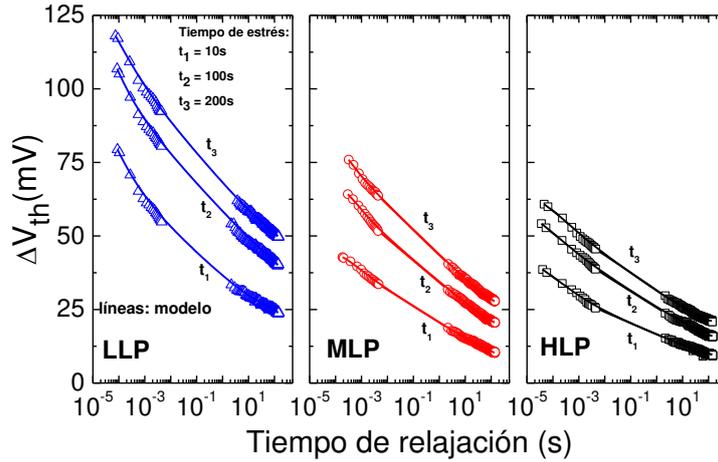


Figura 2-22. ΔV_{th} en función del tiempo de relajación, obtenido en los transistores sometidos a diferentes procesos MSA: LLP (izquierda), MLP (centro) y HLP (derecha), después de someterlos a distintos tiempos de estrés a una tensión constante de $-2.1V$.

En la Figura 2-22 se han representado los ajustes de ΔV_{th} en función del tiempo de relajación, obtenidos con la metodología desarrollada, para cada transistor sometido a diferente proceso MSA. En la Figura 2-23a se han representado las distribuciones de defectos que describen la variación de la V_{th} observada, cuyos parámetros fundamentales son $\langle \tau_c \rangle \approx 10^{-0.2}s$, $\langle \tau_e \rangle \approx 10^{-6}s$ y $\rho \approx 0,8$. En la tabla de la Figura 2-23b se muestran los valores del parámetro $N\langle \eta \rangle$ para los distintos transistores sometidos a diferente proceso MSA. Como ya se ha explicado, este parámetro está relacionado con el número total de defectos N , que cuando se cargan/descargan producen un cambio medio $\langle \eta \rangle$ en V_{th} . En esta tabla se muestra que el valor del parámetro $N\langle \eta \rangle$ decrece con la potencia del láser usada durante el proceso de *annealing*, siendo su valor más pequeño en los transistores sometidos a un proceso MSA HLP. Este resultado indica que el aumento de la potencia durante el proceso *annealing* lleva a que se carguen menos defectos durante el estrés y/o su impacto sea menor y, en consecuencia, un ΔV_{th} más pequeño.

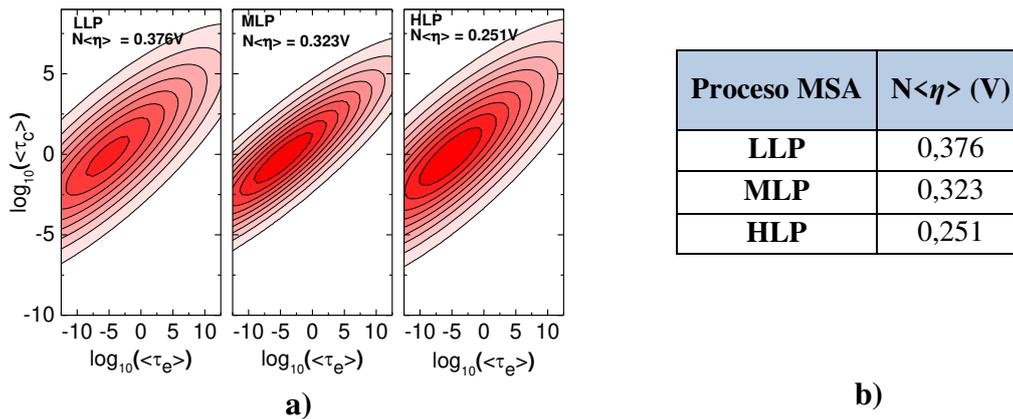


Figura 2-23. a) Distribuciones de defectos y b) parámetro $N\langle \eta \rangle$, obtenidos de los ajustes de ΔV_{th} de la Figura 2-22 para cada proceso MSA.

ΔV_{th} también se ha estudiado cuando los transistores se someten a distintas tensiones de estrés: $-1,8V$, $-2,1V$, $-2,2V$ y $-2,4V$. En la Figura 2-24 se ha representado ΔV_{th} , evaluado tras un tiempo de relajación de $348\mu s$, en función de la tensión de estrés (en valor absoluto) en los transistores sometidos a diferente proceso MSA. Los ΔV_{th} obtenidos se han agrupado en función del tiempo de estrés: 10s (izquierda), 100s (centro) y 200s (derecha). En esta figura se observa una

dependencia potencial de ΔV_{th} con la tensión, con un exponente muy parecido (entre 0,75 y 0,8) en todos los casos. De nuevo, los transistores sometidos a un proceso de *annealing* HLP son los que muestran un ΔV_{th} más pequeño, y los LLP el mayor.

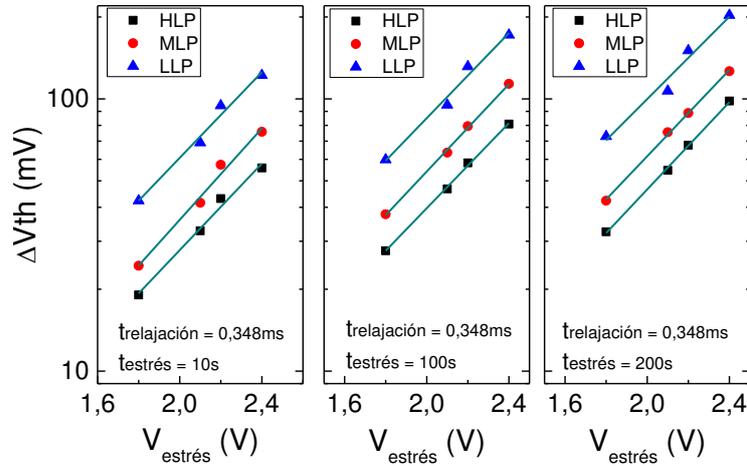


Figura 2-24. ΔV_{th} en función de la tensión de estrés, para los transistores sometidos a diferente proceso MSA para distintos tiempos de estrés: 10s (izquierda), 100s (centro) y 200s (derecha). $t_r = 348\mu s$.

En la Figura 2-25 se muestran las distribuciones de defectos, obtenidas de los ajustes de ΔV_{th} en función del tiempo de relajación, para las diferentes tensiones de estrés, en los transistores sometidos a diferente proceso MSA: HLP (figura a), MLP (figura b) y LLP (figura c). Los parámetros del modelo PDO obtenidos de los ajustes se indican en las Tablas 2-2, 2-3 y 2-4, respectivamente. Para obtener sus valores iniciales, para el caso de un estrés de $-1,8V$ se ha permitido que todos los parámetros del modelo PDO pudieran tomar cualquier valor. Una vez extraídos los parámetros $\langle \tau_e \rangle$, $\sigma_{\langle \tau_e \rangle}$, $\sigma_{\langle \tau_c \rangle}$ y $N\langle \eta \rangle$ para esta condición de estrés, se han fijado sus valores y se han encontrado los valores de $\langle \tau_c \rangle$ y ρ que permiten ajustar ΔV_{th} en función del tiempo de relajación para las otras tensiones de estrés ($-2,1V$, $-2,2V$ y $-2,4V$). Para realizar la extracción de parámetros del modelo PDO, se ha considerado que los únicos parámetros que pueden variar su valor sin ninguna restricción son el tiempo medio de captura $\langle \tau_c \rangle$ y la correlación, ρ , entre $\langle \tau_e \rangle$ y $\langle \tau_c \rangle$. Se ha fijado el valor de los otros parámetros, es decir $\langle \tau_e \rangle$, $\sigma_{\langle \tau_e \rangle}$, $\sigma_{\langle \tau_c \rangle}$ y $N\langle \eta \rangle$ y se ha considerado nula la contribución de la parte permanente en ΔV_{th} . Este procedimiento se ha realizado para los diferentes transistores. Nótese que al haber fijado algunos parámetros, las distribuciones mostradas en la Figura 2-25 cuando $V_{GS} = -2,1V$ no coinciden exactamente con las distribuciones mostradas en la Figura 2-23a para la misma tensión de estrés ni con las obtenidas para los transistores sometidos a diferente proceso MSA. Respecto al parámetro $N\langle \eta \rangle$, se ha obtenido que los transistores con un proceso de *annealing* HLP son los que tienen el parámetro $N\langle \eta \rangle$ más pequeño y su valor es muy parecido al de los transistores sometidos a un proceso de *annealing* MLP. Sin embargo, en los transistores con un proceso de *annealing* LLP hay una diferencia notable en este parámetro, respecto al de los otros dos transistores. Nótese que el parámetro $N\langle \eta \rangle$ mostrado en las Tablas 2-2, 2-3 y 2-4, difieren mucho del mostrado en la tabla de la Figura 2-23b. La razón es el haber fijado algunos parámetros del modelo.

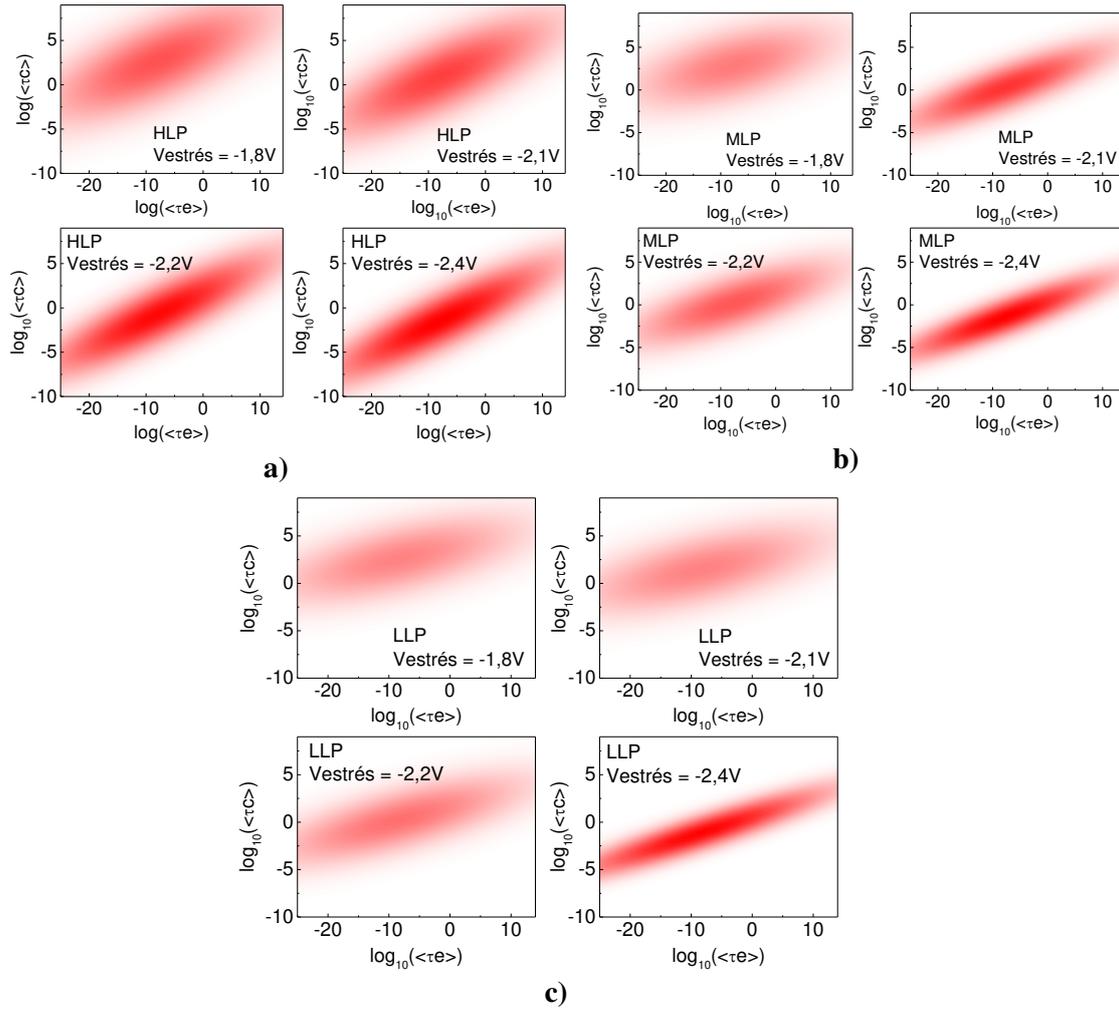


Figura 2-25. Distribuciones de defectos en los transistores a) HLP, b) MLP y c) LLP, sometidos a distintas tensiones y tiempos de estrés.

HLP						
Vestres (V)	ρ	Log ₁₀ ($\langle \tau_c \rangle$) (s)	Log ₁₀ ($\langle \tau_e \rangle$) (s)	Log ₁₀ ($\sigma \langle \tau_e \rangle$) (s)	Log ₁₀ ($\sigma \langle \tau_c \rangle$) (s)	N$\langle \eta \rangle$ (V)
-1,8	0,720	2,7	-7,879	13,584	4,623	0,508
-2,1	0,844	0,943				
-2,2	0,861	-0,716				
-2,4	0,92	-1,48				

Tabla 2-2 Parámetros del modelo PDO extraídos para el caso de los transistores sometidos a un proceso de annealing HLP, para distintas tensiones de estrés.

MLP						
Vestres (V)	ρ	Log ₁₀ ($\langle \tau_c \rangle$) (s)	Log ₁₀ ($\langle \tau_e \rangle$) (s)	Log ₁₀ ($\sigma \langle \tau_e \rangle$) (s)	Log ₁₀ ($\sigma \langle \tau_c \rangle$) (s)	N$\langle \eta \rangle$ (V)
-1,8	0,552	2,89	-7,695	12,716	3,3	0,518
-2,1	0,837	0,416				
-2,2	0,725	-0,269				
-2,4	0,898	-1,389				

Tabla 2-3. Parámetros del modelo PDO extraídos para el caso de los transistores sometidos a un proceso de annealing MLP, para distintas tensiones de estrés.

LLP						
Vestrés (V)	ρ	$\text{Log}_{10}(\langle\tau_c\rangle)$ (s)	$\text{Log}_{10}(\langle\tau_e\rangle)$ (s)	$\text{Log}_{10}(\sigma\langle\tau_e\rangle)$ (s)	$\text{Log}_{10}(\sigma\langle\tau_c\rangle)$ (s)	$N\langle\eta\rangle$ (V)
-1,8	0,667	2,578	-8,370	14,076	3,175	0,867
-2,1	0,633	1,52				
-2,2	0,727	0,234				
-2,4	0,9	-1,118				

Tabla 2-4. Parámetros del modelo PDO extraídos para el caso de los transistores sometidos a un proceso de *annealing* LLP, para distintas tensiones de estrés.

Analizando los parámetros de las Tablas 2-2, 2-3 y 2-4 se observa que $\langle\tau_c\rangle$ disminuye con la tensión de estrés (en valor absoluto). Esta disminución se observa en la Figura 2-26, en la que se ha representado $\ln(\langle\tau_c\rangle)$ en función de la tensión de estrés, para los transistores sometidos a diferente proceso MSA. Estos resultados deben interpretarse que será más probable que un defecto capture una carga cuanto mayor sea la tensión de estrés y, por lo tanto, que se degrade más el dispositivo, para un tiempo estrés dado. Para hallar el factor de variación de $\langle\tau_c\rangle$ con esta tensión, en la Figura 2-26 se ha ajustado $\ln(\langle\tau_c\rangle)$. Para realizar el ajuste se ha considerado el promedio de $\ln(\langle\tau_c\rangle)$ en las distintas muestras, debido a la poca variación de $\langle\tau_c\rangle$ observada para los transistores sometidos a diferente proceso MSA. En el capítulo 1 se ha visto que $\langle\tau_c\rangle$ varía con la tensión de estrés V_{GS} según ec. 2-6. Mediante el ajuste de $\ln(\langle\tau_c\rangle)$ se ha obtenido que $bc = -15,75V^{-1}$ y $a_c = \exp(34,85)$.

$$\langle\tau_c\rangle = a_c \cdot e^{bc|V_{GS}|} \tag{ec. 2-6}$$

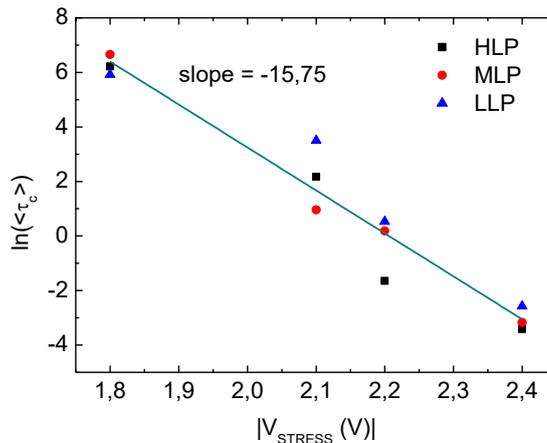


Figura 2-26. Dependencia de los tiempos medios de captura, $\langle\tau_c\rangle$, de los defectos con la tensión de estrés, para los transistores sometidos a diferente proceso MSA.

Conociendo $\langle\tau_e\rangle$ y $\langle\tau_c\rangle$ para una tensión de estrés, así como $\sigma_{\langle\tau_e\rangle}$, $\sigma_{\langle\tau_c\rangle}$ y $N\langle\eta\rangle$, se podrá generar una distribución de defectos aleatoria y calcular el ΔV_{th} asociado para unos tiempos de estrés y de relajación dados, mediante la ecuación ec. 2-1.

De los resultados obtenidos se concluye que la degradación de la tensión umbral, atribuida al NBTI, se puede reducir el aumentando la potencia del láser o, en otras palabras, aumentando la temperatura la cual se realiza el *annealing pulsado* con una duración de milisegundos, debido principalmente a la baja densidad de defectos que se generan.

2.4 Resumen del capítulo

En este capítulo, en primer lugar, se ha descrito el *set-up* desarrollado en esta tesis para la caracterización del BTI, basado en el concepto de medida ultrarrápida (*Ultra-Fast*). Este *set-up* desarrollado permite obtener ΔV_{th} desde en un tiempo mínimo de relajación de $20\mu s$, una vez se interrumpe el estrés, y hasta tiempos largos de relajación. En segundo lugar, se ha desarrollado una metodología de extracción de parámetros del modelo PDO, a partir del ajuste de las medidas experimentales obtenidas con el *set-up* de medida *Ultra-Fast*. Con los parámetros obtenidos se puede extrapolar ΔV_{th} fuera de la ventana de medida experimental y obtener información sobre la distribución de los defectos que produce el BTI y de los parámetros $N\langle\eta\rangle$ y P_p .

Se ha demostrado que la combinación del *set-up Ultra-Fast* con la metodología de extracción de parámetros del modelo PDO, puede ser una buena herramienta para estudiar/comparar la fiabilidad de transistores asociada a la degradación por BTI. A modo de ejemplo, se ha evaluado en transistores sometidos a diferentes procesos de *annealing* durante su fabricación. Del análisis de resultados se concluye que los transistores sometidos a un proceso de *annealing* a alta temperatura son los que presentan mayor robustez frente a la degradación por BTI debido, básicamente, a la baja densidad de defectos, N , que se generan por el estrés.

Con el fin de extender el estudio de la fiabilidad es necesario obtener ΔV_{th} en otras condiciones de operación del transistor. Conocidas las dependencias de los parámetros del modelo PDO con las condiciones de estrés, se podrá extrapolar su valor a otras condiciones de operación del transistor, permitiendo calcular ΔV_{th} en estas condiciones. Así pues, las medidas *Ultra-Fast* y la metodología de extracción de parámetros del modelo PDO formarán la base, en el próximo capítulo, para poder estudiar los defectos que intervienen en la recuperación del BTI en distintas condiciones de operación del transistor.

3. ANÁLISIS DE LA DEGRADACIÓN POR BTI Y CHC EN TRANSISTORES MOSFET

Como se ha visto en el capítulo 2, los parámetros del modelo PDO (*Probabilistic Defect Occupancy model*) dependen de las condiciones de estrés aplicadas en el transistor. En el caso que se aplique un estrés arbitrario, los parámetros obtenidos del análisis de la caracterización del BTI estarán referenciados a ésta condición y solo permitirán extrapolar la variación de la tensión umbral, ΔV_{th} , en el tiempo. Sin embargo, si se quiere extrapolar ΔV_{th} a otras tensiones de operación del transistor, es necesario evaluar antes los parámetros del modelo PDO en función de éstas. Es por este motivo que en este capítulo se presenta un análisis detallado de la dependencia de estos parámetros con las condiciones de estrés. En concreto se ha analizado el incremento de la tensión umbral producido por estreses a diferentes temperaturas y tensiones de puerta, aplicados en un transistor durante cierto tiempo. Teniendo en cuenta el modelo PDO y la metodología de extracción de parámetros presentada en el capítulo 2, se han obtenido los parámetros del modelo PDO de todas estas condiciones. Conocida la dependencia de estos parámetros con las condiciones de estrés, se podrá calcular ΔV_{th} en otras condiciones arbitrarias, el cual podrá ser incluido en herramientas de simulación de circuitos, como por ejemplo SPICE, para analizar el efecto de la degradación en circuitos formados por muchos transistores. De este modo, se puede estudiar la fiabilidad de los circuitos debido a la degradación por BTI, y proponer estrategias de diseño de circuitos integrados que minimicen el efecto de este mecanismo en la medida de lo posible.

La dependencia del BTI con las condiciones de estrés y su análisis usando diferentes modelos físicos, ha sido ampliamente reportado en la literatura [83], [98], [100], [114], [117], [119], [120], [126], [156], [157]. En un circuito integrado, las tensiones aplicadas simultáneamente en la puerta y el drenador del transistor pueden provocar la degradación por portadores calientes (CHC). Los efectos que produce el CHC son parecidos a los que produce el BTI (un incremento de tensión umbral ΔV_{th}) y habitualmente se estudia por separado. Teniendo esto en cuenta, en este capítulo también se han incluido diferentes tensiones de drenador como otra magnitud de estrés. Para

evaluar ΔV_{th} en estas condiciones, se ha propuesto la metodología desarrollada para describir de manera unificada la degradación por BTI y por CHC con el fin de estudiar como dependen los parámetros del modelo PDO de las tensiones de drenador aplicadas durante el estrés. Cabe destacar que en la extracción de parámetros de estas medidas, la contribución de la parte permanente en ΔV_{th} ha tomado un papel muy importante. En el capítulo 2 se ha visto que la contribución de la parte permanente no tiene un peso muy significativo en ΔV_{th} . Incluso, en determinadas medidas su contribución era nula. Sin embargo, en este capítulo ha tomado una mayor importancia y sin ésta no se hubiera podido ajustar correctamente ΔV_{th} para obtener los parámetros del modelo PDO, cuando se aplican diferentes tensiones de drenador durante el estrés. Por este motivo se explicarán con detalle los resultados obtenidos de esta contribución. Finalmente, este capítulo se concluirá con una tabla resumen en la que se mostrarán como las diferentes condiciones de estrés modifican los parámetros del modelo PDO.

3.1 Metodología y muestras utilizadas para el estudio del BTI y de la degradación por CHC

El objetivo de este capítulo es hacer un estudio sistemático de ΔV_{th} en función de las condiciones de estrés, incluyendo la tensión de drenador, con el fin de obtener las dependencias de los parámetros del modelo PDO con las condiciones de estrés e información sobre los defectos que contribuyen en estas condiciones. Por ejemplo, su distribución estadística, sus tiempos medios de emisión $\langle \tau_e \rangle$ y de captura $\langle \tau_c \rangle$ o sus energías de activación. Esta información se obtendrá usando la metodología de extracción de parámetros del modelo PDO, presentada en el capítulo 2.

La Tabla 3-1 presenta los distintos estreses considerados. Los transistores se han sometido a *i*) estreses NBTI, a una tensión de puerta V_{GS} fija y a diferentes temperaturas, *ii*) a estreses NBTI, a una temperatura fija y a diferentes tensiones V_{GS} y finalmente, *iii*) a estreses CHC, a una tensión de puerta V_{GS} fija, a una temperatura constante y para distintas tensiones de drenador V_{DS} (en un rango que va desde $V_{DS} = 0V$ hasta $V_{DS} = V_{GS}$). Las tensiones y temperaturas mostradas en esta tabla han sido cuidadosamente seleccionadas para poder analizar el efecto de cada una de estas magnitudes. Nótese que en esta tabla se ha destacado la tensión $-2,1V$ y la temperatura de $25^\circ C$, como condiciones de estrés comunes.

Mecanismo de fallo	Condiciones de estrés		
	V_{GS} (V)	Temperatura ($^\circ C$)	V_{DS} (V)
NBTI	-2,1	25; 50; 75; 100; 125	0
NBTI	-1,8; -2,1 ; -2,2; -2,4	25	0
CHC	-2,1	25	-0,2; -0,5; -1; -2,1

Tabla 3-1. Condiciones de estrés consideradas en este trabajo.

La técnica de caracterización utilizada es la técnica MSM (*medida-estrés-medida*). En este caso, la corriente de canal, I_D , se ha adquirido en tiempos de relajación cortos ($\sim 300\mu s$) después de interrumpir el estrés, gracias al uso de los módulos pulsados ultrarrápidos 4225-PMU I-V Ultra-Fast del fabricante Keithley[®] [158], que se conectan al analizador de parámetros de semiconductores Keithley 4200[®]. Para realizar un estrés NBTI, los SMUs conectados en los terminales de drenador, fuente y sustrato del transistor se conectan a tierra y se fuerza una tensión

de estrés en la puerta del transistor. Para realizar el estrés CHC, se aplica una tensión elevada en la puerta del transistor, al mismo tiempo que se fija una tensión alta de drenador. Tanto en las medidas de BTI como de CHC, los transistores se han estresado siguiendo la secuencia de test presentada en el capítulo 2 (Figura 2-21), con unos tiempos de estrés de 50ms, 100ms y 150ms, y unos tiempos de relajación, entre estrés y estrés, de 10ms, 20ms y 30ms, respectivamente. Una vez se interrumpe el estrés, la variación de la corriente del canal, ΔI_D , se mide a una tensión de puerta constante de -360mV , cercana a la tensión umbral del transistor, y a una tensión de drenador de -100mV . Finalizada la medida, ΔI_D se convierte a ΔV_{th} mediante la ecuación ec. 1-6 en la sección 1.3. Para llevar a cabo las medidas en temperatura, se ha utilizado el *Thermochuck* del fabricante *Temptronic Corporation*[®] incorporado en la mesa de puntas. Este equipo permite calentar el *chuck* de la mesa de puntas hasta la temperatura deseada, manteniéndola constante durante todo el test.

Los transistores analizados son pMOSFET con $\text{HfSiO}/\text{Al}_2\text{O}_3$ como dieléctrico de puerta (EOT $\sim 14 - 15\text{\AA}$) y el electrodo de puerta de TaCN. Éstos son los mismos que los utilizados en el capítulo 2, los cuales se han sometido a un proceso de *annealing* a alta temperatura (HLP). Las dimensiones de los dispositivos son $W \times L = 10 \times 0,15\mu\text{m}^2$ para la caracterización del BTI. En el caso de CHC se han incluido transistores pMOSFET con diferentes longitudes de canal: $L = 0,13\mu\text{m}$, $L = 0,17\mu\text{m}$ y $L = 0,25\mu\text{m}$. Todos los transistores con una anchura $W = 10\mu\text{m}$.

3.2 Degradación por BTI

En este apartado se mostrarán todos los resultados obtenidos de la caracterización del BTI y al análisis de las medidas con la metodología desarrollada, cuando se aplican estreses a diferentes tensiones y temperaturas. Con este estudio se pretende mostrar el efecto global que produce la temperatura y la tensión de puerta en la distribución de defectos y en la variación de los parámetros del modelo PDO.

Recordemos que en el capítulo 1 se ha visto que los tiempos medios de captura y de emisión de defectos dependen de las condiciones de estrés aplicadas en el transistor. Cuando se extraigan las dependencias de los parámetros del modelo PDO con las condiciones de estrés, el uso de la ec. 3-1 servirá para determinar el factor de variación de los tiempos medios de captura y de emisión con la tensión de puerta, V_{GS} , y la temperatura, T .

$$\langle \tau \rangle = K_\tau \cdot \exp(b |V_{GS}|) \cdot \exp\left(\frac{E_a}{kT}\right) \quad \text{ec. 3-1}$$

donde los parámetros b y K_τ son constantes, k es la *constante de Boltzmann*, E_a es la energía de activación media para la carga/descarga de los defectos y T es la temperatura en grados kelvin. De manera análoga a $\langle \tau \rangle$, también se ha considerado que la contribución de la parte permanente en ΔV_{th} depende exponencialmente de la tensión de puerta y de la inversa de la temperatura según la ec. 3-2, puesto que se ha observado esta dependencia, como se verá experimentalmente.

$$P_p = K_p \cdot \exp(b_p |V_{GS}|) \cdot \exp\left(\frac{E_{a_p}}{kT}\right) \quad \text{ec. 3-2}$$

donde K_p y b_p son constantes. E_{a_p} es la energía de activación de los defectos que contribuyen a parte permanente de ΔV_{th} .

3.2.1. Dependencia con la temperatura

En este apartado se muestran los resultados obtenidos referentes al efecto de la temperatura en la degradación de la tensión umbral que produce el NBTI, cuando se aplica una tensión de estrés constante de $-2,1V$ en la puerta del transistor y diferentes temperaturas $25^{\circ}C$, $50^{\circ}C$, $75^{\circ}C$, $100^{\circ}C$ y $125^{\circ}C$. La Figura 3-1 muestra ΔV_{th} , en función del tiempo de relajación, obtenido tras $300\mu s$ después de interrumpir el estrés, para las diferentes temperaturas. En esta figura se observa que la degradación es mayor cuanto mayor es la temperatura y más largo es el tiempo de estrés. La máxima variación de la V_{th} es de $75mV$, aproximadamente, después de un tiempo de estrés de $150ms$ a una temperatura de $125^{\circ}C$. Independientemente de la temperatura, la V_{th} inicia un rápido proceso de recuperación en el que decae logarítmicamente con el tiempo.

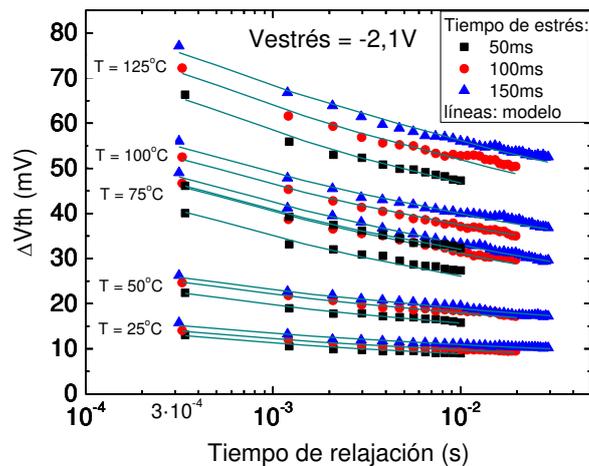


Figura 3-1. ΔV_{th} en función del tiempo de relajación, obtenido tras interrumpir estreses NBTI a una tensión de puerta de $-2,1V$, para diferentes temperaturas y tiempos de estrés.

En la misma Figura 3-1 se han representado los ajustes de ΔV_{th} (líneas continuas), obtenidos con la metodología desarrollada en este trabajo. Como puede observarse, el modelo PDO permite ajustar bien todos los resultados experimentales, con los parámetros que se indican en la Tabla 3-2. Nótese que el parámetro $N\langle\eta\rangle$, cuyo valor se ha obtenido del ajuste de ΔV_{th} a $T = 25^{\circ}C$, se ha mantenido constante para el resto de ajustes a otras temperaturas. La razón es que se ha considerado que el número total de defectos en el dispositivo, que pueden o no contribuir al ΔV_{th} , es el mismo en todos los transistores. Para poder realizar los ajustes se ha considerado la parte permanente, cuyos valores también se indican en la Tabla 3-2.

Temp (°C)	Log ₁₀ (< τ_e > (s))	Log ₁₀ (< τ_c > (s))	Log ₁₀ (σ < τ_e > (s))	Log ₁₀ (σ < τ_c > (s))	ρ	$N\langle\eta\rangle$ (V)	P_p (mV) @ t _{estrés} 50ms	P_p (mV) @ t _{estrés} 100ms	P_p (mV) @ t _{estrés} 150ms
25	-10,073	-3,878	3,759	4,348	0,72	0,475	7,51	7,72	8,57
50	-10,311	-3,872	3,945	4,247	0,67	0,475	13,29	14,32	14,65
75	-10,330	-4,766	4,324	4,434	0,72	0,475	20,02	22,11	22,32
100	-10,626	-4,833	4,151	4,340	0,62	0,475	26,62	29,24	30,26
125	-11,202	-5,804	4,596	4,851	0,68	0,475	29,12	40,18	42,19

Tabla 3-2. Parámetros del modelo PDO extraídos de los ajustes de ΔV_{th} de la Figura 3-1, para las diferentes temperaturas analizadas.

En la Figura 3-2 se han representado las distribuciones de defectos, en el espacio $\langle\tau_e\rangle-\langle\tau_c\rangle$, para cada una de las temperaturas, obtenidas cuando los parámetros de la Tabla 3-2 se introducen

en la ecuación de la distribución normal bivalente mostrada en el capítulo 1 (ec 1-17). Las zonas más rojizas de la distribución coinciden con su centro, donde se encuentran los defectos con tiempos de emisión y de captura más probables.

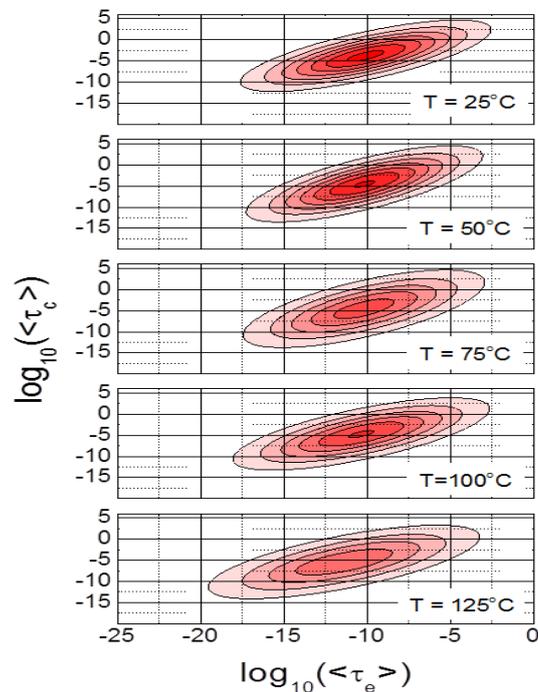


Figura 3-2. Distribuciones de defectos obtenidas a partir de los ajustes de ΔV_{th} de la Figura 3-1, para las diferentes temperaturas analizadas.

Para evaluar el efecto de la temperatura en la distribución de defectos, en la Figura 3-3 se ha representado $\langle \tau_e \rangle$ y $\langle \tau_c \rangle$ (centro de la distribución) en un gráfico de *Arrhenius*. En esta figura se puede observar que los tiempos medios de emisión y captura disminuyen con la temperatura, indicando que la temperatura acelera los procesos de carga y descarga de los defectos. Esto significa que en las mismas condiciones de tensión y tiempo, a temperaturas más altas, tras interrumpir el estrés ΔV_{th} será mayor porque habrá más defectos cargados, pero también la recuperación de V_{th} será más rápida. En la misma figura se han ajustado $\ln(\langle \tau_e \rangle)$ y $\ln(\langle \tau_c \rangle)$, en función de la inversa de la temperatura, para hallar las energías medias de activación (E_a) para la descarga y la carga de los defectos, respectivamente, a partir de la ec. 3-1. De los ajustes de $\ln(\langle \tau_e \rangle)$ y $\ln(\langle \tau_c \rangle)$ se obtiene que las energías medias de activación necesarias para emitir y capturar una carga son $E_{a\langle \tau_e \rangle} = 0,23\text{eV}$ y $E_{a\langle \tau_c \rangle} = 0,44\text{eV}$, respectivamente. De estos resultados se concluye los defectos necesitan menos energía para liberar una carga que para atraparla. Energías de activación similares se han reportado en [156] para la carga y la descarga de los defectos. En [98], [117], [126] también se muestran diferentes energías de activación para la carga/descarga de defectos, comprendidas entre 0,2eV y 1eV, en transistores nFET y pFET con SiO_2 y materiales *high-k* como dieléctrico de puerta.

En la Figura 3-4a se han representado las desviaciones estándar $\sigma_{\langle \tau_e \rangle}$ y $\sigma_{\langle \tau_c \rangle}$, en función de la temperatura. En esta figura se observa que ambas desviaciones muestran una tendencia muy parecida y aumentan con la temperatura, lo cual significa que aumenta la dispersión de los tiempos medios de emisión y captura de los defectos. Por otro lado, en la Figura 3-4b se muestra la correlación, ρ , entre $\langle \tau_e \rangle$ y $\langle \tau_c \rangle$, en función de la temperatura, observándose muy poca dependencia con ésta.

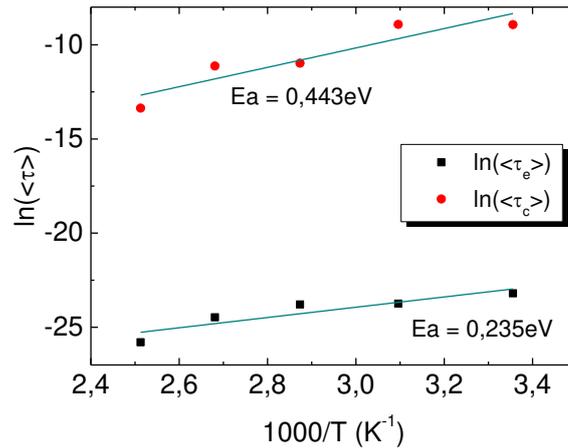


Figura 3-3. $\ln(\langle \tau_e \rangle)$ y $\ln(\langle \tau_c \rangle)$, en función de la inversa de la temperatura, obtenida de la Figura 3-2.

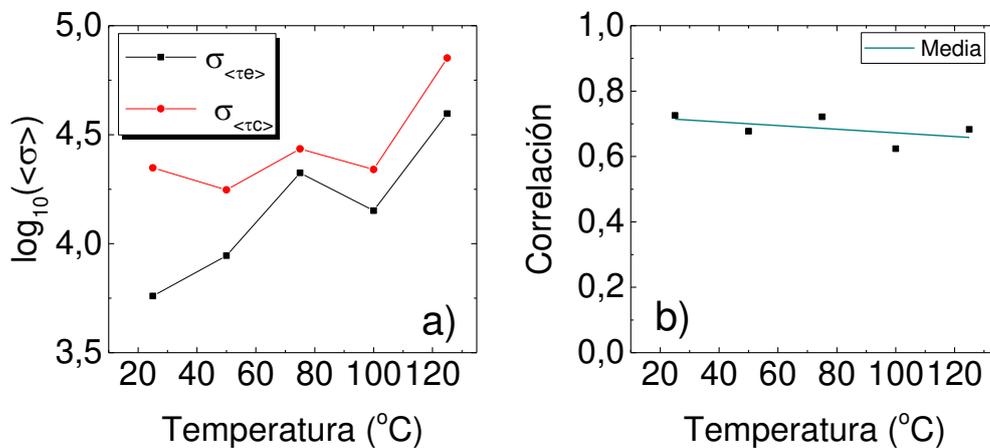


Figura 3-4. a) Desviaciones estándar $\sigma_{\langle \tau_e \rangle}$ y $\sigma_{\langle \tau_c \rangle}$, y b) correlación, ρ , entre $\langle \tau_e \rangle$ y $\langle \tau_c \rangle$, en función de la temperatura.

Finalmente, en la Figura 3-5 se ha representado la parte permanente, P_p , de ΔV_{th} , en un gráfico de Arrhenius. En esta figura se observa que la contribución de la parte permanente es mayor cuanto mayor es la temperatura. Para los tres tiempos de estrés analizados la parte permanente prácticamente no varía, aun observándose que cuanto más largo es el tiempo de estrés mayor es la contribución. Para hallar la energía de activación, E_{a_p} , de los defectos que contribuyen al ΔV_{th} de la parte permanente, se ha utilizado la ecuación ec. 3-2. Ajustando $\ln(P_p)$ en función de la inversa de la temperatura, la energía de activación de los defectos que contribuyen a la parte permanente es de $0,162\text{eV}$. Nótese que esta energía es la que necesitan estos defectos para cargarse, siendo más baja que las energías de activación obtenidas para los procesos de carga y descarga de los defectos.

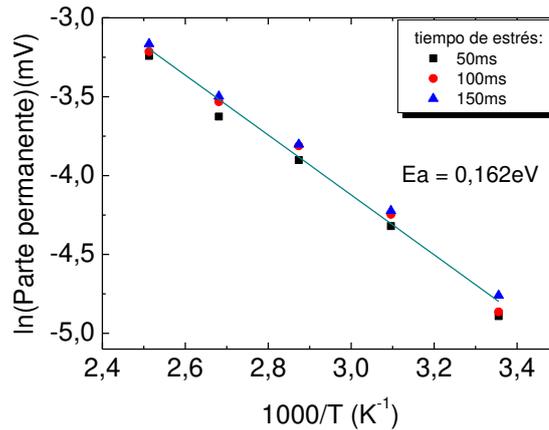


Figura 3-5. Contribución de la parte permanente en ΔV_{th} , en función de la inversa de la temperatura, para diferentes tiempos de estrés.

Una vez obtenida la parte permanente de ΔV_{th} , en la Figura 3-6 se ha representado la parte recuperable del BTI (en %), en función del tiempo de relajación, para las diferentes temperaturas y tiempos de estrés: 50ms (izquierda), 100ms (centro), 150ms (derecha). La parte recuperable, R, se ha calculado con la ecuación ec. 3-3:

$$R = \frac{\Delta V_{th}(t_r) - P_p}{\Delta V_{th}(t_r)} \cdot 100\% \quad \text{ec. 3-3}$$

donde t_r es el tiempo de relajación y P_p es la parte permanente de ΔV_{th} . En esta figura se observa que la contribución de la parte recuperable disminuye con el tiempo de relajación, con una tendencia parecida para todas las temperaturas estudiadas. La máxima contribución de R es inferior al 45% para todas las condiciones, a excepción de la obtenida para la temperatura de 75°C (\blacktriangle), cuya contribución máxima es del 55% para un tiempo de estrés de 150ms. La temperatura en la cual ocurre este aumento de la parte recuperable coincide con la temperatura que provoca un aumento de 20mV en el ΔV_{th} de la Figura 3-1, aproximadamente, cuando la temperatura pasa de 50°C a 75°C.

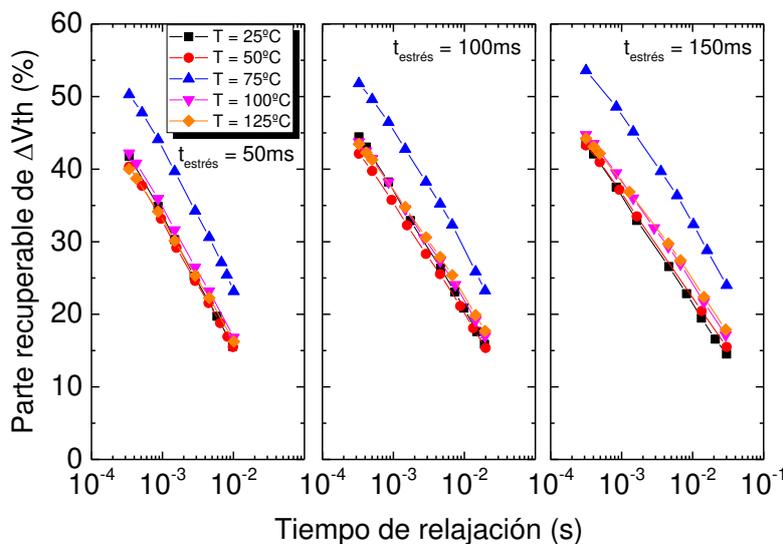


Figura 3-6. Contribución de la parte recuperable (en %) en el ΔV_{th} de la Figura 3-1, en función del tiempo de relajación, para las distintas temperaturas y tiempos de estrés: 50ms (izquierda), 100ms (centro) y 150ms (derecha).

3.2.2. Dependencia con la tensión de puerta V_G

ΔV_{th} observado después de interrumpir un estrés NBTI a una temperatura fija, en nuestro caso 25°C , se ha estudiado para distintas tensiones de estrés, $-1,8\text{V}$, $-2,1\text{V}$, $-2,2\text{V}$ y $-2,4\text{V}$, aplicadas en la puerta del transistor. El objetivo es mostrar cómo afecta la tensión de puerta V_G en la distribución de defectos y en los parámetros del modelo PDO.

En la Figura 3-7 se muestra ΔV_{th} medido a 25°C , en función del tiempo de relajación, para las diferentes tensiones de estrés. En esta figura se observa que la degradación es mayor cuanto más alta es la tensión y más largo es el tiempo de estrés. La máxima variación de ΔV_{th} es de 31mV , tras un estrés a $-2,4\text{V}$ durante 150ms . Para todas las tensiones aplicadas en la puerta del transistor, V_{th} inicia un rápido proceso de recuperación en que decae logarítmicamente con el tiempo de relajación cuando se interrumpe el estrés.

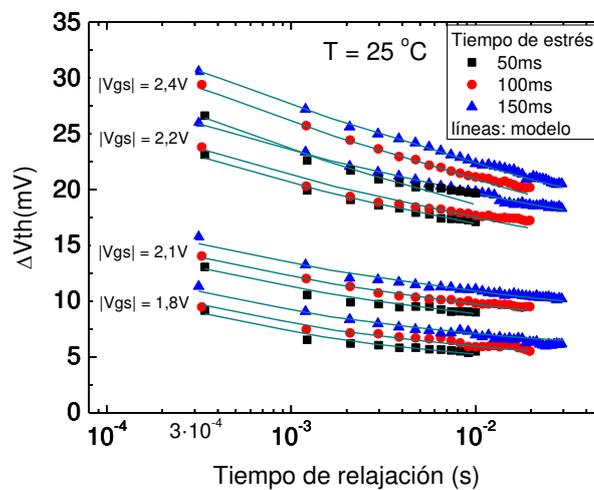


Figura 3-7. ΔV_{th} , en función del tiempo de relajación, obtenido tras interrumpir estreses NBTI a 25°C , para diferentes tensiones y tiempos de estrés.

En la misma Figura 3-7 se han representado los ajustes de ΔV_{th} (líneas continuas), en función del tiempo de relajación, obtenidos con la metodología desarrollada. Los parámetros extraídos del modelo, para cada condición de estrés, se muestran en la Tabla 3-3. Nótese que para realizar estos ajustes se ha considerado que el parámetro $N\langle\eta\rangle$ no varía y su valor ($0,475\text{V}$) es igual al utilizado anteriormente en los ajustes de ΔV_{th} de la Figura 3-1, para las diferentes temperaturas. La razón de haber considerado el parámetro $N\langle\eta\rangle$ invariante es para poder comparar las distribuciones entre para todas las condiciones de estrés. De esta manera se impone que el número total de defectos que contribuyen a ΔV_{th} es el mismo en todos los transistores.

$ V_{GS} $ (V)	Log_{10} ($\langle\tau_e\rangle$) (s)	Log_{10} ($\langle\tau_c\rangle$) (s)	Log_{10} ($\langle\sigma\tau_e\rangle$) (s)	Log_{10} ($\langle\sigma\tau_c\rangle$) (s)	ρ	$N\langle\eta\rangle$ (V)	P_p (mV) @ $t_{\text{estrés}}$ 50ms	P_p (mV) @ $t_{\text{estrés}}$ 100ms	P_p (mV) @ $t_{\text{estrés}}$ 150ms
1,8	-10,100	-3,680	3,403	5,558	0,59	0,475	4,37	4,73	5,71
2,1	-10,073	-3,878	3,759	4,348	0,72	0,475	7,51	7,72	8,57
2,2	-9,865	-4,257	4,147	4,380	0,80	0,475	14,58	13,87	15,37
2,4	-9,745	-4,573	4,331	4,236	0,85	0,475	15,08	15,31	15,6

Tabla 3-3. Parámetros del modelo PDO extraídos de los ajustes de ΔV_{th} de la Figura 3-7, para las diferentes tensiones de estrés.

En la Figura 3-8 se ha representado las distribuciones de defectos, en el espacio $\langle \tau_e \rangle - \langle \tau_c \rangle$, para cada tensión de estrés considerada, obtenidas cuando los parámetros de la Tabla 3-3 se introducen en la ecuación de la distribución normal bivariante presentada en el capítulo 1 (ec 1- 17). En esta figura se observa que a medida que la tensión de puerta aumenta, la distribución se estrecha verticalmente y se alarga horizontalmente. Estos resultados indican que la dispersión de los tiempos medios de captura disminuye con el aumento de la tensión de estrés. En cambio, la de los tiempos medios de emisión aumenta con esta tensión.

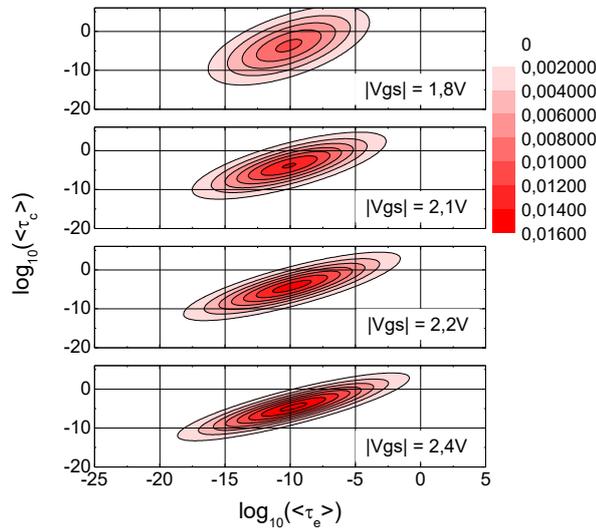


Figura 3-8. Distribuciones de defectos obtenidas a partir de los ajustes de ΔV_{th} de la Figura 3-7, para las diferentes tensiones de estrés aplicadas en la puerta del transistor.

Para mostrar el efecto de la tensión de estrés en la distribución de defectos, en la Figura 3-9 se ha representado $\langle \tau_e \rangle$ y $\langle \tau_c \rangle$ (centro de la distribución) en función de la tensión de puerta V_{GS} . En esta figura se observa que $\langle \tau_c \rangle$ y $\langle \tau_e \rangle$ disminuye y aumenta con esta tensión, respectivamente. Esto significa el voltaje de estrés acelera los procesos de carga de los defectos (mayor degradación) y ralentiza los procesos de descarga. Los resultados obtenidos concuerdan los resultados obtenidos en [124], [159]. En la misma figura se ha ajustado $\ln(\langle \tau_e \rangle)$ y $\ln(\langle \tau_c \rangle)$, en función de V_{GS} , para hallar los factores de variación de $\langle \tau_e \rangle$ y $\langle \tau_c \rangle$ con esta tensión, es decir los parámetros b_e y b_c de la ecuación ec. 3-1, respectivamente, cuyos valores son $b_e = 1,41V^{-1}$ y $b_c = -3,48V^{-1}$.

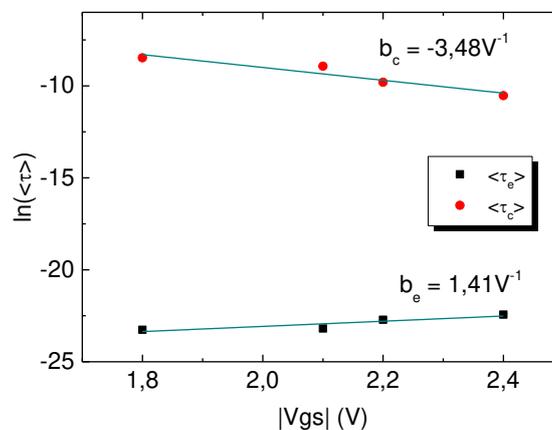


Figura 3-9. Representación y ajuste de $\ln(\langle \tau_e \rangle)$ y $\ln(\langle \tau_c \rangle)$, en función de la tensión de estrés, para hallar el factor de variación de $\langle \tau \rangle$ con esta tensión.

En las Figuras 3-10a-b se muestran las desviaciones estándar $\sigma_{\langle\tau_e\rangle}$ y $\sigma_{\langle\tau_c\rangle}$, y la correlación, ρ , entre $\langle\tau_e\rangle$ y $\langle\tau_c\rangle$, en función de la tensión de puerta, respectivamente. En la Figura 3-10a se observa que a medida que la tensión de estrés aumenta, la dispersión de los tiempos medios de captura disminuye (la distribución se estrecha verticalmente), pero aumenta la de los tiempos medios de emisión (la distribución se alarga horizontalmente). Por otro lado, en la Figura 3-10b se observa una correlación lineal positiva entre $\langle\tau_e\rangle$ y $\langle\tau_c\rangle$ con la tensión V_{GS} . El aumento del coeficiente de correlación con esta tensión indica que la dependencia entre $\langle\tau_e\rangle$ y $\langle\tau_c\rangle$ aumenta con la tensión.

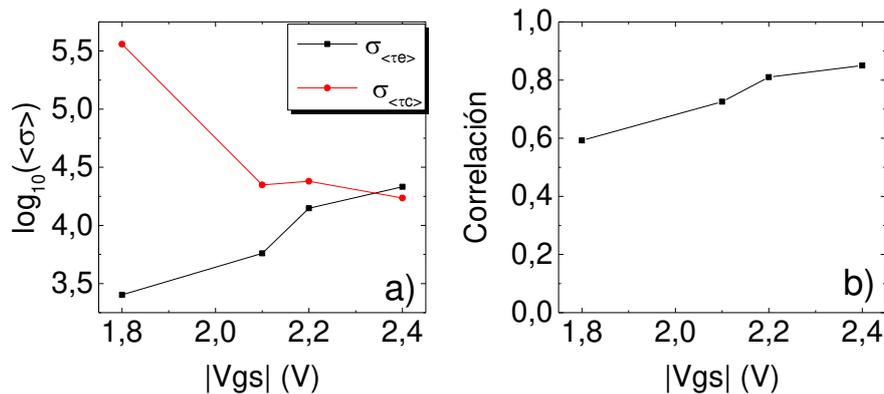


Figura 3-10. a) Desviaciones estándar $\sigma_{\langle\tau_e\rangle}$ y $\sigma_{\langle\tau_c\rangle}$, y b) correlación, ρ , entre $\langle\tau_e\rangle$ y $\langle\tau_c\rangle$, en función de la tensión de estrés.

Finalmente, en la Figura 3-11 se ha representado la contribución de la parte permanente en el ΔV_{th} , en función de la tensión de puerta, para diferentes tiempos de estrés. Se puede observar que la parte permanente es mayor cuanto más largo es el tiempo de estrés (aunque su variación sea pequeña) y muestra una tendencia exponencial con la tensión de puerta. Para encontrar el factor de variación de la parte permanente con la tensión V_{GS} , es decir, el parámetro b_p de la ecuación ec. 3-2, se ha ajustado $\ln(P_p)$, obteniendo $b_p = 2,044V^{-1}$.

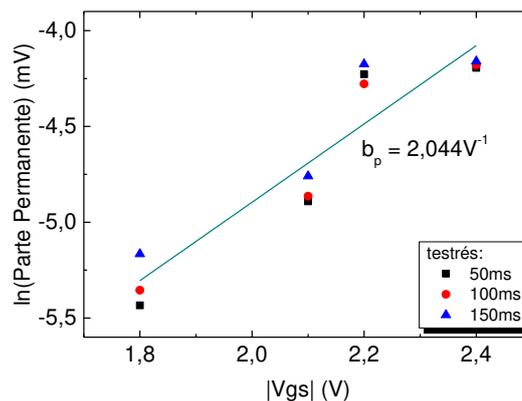


Figura 3-11. Contribución de la parte permanente en ΔV_{th} , en función de la tensión de puerta, para distintos tiempos de estrés.

Una vez obtenida la parte permanente, en la Figura 3-12 se muestra el porcentaje que representa la parte recuperable R del BTI, en función del tiempo de relajación, para las diferentes tensiones y tiempos de estrés: 50ms (izquierda), 100ms (centro), 150ms (derecha). La parte recuperable se ha calculado con la ecuación ec. 3-3. En esta figura se observa que la contribución de la parte recuperable, R, en ΔV_{th} disminuye con el tiempo de relajación para todas las tensiones

y tiempos de estrés, con una tendencia muy parecida. La contribución máxima es inferior al 50% para todas las tensiones, salvo para la tensión de puerta $-2,2V$, cuya contribución máxima es del 56%. Nótese que esta tensión coincide con el voltaje de puerta que provoca una variación de 10mV en el ΔV_{th} de la Figura 3-7, cuando éste pasa de $-2,1V$ a $-2,2V$.

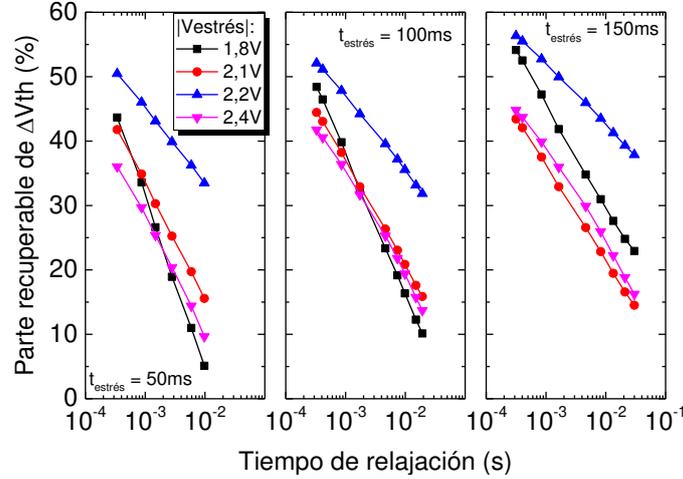


Figura 3-12. Contribución de la parte recuperable (en %) en ΔV_{th} de la Figura 3-7, en función del tiempo de relajación, para las distintas tensiones y tiempos de estrés: 50ms (izquierda), 100ms (centro) y 150ms (derecha).

Una vez evaluados los parámetros Ea_c , Ea_e , Ea_p , b_c , b_e y b_p , cuyos valores se muestran en la Tabla 3-4, se pueden determinar los parámetros K_c , K_e y K_p de la ec. 3-1 y ec. 3-2. Nótese que en cada estudio de NBTI hecho se obtendrá un K_c , K_e y K_p . A continuación se explica como hallar dichos parámetros.

Parte Recuperable				Parte Permanente	
b_c (V^{-1})	b_e (V^{-1})	Ea_c (eV)	Ea_e (eV)	b_p (V^{-1})	Ea_p (eV)
3,48	1,41	0,443	0,235	2,064	0,162

Tabla 3-4. Parámetros b_c , b_e , b_p , Ea_c , Ea_e y Ea_p , que permiten extrapolar $\langle \tau \rangle$ y P_p , para una temperatura y tensión de estrés dada.

Cuando se fija la tensión de puerta $V_{GS} = -2,1V$ y se varía la temperatura, los parámetros $K_{e,c}$ se obtienen del ajuste de $\ln(\langle \tau_{e,c} \rangle)$ de la Figura 3-3 y considerando los parámetros b_e , b_p y la ec. 3-4.

$$\ln(K_{e,c}) = \ln(a_{e,c}) - |V_{GS}| \cdot b_{e,c} \quad \text{ec. 3-4}$$

donde $\ln(a_{e,c})$ es el valor del $\ln(\langle \tau_{e,c} \rangle)$ (obtenido del ajuste) en intercepción de con el eje y (cuando $1000/kT = 0$), cuyo valor es $\ln(a_e) = -32,118$ y $\ln(a_c) = -25,609$. De forma análoga, cuando se fija la temperatura a $25^\circ C$ y se varía la tensión de puerta, V_{GS} , los parámetros $K_{e,c}$ se obtienen del ajuste de $\ln(\langle \tau_{e,c} \rangle)$ de Figura 3-9 y considerando los parámetros Ea_e , Ea_c y la ec. 3-5.

$$\ln(K_{e,c}) = \ln(a'_{e,c}) - \frac{Ea_{e,c}}{kT} \quad \text{ec. 3-5}$$

donde $\ln(a'_{e,c})$ el valor $\ln(\langle \tau_{e,c} \rangle)$ (obtenido del ajuste) en la intercepción con el eje y (es decir, cuando $V_{GS} = 0V$), cuyo valor es $\ln(a'_e) = -25,898$ y $\ln(a'_c) = -2,020$. Para hallar K_p en ambas dependencias se ha utilizado las ecuaciones ec. 3-4 y ec. 3-6, pero utilizando los parámetros Ea_p ,

b_p y el valor del ajuste de $\ln(P_p)$ de las Figuras 3-5 y 3-11 en la intercepción con el eje y , cuyos valores son $\ln(a_p) = 1,57$ y $\ln(a'_p) = -8,984$, respectivamente.

En la Tabla 3-5 se indican los valores de $K_{c,e,p}$ obtenidos para un estrés NBTI a una tensión de puerta constante, para distintas temperaturas, y a una temperatura constante, para distintas tensiones de estrés.

	Parte Recuperable		Parte Permanente
	K_c	K_e	K_p
Temperatura @ $V_{GS} = -2.1V$	$\exp(-18,28)$	$\exp(-35,08)$	$\exp(-2,72)$
Tensión @ $T = 25^\circ C$	$\exp(-15,03)$	$\exp(-35,04)$	$\exp(-2,61)$

Tabla 3-5. Valores de $K_{c,e}$ y K_p hallados en cada dependencia estudiada, una vez conocidos los parámetros Ea_c , Ea_e , Ea_p , b_c , b_e y b_p .

3.2.3. Ajuste conjunto de los parámetros del modelo PDO en función de la tensión de puerta y la temperatura

En este apartado se muestra el ajuste conjunto de $\langle \tau \rangle$ y de los otros parámetros del modelo PDO ($\sigma_{\langle \tau_e \rangle}$, $\sigma_{\langle \tau_c \rangle}$, ρ y P_p) en función de la temperatura y de la tensión de estrés aplicada en la puerta del transistor. Como se ha visto que en cada estudio de NBTI hecho (tensión y temperatura) se ha obtenido un valor diferente de K_c y K_e , como se ha mostrado en la Tabla 3-5. Desde el punto de vista matemático se deduce que existe una “discontinuidad” entre la ecuación que ajusta $\langle \tau \rangle$ en función de la temperatura, dada una tensión de estrés, y la ecuación que ajusta $\langle \tau \rangle$ en función de la tensión de estrés, dada una temperatura. En ambos casos considerando la ec. 3-1 y los parámetros de las Tablas 3-4 y 3-5. Como consecuencia, los parámetros K_c y K_e encontrados en una de las dependencias, por ejemplo en la dependencia de $\langle \tau \rangle$ con la temperatura (Figura 3-3), no permiten ajustar correctamente $\langle \tau \rangle$ en función de la tensión (Figura 3-9). Lo mismo ocurre para el caso contrario, los valores de K_c y K_e obtenidos de las dependencias de $\langle \tau \rangle$ con la tensión, no permiten ajustar correctamente $\langle \tau \rangle$ en función de la temperatura. La solución es encontrar un valor óptimo y único de K_c y K_e que, al introducirlo en la ec. 3-1, juntamente con los parámetros Ea_c , Ea_e , b_c y b_e , permita ajustar correctamente $\langle \tau_c \rangle$ y $\langle \tau_e \rangle$ para cualquier tensión y temperatura. Para solventar este problema se ha hecho un ajuste simultáneo de $\langle \tau \rangle$ considerando los resultados obtenidos en función de la temperatura y la tensión de estrés, mediante la ecuación ec. 3-1. El algoritmo se basa en el mismo principio que el utilizado en la metodología de extracción de parámetros del modelo PDO, presentada en el capítulo 2. Mediante un bucle iterativo se han dado valores, de forma aleatoria, a los parámetros $K_{c,e}$, $b_{c,e}$ y $Ea_{c,e}$ hasta que la ec. 3-1 ha ajustado todos los datos experimentales. Con el nuevo procedimiento de $\langle \tau \rangle$ se obtiene el nuevo conjunto de parámetros que se resume en la Tabla 3-6:

K_c	K_e	$b_c (V^{-1})$	$b_e (V^{-1})$	$Ea_c (eV)$	$Ea_e (eV)$
$\exp(-14,97)$	$\exp(-35,173)$	-3,338	1,438	0,329	0,236

Tabla 3-6. Nuevos valores de Ea_c , Ea_e , b_c , b_e , K_c y K_e que permiten ajustar correctamente $\langle \tau_c \rangle$ y $\langle \tau_e \rangle$ en función de la tensión y la temperatura, mediante la ec. 3-1.

Nótese que los valores obtenidos de b_c , b_e , Ea_e y K_e , son muy parecidos a los mostrados en las Tablas 3-4 y 3-5. Por el contrario, los parámetros K_c y Ea_c han variado significativamente. Para demostrar que los parámetros de la Tabla 3-6 permiten ajustar correctamente $\langle \tau \rangle$ en función de

la temperatura y la tensión, en las Figuras 3-13 y 3-14 se muestran los ajustes de $\langle\tau_e\rangle$ y $\langle\tau_c\rangle$, respectivamente.

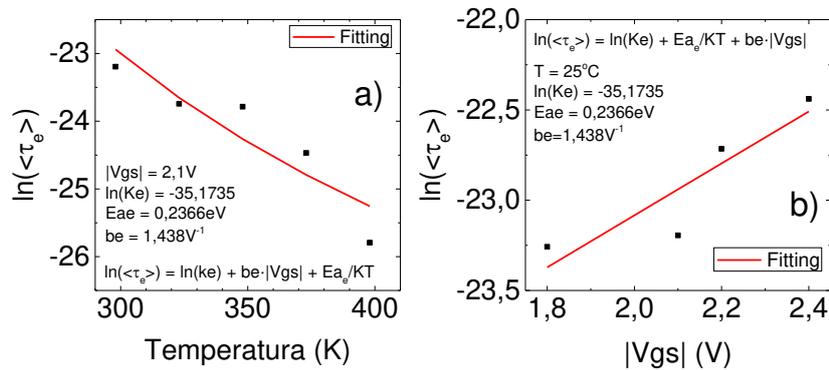


Figura 3-13. Ajuste de $\langle\tau_e\rangle$ en función de a) la temperatura y b) la tensión de estrés, mediante la ec. 3-1 y los parámetros de la Tabla 3-6.

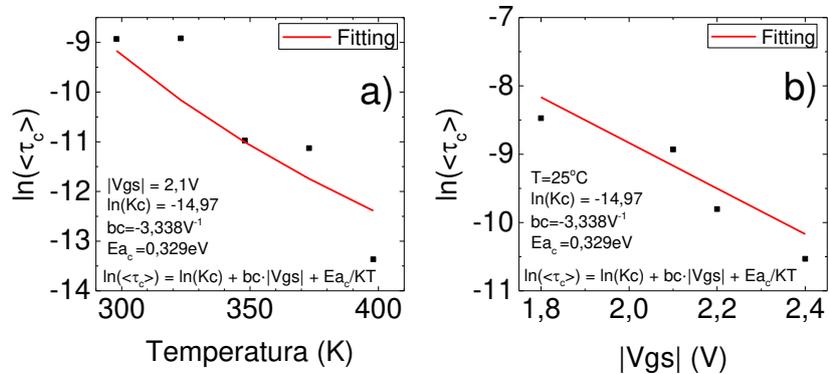


Figura 3-14. Ajuste de $\langle\tau_c\rangle$ en función de a) la temperatura y b) la tensión de estrés, mediante la ec. 3-1 y los parámetros de la Tabla 3-6.

Con los nuevos parámetros mostrados en la Tabla 3-6, se puede extrapolar $\langle\tau_e\rangle$ y $\langle\tau_c\rangle$ a cualquier otra temperatura y tensión de puerta a las que se someta el transistor. A modo de ejemplo, en las Figuras 3-15a-b se muestra la extrapolación de $\langle\tau_e\rangle$ y $\langle\tau_c\rangle$ a otras temperaturas y tensiones, respectivamente. En las figuras se han indicado, con círculos punteados, los valores de $\langle\tau_e\rangle$ y $\langle\tau_c\rangle$ obtenidos experimentalmente. Gracias a éstos, se ha conseguido extrapolar los tiempos medios de emisión y captura a otras condiciones de estrés.

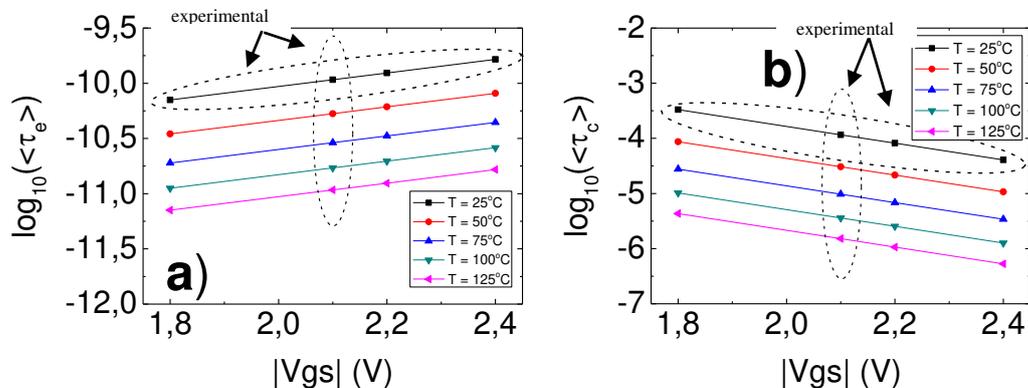


Figura 3-15. Extrapolación de a) $\langle\tau_e\rangle$ y b) $\langle\tau_c\rangle$ a otras temperaturas y tensiones de estrés, mediante la ec. 3-1 y los parámetros de la Tabla 3-6. En círculos punteados se han indicado los parámetros obtenidos experimentalmente.

Una vez evaluadas las dependencias de $\langle \tau_e \rangle$ y $\langle \tau_c \rangle$ de la tensión de puerta, V_{GS} , y la temperatura, T , la Figura 3-16 muestra una representación de donde se halla el centro de la distribución de defectos, en el espacio $\langle \tau_e \rangle - \langle \tau_c \rangle$, después de interrumpir estreses NBTI a distintas tensiones (■) y temperaturas (●). Partiendo de que el centro de la distribución se halla en $\langle \tau_e \rangle = 10^{-10,07}s$ y $\langle \tau_c \rangle = 10^{-3,8}s$ para un estrés NBTI a una temperatura de 25°C y a una tensión $V_{GS} = -2,1V$ (círculo punteado), si la temperatura y la tensión de puerta aumentan, el centro de la distribución se desplaza hacia tiempos medios de captura más pequeños. Sin embargo, si aumenta la tensión, el centro de la distribución se traslada hacia tiempos medios de emisión más grandes, y si aumenta la temperatura, hacia tiempos medios de emisión más pequeños.

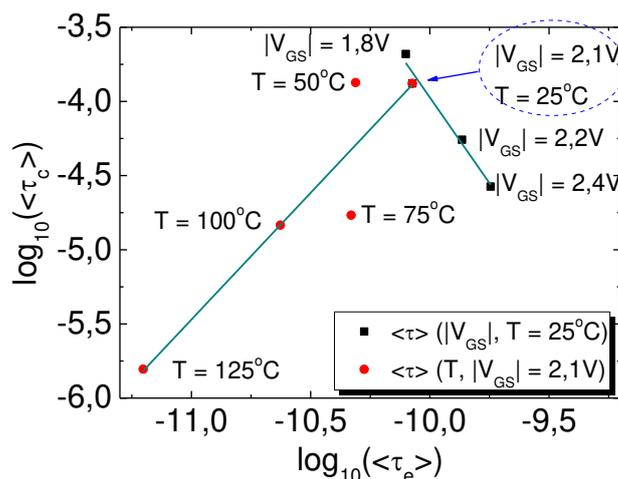


Figura 3-16. Posición del centro de la distribución de defectos, en el espacio $\langle \tau_e \rangle - \langle \tau_c \rangle$, en función de la temperatura, T , y la tensión de estrés, V_{GS} .

Teniendo en cuenta los tiempos de estrés utilizados en este estudio, si se comparan los ΔV_{th} obtenidos después interrumpir estreses a una temperatura constante de 25°C, para distintas tensiones de estrés (Figura 3-7), con los obtenidos después de interrumpir estreses a una tensión de puerta constante de -2,1V, para diferentes temperaturas (Figura 3-1), se puede concluir que el efecto de la temperatura es más significativo en la degradación de la tensión umbral que el de la tensión, porque produce una mayor variación de los tiempos medios de captura de los defectos, en comparación con la tensión de puerta.

Parte permanente

De la misma manera que ocurre con los tiempos medios de captura y de emisión, existen dos valores posibles de K_p para ajustar la parte permanente, mediante la ecuación ec. 3-2, en función de la tensión de puerta (Figura 3-11) y la temperatura (Figura 3-5). Para solventar este problema, se han ajustado simultáneamente todos los resultados referentes a la parte permanente. En la Tabla 3-7 se indican los nuevos valores obtenidos de Ea_p , b_p y K_p .

K_p	b_p (V ⁻¹)	Ea_p (eV)
exp(-3,092)	2,0611	0,152

Tabla 3-7. Nuevos valores de Ea_p , b_p , K_p que permiten ajustar la parte permanente en función de la temperatura y la tensión de estrés, mediante la ecuación ec. 3-2 .

Con los nuevos valores encontrados de K_p , b_p y Ea_p , se puede ajustar, a la vez y con la ecuación ec. 3-2, la parte permanente en función de la temperatura y de la tensión de estrés, como muestran

las Figuras 3–17a-b, respectivamente. Además, estos parámetros permiten extrapolar la parte permanente a otras tensiones y temperaturas de estrés. A modo de ejemplo, en la Figura 3-18 se ha representado la parte permanente, P_p , en función de la tensión de estrés, para diferentes temperaturas. Con círculos punteados se han indicado los valores obtenidos experimentalmente a partir de los cuales se han obtenido los parámetros y permiten extrapolar la parte permanente a otras condiciones de estrés.

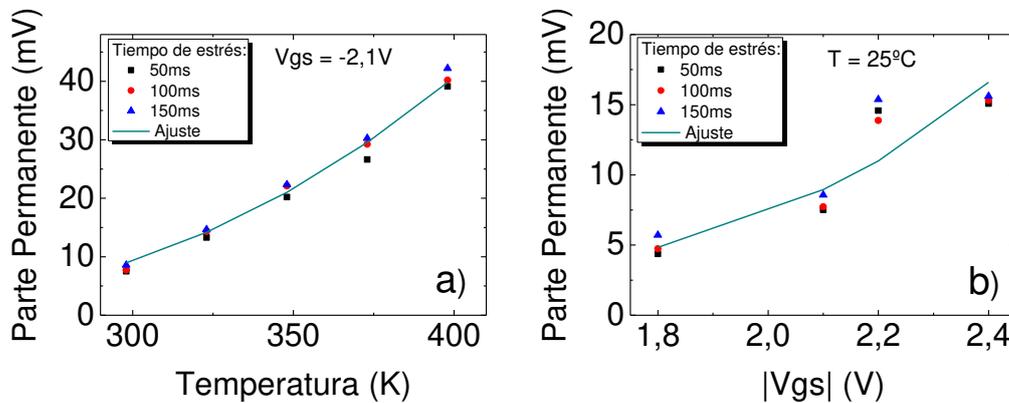


Figura 3-17. Ajuste de la contribución de la parte permanente en ΔV_{th} (mV) en función de a) la temperatura ($V_{GS} = -2,1V$) y b) la tensión de estrés ($T = 25^\circ C$), mediante la ec. 3-2 y los parámetros de la Tabla 3-7.

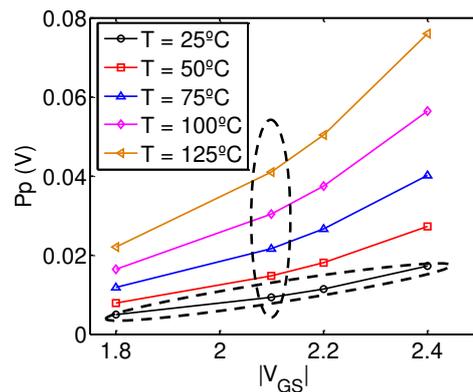


Figura 3-18. Extrapolación de la contribución de la parte permanente a otras tensiones de estrés y temperaturas. Con un círculo punteado se han indicado los valores de P_p obtenidos experimentalmente.

Desviaciones estándar $\sigma_{\langle\tau_e\rangle}$ y $\sigma_{\langle\tau_c\rangle}$ y la correlación ρ entre $\langle\tau_e\rangle$ y $\langle\tau_c\rangle$

Del mismo modo que se han ajustado conjuntamente los parámetros $\langle\tau_e\rangle$, $\langle\tau_c\rangle$ y P_p en función de la temperatura y la tensión de estrés, a continuación se hace lo mismo para las desviaciones $\sigma_{\langle\tau_e\rangle}$ y $\sigma_{\langle\tau_c\rangle}$ y la correlación ρ . De esta manera, para una tensión de estrés y una temperatura dada, se podrá obtener todos los parámetros del modelo PDO para esa condición. En las Figuras 3-19a-b y en las Figuras 3-19c-d se han ajustado $\ln(\sigma_{\langle\tau_e\rangle})$ y $\ln(\sigma_{\langle\tau_c\rangle})$ en función de la temperatura y de la tensión de estrés, respectivamente. Las ecuaciones que permiten obtener estas dependencias se indican en la parte superior de estas mismas figuras. Nótese que tanto en el ajuste de $\ln(\sigma_{\langle\tau_e\rangle})$ como en $\ln(\sigma_{\langle\tau_c\rangle})$, se ha utilizado una ecuación muy simple que permite reproducir correctamente ambos parámetros con la tensión y la temperatura. Sin embargo, hay dos valores de $\ln(\sigma_{\langle\tau_c\rangle})$, uno cuando $T = 125^\circ C$ y el otro cuando $V_{GS} = 1,8V$, que no se han ajustado correctamente. Visto que $\ln(\sigma_{\langle\tau_e\rangle})$ se puede ajustar correctamente con la misma ecuación, hace pensar que estos dos valores

de $\sigma_{\langle\tau_c\rangle}$ son erróneos y sus valores tendrían que ser próximos a 10,5 y a 11, respectivamente. Por el otro lado, en las Figuras 3-20a-b se ha ajustado linealmente la correlación entre $\langle\tau_e\rangle$ y $\langle\tau_c\rangle$ en función de la temperatura y en función de la tensión de estrés, respectivamente. La ecuación que permite reproducir ρ para ambas dependencias se ha indicado en la parte superior de la misma figura.

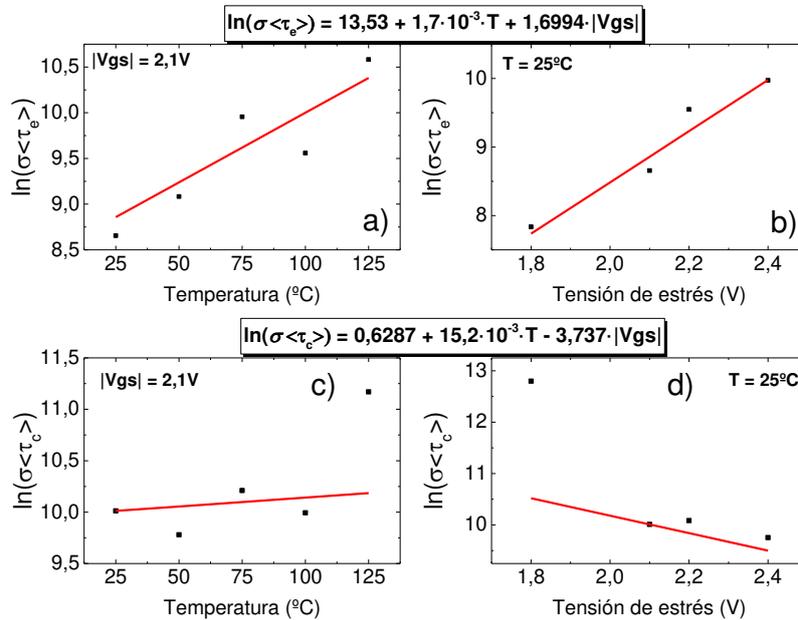


Figura 3-19. Ajuste de $\ln(\sigma_{\langle\tau_e\rangle})$ y $\ln(\sigma_{\langle\tau_c\rangle})$, en función de la temperatura (figuras a y c) y la tensión de estrés (figuras b y d).

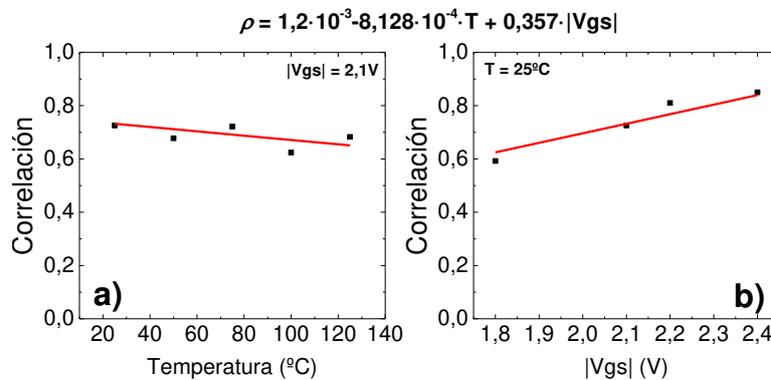


Figura 3-20. Ajuste lineal de la correlación entre $\langle\tau_e\rangle$ y $\langle\tau_c\rangle$, en función de a) la temperatura y b) la tensión V_{GS} .

Una vez estudiado el efecto de la tensión de puerta y la temperatura en los parámetros del modelo PDO después de un estrés NBTI, a continuación se estudiará como estos parámetros se modifican cuando se aplican diferentes tensiones de drenador durante el estrés.

3.3 Análisis de la degradación para diferentes tensiones de drenador

En este apartado se pretende mostrar como la tensión de drenador, aplicada durante el estrés, afecta a la distribución de los defectos que contribuyen al ΔV_{th} y a su parte permanente. Para observar como varían se han aplicado en el transistor diferentes tensiones de drenador V_{DS} , de

forma gradual, empezando por un estrés BTI ($V_{DS} = 0V$) y terminado cuando $V_{DS} = V_{GS}$ (estrés CHC puro) al mismo tiempo que se aplica una tensión fija de puerta y una temperatura.

Para poder obtener información de los defectos que contribuyen al ΔV_{th} y la parte permanente, se ha utilizado el modelo PDO para describir de manera unificada la degradación por BTI y por CHC. En este sentido se ha propuesto que durante un estrés BTI si se aplica una tensión de drenador, el campo eléctrico en el canal deja de ser uniforme, lo que permite dividir la degradación total del dispositivo dos componentes. Una, cerca de la fuente y atribuida al BTI y la otra cerca de la región del drenador y atribuida a los portadores calientes. Teniendo esto en cuenta, a continuación se mostrarán los resultados de ΔV_{th} obtenidos después de interrumpir estreses a una tensión de puerta fija de $-2,1V$ y a $25^{\circ}C$, para distintas tensiones de drenador, V_{DS} , $-0,2V$, $-0,5V$, $-1V$, y $-2,1V$. Por un lado, se mostrarán estos resultados en un transistor de dimensiones $W \times L = 10 \times 0,25 \mu m^2$. Por otro lado, se comparará la degradación de la tensión umbral y de algunos parámetros del modelo PDO, en transistores con diferentes longitudes de canal $L = 0,13 \mu m$, $L = 0,17 \mu m$ y $L = 0,25 \mu m$. Todos los transistores con una anchura $W = 10 \mu m$.

Transistor de $W \times L = 10 \times 0,25 \mu m^2$

En esta sección se caracteriza ΔV_{th} obtenido en el transistor de $W \times L = 10 \times 0,25 \mu m^2$ cuando se somete a diferentes estreses. De la caracterización se obtendrán los parámetros del modelo PDO mediante la metodología desarrollada. En la Figura 3-21 se ha representado ΔV_{th} , en función del tiempo de relajación (tras $\sim 340 \mu s$ después de interrumpir el estrés), para distintas tensiones de drenador V_{DS} y distintos tiempos de estrés: 50ms (izquierda), 100ms (centro) y 150ms (derecha). En esta figura se observa que ΔV_{th} es más grande cuanto más pequeña es la tensión $|V_{DS}|$ (más próximo a la condición de estrés NBTI) y, por lo general, cuanto más largo es el tiempo de estrés. Nótese que ΔV_{th} obtenido para un tiempo de estrés de 100ms es muy parecido al obtenido para un tiempo de estrés de 150ms. La máxima variación de V_{th} es de 19mV para un estrés NBTI durante 150ms y un tiempo de relajación de 340 μs . A medida que la tensión $|V_{DS}|$ aumenta y se aproxima a la tensión de puerta ($V_{estrés} = -2,1V$), ΔV_{th} disminuye y la velocidad de recuperación de la tensión umbral también. En esta figura se puede observar que para tensiones $|V_{DS}| \geq 0,5V$, el ΔV_{th} obtenido tras interrumpir el estrés se reduce considerablemente, respecto al obtenido cuando $V_{DS} = -0,2V$, y es parecido al obtenido para $V_{DS} = -1V$ y $V_{DS} = -2,1V$.

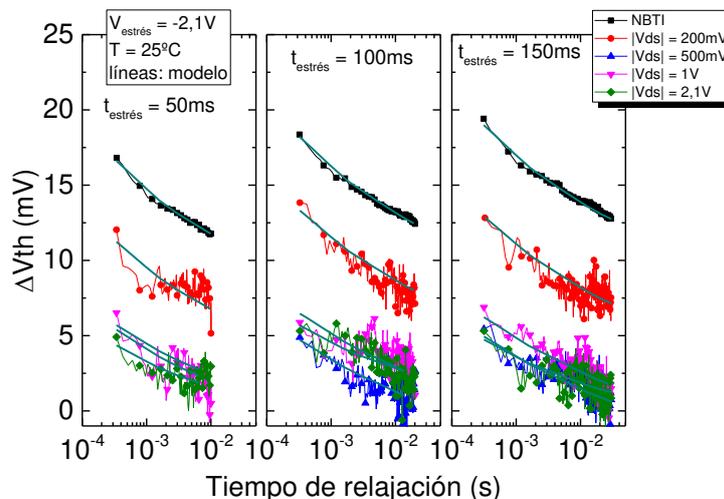


Figura 3-21. ΔV_{th} en función del tiempo de relajación, obtenido en un transistor pMOSFET de $W \times L = 10 \times 0,25 \mu m^2$ tras interrumpir un estrés a una tensión de puerta fija y distintas tensiones de drenador, para diferentes tiempos de estrés: 50ms (izquierda), 100ms (centro) y 150ms (derecha).

En la misma Figura 3-21 se han representado los ajustes de ΔV_{th} en función del tiempo de relajación, obtenidos con la metodología de extracción de parámetros desarrollada en este trabajo, para las diferentes condiciones de estrés. El buen ajuste de los datos experimentales permite concluir que la metodología desarrollada para el caso $V_{DS} = 0V$ (BTI) también permite ajustar ΔV_{th} en función del tiempo de relajación después de interrumpir un estrés con una tensión V_{DS} aplicada. Los parámetros del modelo extraídos se indican en la Tabla 3-8. Para los ajustes, se ha considerado que el parámetro $N\langle\eta\rangle$ no varía y su valor (0,475V) es el mismo que el utilizado anteriormente, para el caso NBTI ($V_{DS} = 0V$). Nótese que los parámetros de la distribución ($\langle\tau_c\rangle$, $\langle\tau_e\rangle$, $\sigma_{\langle\tau_e\rangle}$, $\sigma_{\langle\tau_c\rangle}$ y ρ) obtenidos cuando $V_{DS} = 0V$ (estrés NBTI en el transistor de $L = 0,25\mu m$) son parecidos a los obtenidos anteriormente en el transistor con una longitud $L = 0,15\mu m$ (Tablas 3-2 y 3-3). En cambio, la contribución de la parte permanente P_p es un poco más grande.

$ V_{DS} $ (V)	$\text{Log}_{10}(\langle\tau_e\rangle)$ (s)	$\text{Log}_{10}(\langle\tau_c\rangle)$ (s)	$\text{Log}_{10}(\sigma_{\langle\tau_e\rangle})$ (s)	$\text{Log}_{10}(\sigma_{\langle\tau_c\rangle})$ (s)	ρ	$N\langle\eta\rangle$ (V)	P_p (mV) @ t_{estres} 50ms	P_p (mV) @ t_{estres} 100ms	P_p (mV) @ t_{estres} 150ms
0	-10,001	-4,022	3,783	4,223	0,73	0,475	10,04	10,6	10,87
0,2	-9,532	-3,825	3,779	4,128	0,78	0,475	5,11	5,29	5,85
0,5	-9,623	-3,181	3,908	3,944	0,77	0,475	1,08	1,26	0,89
1	-9,253	-1,814	4,022	3,950	0,73	0,475	0,9	0,9	0,511
2,1	-8,459	-0,955	3,739	4,158	0,73	0,475	1	1,04	0,6

Tabla 3-8. Parámetros del modelo PDO obtenidos de los ajustes de ΔV_{th} de la Figura 3-21, para las distintas tensiones V_{DS} .

En la Figura 3-22 se han representado las distribuciones de defectos, para las distintas condiciones de estrés, obtenidas con los parámetros de la Tabla 3-8 y la ecuación de la distribución normal bivalente presentada en el capítulo 1 (ec 1-17). Todas las distribuciones obtenidas son muy parecidas entre ellas debido a la semejanza entre las desviaciones $\sigma_{\langle\tau_c\rangle}$ y $\sigma_{\langle\tau_e\rangle}$, así como la correlación ρ entre $\langle\tau_e\rangle$ y $\langle\tau_c\rangle$, para cada condición de estrés.

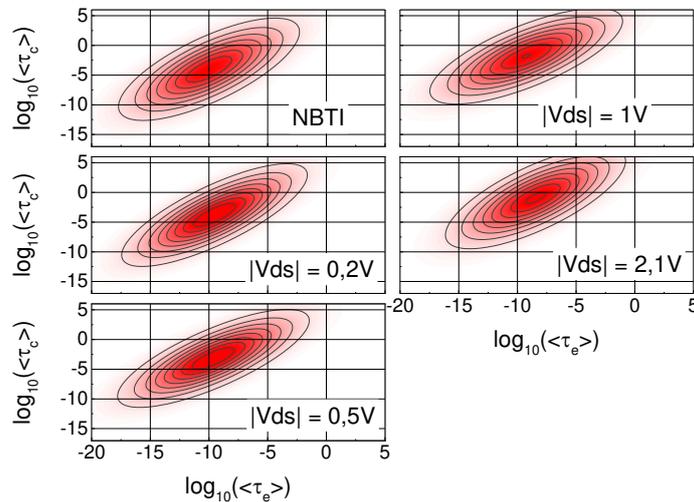


Figura 3-22. Distribuciones de defectos obtenidas de los ajustes de ΔV_{th} de la Figura 3-21, para las distintas tensiones V_{DS} .

Para analizar con más detalle el efecto de la tensión de drenador en la distribución de defectos, en la Figura 3-22 se ha representado $\langle\tau_c\rangle$ y $\langle\tau_e\rangle$ (centro de la distribución) en función de esta tensión. En esta figura se observa que ambos tiempos aumentan con $|V_{DS}|$, lo que indica que se ralentizan los procesos de carga y descarga de los defectos. Es por este motivo que la degradación

de la tensión umbral provocada por el estrés, disminuye con el aumento de $|V_{DS}|$ y su velocidad de recuperación también.

En la sección anterior se ha visto como $\langle \tau \rangle$ dependen de la tensión de puerta V_{GS} y de la temperatura, T. Para poder describir la variación de $\langle \tau \rangle$ con la tensión de drenador V_{DS} se ha añadido un nuevo término en la ec. 3-1 que refleja esta dependencia, de manera que esta ecuación queda modificada según ec. 3-6.

$$\langle \tau \rangle = K_{\tau} \cdot \exp(b |V_{GS}|) \cdot \exp\left(\frac{Ea}{kT}\right) \cdot \exp(d_{CHC} \cdot |V_{DS}|) \quad \text{ec. 3-6}$$

donde el parámetro d_{CHC} es el factor de variación de $\langle \tau \rangle$ con la tensión V_{DS} . Los parámetros b , Ea y K_{τ} (ya conocidos) se obtienen de la condición de estrés NBTI ($V_{DS} = 0V$) y son el factor de variación de $\langle \tau \rangle$ con la tensión de puerta, la energía de activación media para la carga/descarga de los defectos y una constante, respectivamente. El parámetro k es la *constante de Boltzmann* y T es la temperatura en grados kelvin.

Una vez presentada ec. 3-6, en la misma Figura 3-23 se han ajustado $\ln(\langle \tau_e \rangle)$ y $\ln(\langle \tau_c \rangle)$, en función de la tensión de drenador, V_{DS} , para obtener el factor de variación de $\langle \tau_e \rangle$ y $\langle \tau_c \rangle$ con este voltaje, es decir, el parámetro d_{CHC} , obteniéndose $d_{CHC_e} = 1,667V^{-1}$ y $d_{CHC_c} = 3,614V^{-1}$, respectivamente.

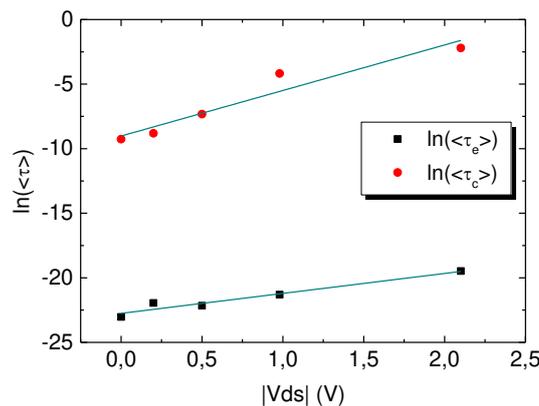


Figura 3-23. Representación y ajuste de $\ln(\langle \tau_e \rangle)$ y $\ln(\langle \tau_c \rangle)$, en función de la tensión de drenador aplicada durante el estrés.

Una vez estudiado como $\langle \tau_e \rangle$ y $\langle \tau_c \rangle$ dependen de las condiciones de estrés aplicadas en el transistor (temperaturas, tensiones de puerta y drenador), la Figura 3-24 se ha representado un ejemplo del desplazamiento del centro de la distribución de defectos en el espacio $\langle \tau_e \rangle - \langle \tau_c \rangle$, en función de las condiciones de estrés aplicadas en el transistor. Los centros representados se han obtenido de las Figuras 3-2, 3-8 y 3-22. De hecho, esta figura recoge la posición del centro de la distribución de defectos después de interrumpir estreses NBTI a una temperatura constante de 25°C, para distintas tensiones de puerta V_{GS} (■), estreses NBTI a una tensión de puerta constante de -2,1V, para diferentes temperaturas T (●), y estreses a una tensión de puerta constante de -2,1V y a 25°C, para diferentes tensiones de drenador, V_{DS} (▲). Para observar el desplazamiento de la distribución, se ha fijado un origen en $\langle \tau_e \rangle \approx 10^{-10}s$ y $\langle \tau_c \rangle \approx 10^{-4}s$, indicado con un círculo, valores obtenidos para la condición de estrés NBTI. Nótese que en el interior de este círculo hay dos puntos representados. Esto es debido a la pequeña variabilidad obtenida en los parámetros $\langle \tau_e \rangle$ y $\langle \tau_c \rangle$ para el transistor con $L = 0,15\mu m$ y $L = 0,25\mu m$. Idealmente estos

puntos tendrían que coincidir. Si la tensión V_{DS} aplicada en el estrés aumenta, se observa que el centro de la distribución de defectos se desplaza hacia tiempos $\langle\tau_e\rangle$ y $\langle\tau_c\rangle$ mayores. En cambio, cuando la tensión de puerta V_{GS} aumenta, el centro de la distribución se traslada hacia tiempos medios de captura más pequeños y de emisión más grandes. Finalmente, si la temperatura crece, el centro de la distribución se desplaza hacia tiempos de captura y emisión más pequeños.

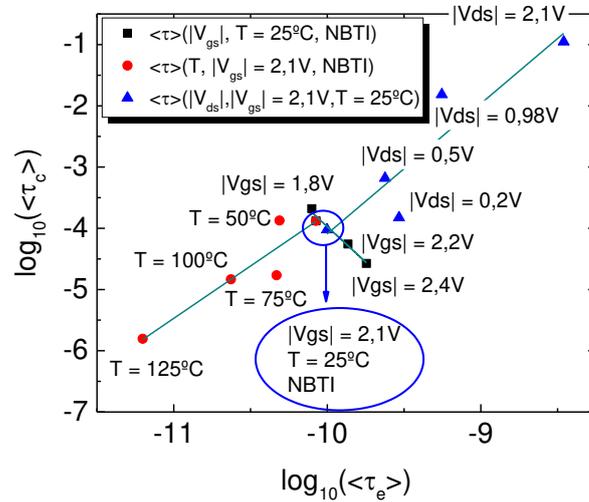


Figura 3-24. Centro de la distribución de defectos en el espacio $\langle\tau_e\rangle$ - $\langle\tau_c\rangle$, en función de la temperatura (NBTI), la tensión de estrés (NBTI) y la tensión V_{DS} (CHC).

Las desviaciones estándar, $\sigma_{\langle\tau_c\rangle}$ y $\sigma_{\langle\tau_e\rangle}$, en función de la tensión de drenador se muestran en la Figura 3-25. Se observa una tendencia opuesta entre $\sigma_{\langle\tau_e\rangle}$ y $\sigma_{\langle\tau_c\rangle}$, es decir, cuando una decrece la otra aumenta, y viceversa. Su variación con la tensión de drenador es pequeña (muestra una tendencia parabólica), motivo por el cual las distribuciones de la Figura 3-22 son parecidas entre ellas. Sus valores son parecidos a los obtenidos, anteriormente, en las medidas de NBTI para una tensión $V_{GS} = -2,1\text{V}$ y $T = 25^\circ\text{C}$ (Tablas 3-2 y 3-3).

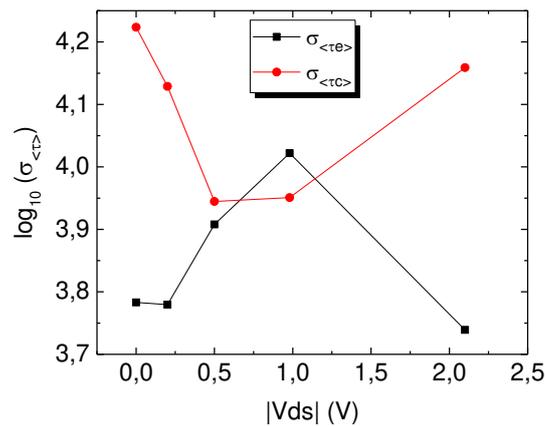


Figura 3-25. Desviaciones estándar $\sigma_{\langle\tau_e\rangle}$ y $\sigma_{\langle\tau_c\rangle}$, en función de la tensión de drenador, obtenidas del ajuste del ΔV_{th} de la Figura 3-21.

Una vez analizados los parámetros de la distribución, atribuidos a la parte recuperable de ΔV_{th} , se procederá a analizar la contribución de la parte permanente y se comparará con el ΔV_{th} total (contribución de la parte permanente y la recuperable) obtenido para las diferentes condiciones de estrés. A modo de ejemplo, en Figura 3-26 se ha representado ΔV_{th} obtenido en Figura 3-21,

tras un tiempo de relajación, t_r , de $340\mu\text{s}$ (símbolos rellenos) y la parte permanente (símbolos vacíos) de ΔV_{th} . Todas las tensiones se han representado en función de la tensión V_{DS} aplicada durante el estrés, para diferentes tiempos t_s : 50ms, 100ms y 150ms. En esta figura se puede observar que tanto ΔV_{th} como la parte permanente siguen una tendencia muy parecida, con la tensión V_{DS} , con dos tramos bien diferenciados. Para $|V_{DS}| < 0,5\text{V}$, tanto ΔV_{th} y como la parte permanente disminuyen con el aumento de $|V_{DS}|$, con una pendiente similar. En cambio, para tensiones $|V_{DS}| \geq 0,5\text{V}$, ΔV_{th} y la parte permanente se mantienen prácticamente constantes con unos valores de 5mV y a 1mV, respectivamente. Los resultados obtenidos en esta figura pueden ser interpretados teniendo en cuenta el mecanismo de degradación que predomina en el dispositivo durante el estrés. Como se ha explicado en el capítulo 1, cuando se aplica una tensión en la puerta y en el drenador, la caída de tensión entre la puerta y el sustrato cercano a la fuente del transistor se podría considerar como un estrés BTI, el cual se sumaría a la degradación por portadores calientes cerca de la región del drenador. Por lo tanto, la degradación total en el dispositivo se puede dividir en dos componentes diferenciadas, la producida por el BTI en la fuente y la causada por el CHC en el drenador [160]–[163]. Teniendo en cuenta lo expuesto, la componente BTI estaría relacionada con el primer tramo en el que ΔV_{th} decrece significativamente con la tensión V_{DS} , y la componente CHC con el segundo tramo en el que ΔV_{th} se mantiene constante. La disminución de ΔV_{th} con la tensión $|V_{DS}|$, podría estar asociada a una disminución del campo eléctrico vertical del drenador y, a la vez, a un aumento del campo eléctrico lateral, en la región cercana al drenador. De la observación de los comportamientos en la Figura 3-26, se podría concluir que para tensiones de drenador (en valor absoluto) superiores a 0,5V predominará la componente CHC sobre la componente NBTI.

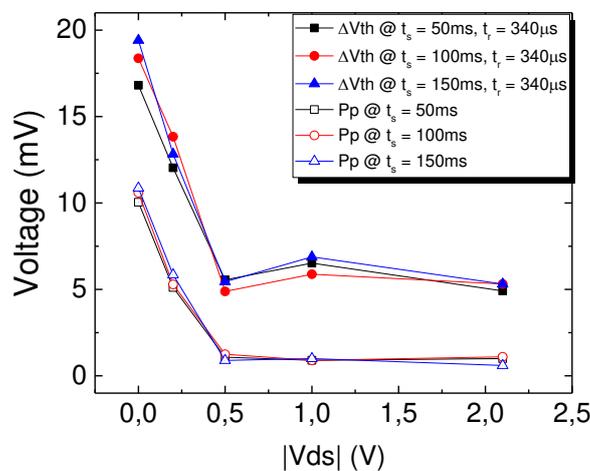


Figura 3-26. ΔV_{th} total obtenido tras un tiempo de relajación de $340\mu\text{s}$ y la contribución de la parte permanente, P_p , en el ΔV_{th} , en función de la tensión de drenador y para distintos tiempos de estrés.

Una vez obtenida la parte permanente, en la Figura 3-27 se muestra el porcentaje que representa la parte recuperable, R , en ΔV_{th} de la Figura 3-21, en función del tiempo de relajación, para las diferentes tensiones V_{DS} y tiempos de estrés: 50ms (izquierda), 100ms (centro) y 150ms (derecha). Para calcular este porcentaje se ha utilizado la ecuación ec. 3-7.

$$R = \frac{\Delta V_{th_total}(t_r) - P_p}{\Delta V_{th_NBTI}(t_r)} \cdot 100\% \quad \text{ec. 3-7}$$

donde t_r es el tiempo de relajación, P_p es la parte permanente, ΔV_{th_NBTI} es la variación de la tensión umbral producida por el estrés NBTI y ΔV_{th_total} es la variación de la tensión umbral total causada por el estrés (contribución de la parte recuperable más la permanente). En esta figura se observa que la parte recuperable se reduce y su pendiente disminuye cuanto mayor la tensión $|V_{DS}|$ aplicada durante el estrés. Estas disminuciones pueden atribuirse a una reducción del campo eléctrico vertical en el óxido de puerta (E_{ox}) y a un aumento del campo eléctrico lateral en la región del canal cercana al drenador. Este resultado podría indicar que la componente CHC tiene una mayor influencia en ΔV_{th} a medida que aumenta $|V_{DS}|$, del mismo modo que se ha observado en [163]. Por lo tanto, la disminución de la componente recuperable podría indicar que la carga total atrapada en el interior del dieléctrico disminuye, pero el aumento de la tensión $|V_{DS}|$ en la región del drenador provoca un aumento de los estados interfaciales en dicha región (portadores calientes), afectando a la parte permanente [148].

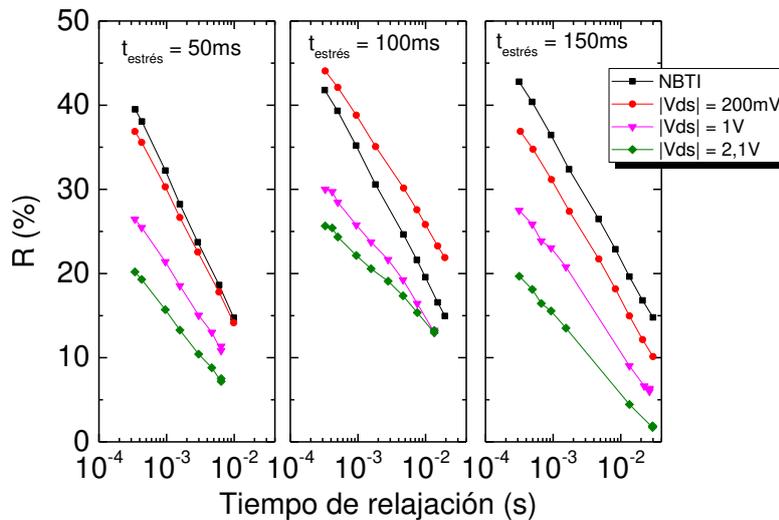


Figura 3-27. Contribución de la parte recuperable (en %) en ΔV_{th} , en función del tiempo de relajación, para las distintas tensiones de drenador y tiempos de estrés: 50ms (izquierda), 100ms (centro) y 150ms (derecha).

Transistores con diferente longitud de canal

Una vez conocido como varía V_{th} y los parámetros de del modelo PDO de un solo transistor cuando se aplican estreses con diferentes tensiones de drenador, a continuación se mostrará como estos parámetros dependen de la longitud de canal del transistor. Para ello primero se obtendrá ΔV_{th} y con la metodología desarrollada se obtendrán los parámetros del modelo. En la Figura 3-28 muestra ΔV_{th} , en función de la tensión de drenador V_{DS} aplicada durante el estrés, obtenido en los tres transistores con un canal $0,25\mu\text{m}$ (■), $0,17\mu\text{m}$ (●) y $0,13\mu\text{m}$ (▲) ($W = 10\mu\text{m}$), tras $340\mu\text{s}$ después de interrumpir un estrés de 50ms (izquierda), 100ms (centro) y 150ms (derecha). En esta figura se observa que para una tensión V_{DS} dada, ΔV_{th} es mayor cuanto más pequeña es la longitud del canal y más largo es el tiempo de estrés. Independientemente de la longitud de canal del transistor, se observan dos tramos bien diferenciados de ΔV_{th} en función de la tensión V_{DS} . En el primero, ΔV_{th} decrece con esta tensión, y el segundo, ΔV_{th} varía muy poco con ésta. Para los transistores con longitud $L = 0,13\mu\text{m}$ y $L = 0,17\mu\text{m}$, este cambio se produce para $V_{DS} = -0,2\text{V}$. Sin embargo, para el transistor con $L = 0,25\mu\text{m}$, este cambio se produce para $V_{DS} = -0,5\text{V}$, aproximadamente.

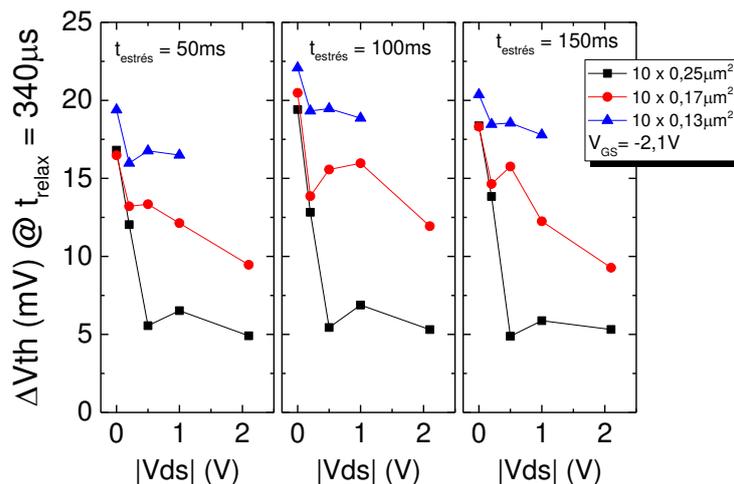


Figura 3-28. ΔV_{th} tras $340\mu s$ de interrumpir estreses de 50ms (izquierda), 100ms (centro) y 150ms (derecha), en función de la tensión V_{DS} , en transistores con diferentes longitudes de canal.

Para visualizar mejor el efecto de la longitud de canal en ΔV_{th} , en la Figura 3-29 se ha representado esta dependencia, tras un tiempo de relajación de $340\mu s$, para las diferentes tensiones V_{DS} y unos tiempos de estrés de 50ms (izquierda), 100ms (centro) y 150ms (derecha). Comparando ΔV_{th} obtenido para la condición de estrés NBTI (■) con el obtenido para las distintas tensiones V_{DS} , se observa que cuanto mayor es la longitud del canal, ΔV_{th} es menor. Estos resultados se podrían justificar comparando la zona de estrangulamiento del canal con la zona de inversión del canal del transistor atribuida al campo eléctrico vertical aplicado en la puerta del transistor. Como ya se ha explicado, la degradación producida por un estrés con una tensión V_{DS} puede dividirse en una componente BTI localizada a lo largo de la región de inversión del canal, y otra componente CHC localizada en la región cercana al drenador. Cuando la longitud del canal es grande, el área de la región de estrangulamiento del canal, debido a la componente CHC, es pequeña en comparación a la de la región de inversión. En consecuencia, la componente BTI provocará una mayor variación en ΔV_{th} . Sin embargo, a medida que se reducen las dimensiones del canal, el área de la zona de estrangulamiento del canal adquiere mayor importancia. En consecuencia, la degradación por CHC predomina en el dispositivo [160] y se observa menos variación de ΔV_{th} .

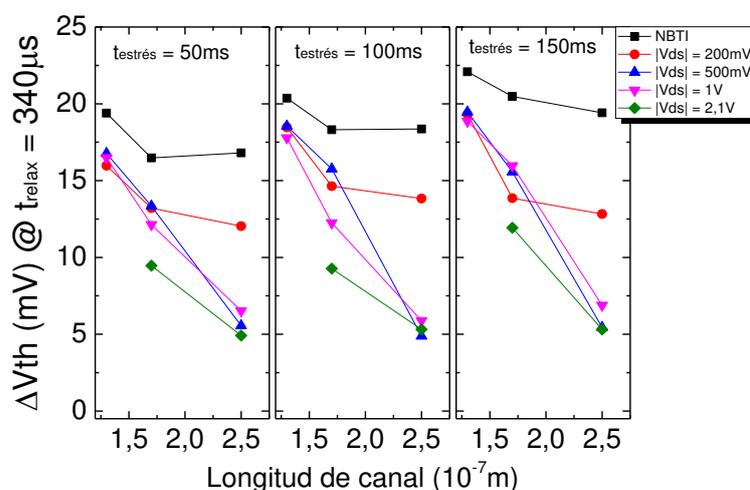


Figura 3-29. ΔV_{th} obtenido tras $340\mu s$ después de interrumpir el estrés CHC durante 50ms (izquierda), 100ms (centro) y 150ms (derecha), en función de la longitud de canal, para diferentes tensiones V_{DS} .

Una vez analizado ΔV_{th} se ha procedido a la extracción de parámetros del modelo PDO, por lo que las Tablas 3-9 y 3-10 muestran los parámetros de los transistores con una longitud de 0,13 μ m y 0,17 μ m que permiten reproducir ΔV_{th} para diferentes tensiones de drenador aplicadas, respectivamente.

$ V_{DS} $ (V)	Log_{10} ($\langle\tau_e\rangle$) (s)	Log_{10} ($\langle\tau_c\rangle$) (s)	Log_{10} ($\sigma\langle\tau_e\rangle$) (s)	Log_{10} ($\sigma\langle\tau_c\rangle$) (s)	ρ	$N\langle\eta\rangle$ (V)	P_p (mV) @ t_{estres} 50ms	P_p (mV) @ t_{estres} 100ms	P_p (mV) @ t_{estres} 150ms
0	-10,073	-3,878	3,759	4,348	0,72	0,475	13,83	14,04	14,89
0.2	-9,305	-2,953	3,788	4,355	0,75	0,475	10,57	12,75	13,33
0.5	-9,256	-2,362	3,916	4,541	0,72	0,475	10,56	10,7	11,35
1	-8,725	-1,912	3,875	4,183	0,74	0,475	10,29	9,95	11,14

Tabla 3-9 Parámetros del modelo PDO hallados a partir de los ajustes de ΔV_{th} en función del tiempo de relajación, para cada condición de estrés, en transistores de longitud de canal $L = 0,13\mu\text{m}$ y $W = 10\mu\text{m}$.

$ V_{DS} $ (V)	Log_{10} ($\langle\tau_e\rangle$) (s)	Log_{10} ($\langle\tau_c\rangle$) (s)	Log_{10} ($\sigma\langle\tau_e\rangle$) (s)	Log_{10} ($\sigma\langle\tau_c\rangle$) (s)	ρ	$N\langle\eta\rangle$ (V)	P_p (mV) @ t_{estres} 50ms	P_p (mV) @ t_{estres} 100ms	P_p (mV) @ t_{estres} 150ms
0	-10,366	-4,118	4,049	4,183	0,74	0,475	9,08	9,3	10,19
0.2	-9,986	-3,889	3,796	4,513	0,73	0,475	7,82	8,26	8,37
0.5	-9,894	-3,868	3,732	3,905	0,74	0,475	8,19	8,28	7,99
1	-9,792	-3,877	3,664	4,320	0,73	0,475	7,32	6,6	8,39
2,1	-9,6	-3,451	3,891	4,465	0,81	0,475	7,05	7,03	7,66

Tabla 3-10. Parámetros del modelo PDO hallados a partir de los ajustes de ΔV_{th} en función del tiempo de relajación, para cada condición de estrés, en transistores de longitud de canal $L = 0,17\mu\text{m}$ y $W = 10\mu\text{m}$.

Para observar como la longitud de canal influye en los tiempos medios de captura y emisión de los defectos, en la Figura 3-30 se han representado $\langle\tau_e\rangle$ (cuadrados) y $\langle\tau_c\rangle$ (círculos), en función de la tensión V_{DS} . En esta figura se observa que los valores de $\langle\tau_e\rangle$ y $\langle\tau_c\rangle$ obtenidos para estrés NBTI coinciden aproximadamente en todos los transistores con diferente longitud de canal. Además, todos los tiempos medios de captura y emisión tienden a aumentar con la tensión $|V_{DS}|$. Nótese que este aumento no sigue una tendencia ordenada con la longitud de canal de los transistores. Esto es debido a los valores de $\langle\tau\rangle$ hallados con la metodología desarrollada, lo que implica que el factor de variación de $\langle\tau\rangle$ con la tensión V_{DS} (parámetro d_{CHC} de la ec. 3-6) es distinto para cada transistor. De las Tablas 3-8, 3-9 y 3-10 también se destaca que la correlación, ρ , entre $\langle\tau_e\rangle$ y $\langle\tau_c\rangle$, así como las desviaciones estándar $\sigma_{\langle\tau_c\rangle}$ y $\sigma_{\langle\tau_e\rangle}$, son muy parecidas para las diferentes condiciones de estrés y en todos los transistores con diferente longitud de canal analizados.

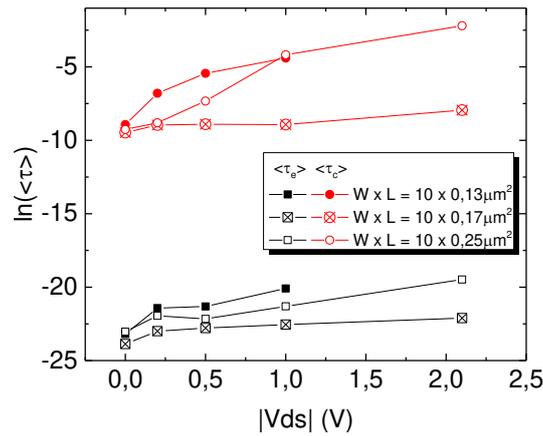


Figura 3-30. $\ln(\langle \tau_e \rangle)$ (cuadrados) y $\ln(\langle \tau_e \rangle)$ (círculos) en función de la tensión V_{DS} , para los transistores con diferente longitud de canal.

Finalmente, en la Figura 3-31 se ha representado la parte permanente P_p del ΔV_{th} , en función de la tensión V_{DS} , para los transistores con diferente longitud de canal. De forma análoga al ΔV_{th} de la Figura 3-28, se observan dos tramos bien diferenciados. Un tramo en que la P_p decrece con la tensión $|V_{DS}|$, y el otro en que se mantiene constante con ésta. Las tensiones a las cuales se producen estos cambios en la parte permanente son $-0,2V$, para los transistores con una $L = 0,13\mu m$ y $L = 0,17\mu m$, y $-0,5V$ para el transistor con una $L = 0,25\mu m$. También se observa que la contribución de la parte permanente en ΔV_{th} aumenta con la disminución de la longitud de canal del transistor debido a que el ΔV_{th} total también aumenta con la disminución de la longitud del canal.

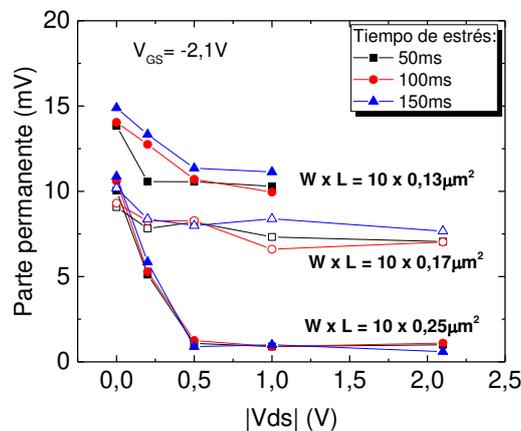


Figura 3-31. Contribución de la parte permanente de ΔV_{th} , en función de la tensión V_{DS} aplicada durante el estrés durante distintos tiempos de estrés, en transistores con diferente longitud de canal.

3.4 Resumen del capítulo

En este capítulo se ha analizado la variación de la tensión umbral en transistores pMOSFET, después interrumpir estreses NBTI a diferentes tensiones y temperaturas, y CHC a una tensión de puerta y a una temperatura constante, para diferentes tensiones de drenador. Por un lado, en el BTI, el aumento de la temperatura provoca una mayor variación y una recuperación muy rápida de la tensión umbral, una vez se interrumpe el estrés. Estos resultados indican que la temperatura acelera los procesos de captura y emisión de los defectos en el dieléctrico de puerta. Por otro lado,

en un estrés BTI, si la tensión de puerta aumenta, la variación de la tensión umbral también y su recuperación es más lenta. Estos resultados indican que el aumento de la tensión de puerta acelera y ralentiza los procesos de captura y emisión de los defectos, respectivamente. Finalmente, en los estreses CHC se ha observado que aumentando la tensión de drenador la degradación disminuye, indicando que se reducen los procesos de carga y descarga de los defectos en el dieléctrico de puerta. El aumento de la tensión de drenador provoca que la relevancia de la componente recuperable del BTI disminuya y la contribución de la parte permanente tome cada vez más importancia.

Para la extracción de parámetros del modelo PDO se ha utilizado la metodología desarrollada para ajustar ΔV_{th} en función del tiempo de relajación, para las diferentes condiciones de estrés. En la Tabla 3-11 se resume como varían los parámetros modelo PDO en función de la temperatura y las tensiones de puerta $|V_{GS}|$ y drenador $|V_{DS}|$, aplicadas durante los estreses. Una vez evaluada la dependencia de los parámetros del modelo PDO $\langle \tau_e \rangle$, $\langle \tau_c \rangle$, $\sigma_{\langle \tau_e \rangle}$, $\sigma_{\langle \tau_c \rangle}$ y ρ de las condiciones de estrés a que se somete el transistor, es decir, de la temperatura y las tensiones de puerta y drenador, se podrá obtener sus valores a unas condiciones de estrés arbitrarias.

Parámetros del modelo PDO	Aumento de la temperatura	Aumento de la tensión $ V_{GS} $	Aumento de la tensión $ V_{DS} $
$\langle \tau_e \rangle$	Disminuye	Aumenta	Aumenta
$\langle \tau_c \rangle$	Disminuye	Disminuye	Aumenta
$\sigma_{\langle \tau_e \rangle}$	Aumenta	Aumenta	Poca variación y parecido al valor obtenido en la condición de estrés NBTI a $-2,1$ y a $T = 25^\circ\text{C}$.
$\sigma_{\langle \tau_c \rangle}$	Aumenta	Disminuye	Poca variación y parecido al valor obtenido en la condición de estrés NBTI a $-2,1$ y a $T = 25^\circ\text{C}$.
ρ	Disminuye	Aumenta	Poca variación y parecido al valor obtenido en la condición de estrés NBTI a $-2,1$ y a $T = 25^\circ\text{C}$.
P_p	Aumenta	Aumenta	Se observan dos tramos bien diferenciados en función de $ V_{DS} $, uno en que P_p decrece, y el otro en que P_p se mantiene constante.

Tabla 3-11. Tabla resumen de la variación de los parámetros del modelo PDO cuando la tensión de puerta, la tensión de drenador y la temperatura aumentan.

Los parámetros calculados permitirán generar distribuciones aleatorias de defectos, las cuales podrán ser incluidas en herramientas de simulación de circuitos para estudiar la fiabilidad de sistemas/circuitos formados por muchos transistores. Una vez generada la distribución de defectos, si se obtiene la probabilidad de ocupación para unos tiempos de estrés y relajación dados y se fija el valor del parámetro $\langle \eta \rangle$, se podrá calcular ΔV_{th} asociado a esas condiciones de estrés mediante la ecuación ec. 2-4 del capítulo 2. El ΔV_{th} calculado se podrá introducir en programas de simulación de circuitos que incluyan los efectos del BTI y el CHC, por ejemplo la herramienta de simulación RELAB [44], desarrollada en el grupo de investigación REDEC de la Universidad Autónoma de Barcelona. Esta herramienta combina simulaciones *Monte Carlo* con simulaciones SPICE para estudiar los efectos de la degradación de los transistores en el funcionamiento de los circuitos integrados [45]. En [164], [165] se presenta una variante mejorada de RELAB para estudiar el envejecimiento de circuitos integrados debido a los mecanismos de fallo BTI y CHC, así como los efectos de la variabilidad inicial de los dispositivos.

4. CARACTERIZACIÓN DE LA DEGRADACIÓN POR NBTI EN CONDICIONES DE ESTRÉS RF

El aumento de la demanda de productos electrónicos inalámbricos de bajo consumo requiere de tecnologías que satisfagan los más altos estándares de rendimiento y fiabilidad. Desde hace más de una década, la tecnología CMOS es usada en aplicaciones de comunicación en radiofrecuencia (RF) [166], [167]. En sistemas RF de comunicaciones, es posible que los niveles de tensión de las señales aplicadas en los MOSFETs superen los niveles de tensión nominal de operación, por ejemplo, en los transistores utilizados en amplificadores de señal (*Power Amplifiers*, PA). El hecho de que se apliquen sobretensiones en estos dispositivos (condiciones de estrés) requiere tener muy controlada su fiabilidad, ya que son los responsables de poder entregar la potencia y la información a la antena para poder establecer el radioenlace de comunicación.

En la literatura existen trabajos que estudian la degradación que sufre el MOSFET, principalmente debido BTI, en función de la frecuencia de operación. Estudios como [53], [92], [168]–[171] muestran como la frecuencia y el ciclo de trabajo de la señal de estrés (normalmente señales pulsadas) afectan en la degradación producida por el BTI. Como principal resultado de estos trabajos se muestra que la degradación es independiente de la frecuencia de la señal de estrés, sin embargo, en todos ellos la frecuencia de la señal no es superior los 20MHz. Por otro lado, son pocos los trabajos dedicados al estudio del BTI en el rango de las radiofrecuencias, frecuencias las cuales superan un 1 GHz [90], [91], [93], [94], [172]. En todos estos estudios el parámetro habitualmente estudiado es la tensión umbral del transistor. Tanto en [90] como en [91] se demuestra que la degradación por BTI no tiene una dependencia con la frecuencia de la señal de RF. Sin embargo, en [93] se ha encontrado que la degradación es distinta a 100MHz que a 3GHz. En [94] y [172] estudian la degradación de la movilidad de los portadores y la degradación de la tensión umbral en osciladores en anillo, respectivamente.

En este capítulo se describen los resultados obtenidos sobre la degradación producida como resultado de un estrés BTI en el rango de las radiofrecuencias. En concreto se ha evaluado como

repercute la degradación del transistor en sus parámetros eléctricos, por ejemplo, la tensión umbral, la transconductancia, las capacidades intrínsecas, etc. El objetivo es estudiar cómo cambian estos parámetros cuando se aplican en el transistor diferentes potencias de la señal de RF durante diferentes tiempos de estrés, las cuales se han combinado con un estrés DC. Dadas las particularidades de estos estreses y de los DUTs necesarios, previamente se describirá la instrumentación y los procedimientos requeridos para la caracterización RF del DUT. Por otro lado, se explicará cómo extraer los parámetros eléctricos del transistor a partir de la caracterización RF. Finalmente, para evaluar los efectos de la degradación del transistor a nivel circuital, se estudiará cómo ésta afecta en las prestaciones de un amplificador de RF formado por un solo transistor con una configuración *fuelle -común*.

4.1 Consideraciones experimentales de la caracterización RF

En este apartado se hace una breve introducción al análisis matricial de circuitos de microondas y a las consideraciones experimentales que hay que tener en cuenta para poder caracterizar un transistor en el rango de las radiofrecuencias.

4.1.1. Los parámetros [S]

El comportamiento de un DUT (*Device Under Test*) cuando en un sus terminales se aplican señales cuyas frecuencias están en el rango de las radiofrecuencias tradicionalmente se describe mediante los parámetros [S] o de *dispersión* [173]. Para evaluar su comportamiento, se parte de una red genérica de 2 puertos, o accesos, que va a ser analizada a frecuencias de microondas. Por acceso/puerto se entiende cada línea de transmisión externa que permite acceder a la red. Para caracterizar cualquier red, es necesario relacionar todas las magnitudes eléctricas (tensiones, corrientes y potencias) en cada uno de los puertos o accesos. Así, considerando una red de dos puertos (bipuerto), como la que muestra la Figura 4-1, cada línea de transmisión de acceso a red estará caracterizada por un plano de referencia (línea discontinua), una impedancia característica Z_0 (Z_{01} y Z_{02}), unas tensiones (V_1 y V_2) y unas corrientes (I_1 e I_2) incidentes, donde los subíndices indican si están asociadas al puerto 1 o al puerto 2, respectivamente.

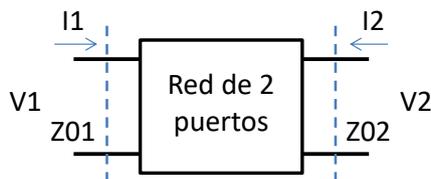


Figura 4-1. Red de dos puertos a la que se accede mediante dos líneas de transmisión.

La red representada en la Figura 4-1 queda completamente caracterizada por una matriz de impedancias [Z] o de admitancias [Y], que relacionan las tensiones y las corrientes en cada uno de los puertos del bipuerto, de manera que $[V] = [Z][I]$ y $[I] = [Y][V]$, siendo [Z] e [Y], en general, matrices complejas que definen completamente el sistema a estudiar (ec. 4-1).

$$\begin{bmatrix} V_1 \\ V_2 \end{bmatrix} = \begin{bmatrix} Z_{11} & Z_{12} \\ Z_{21} & Z_{22} \end{bmatrix} \begin{bmatrix} I_1 \\ I_2 \end{bmatrix}$$

$$\begin{bmatrix} I_1 \\ I_2 \end{bmatrix} = \begin{bmatrix} Y_{11} & Y_{12} \\ Y_{21} & Y_{22} \end{bmatrix} \begin{bmatrix} V_1 \\ V_2 \end{bmatrix}$$

ec. 4-1

donde cada uno de los elementos de la matriz $[Z]$ se calcula según ec. 4-2:

$$Z_{ij} = \left. \frac{V_i}{I_j} \right|_{I_k=0, \forall k \neq j} \quad \text{ec. 4-2}$$

La definición mostrada en la ec. 4-2 es equivalente a decir que todos los accesos de la red se dejan en circuito abierto, excepto el acceso o puerto que se desea describir. Equivalentemente, para la matriz de admitancias $[Y]$ se deben dejar en cortocircuito todos los accesos, excepto el puerto considerado. Los parámetros Z_{11} y Z_{22} equivalen a las impedancias de entrada del DUT, referenciadas a los planos y a las impedancias Z_0 de los puertos 1 y 2, respectivamente. Los parámetros Z_{12} y Z_{21} equivalen a las impedancias del DUT medidas desde los planos de referencia de los puertos 2 y 1 y considerando la impedancia característica Z_0 , respectivamente.

Sin embargo, cuando las frecuencias de las señales están en el rango de las microondas no es frecuente el uso de la matriz de impedancias $[Z]$ o de admitancias $[Y]$, debido a las dificultades experimentales para imponer las condiciones de contorno, ya sea cortocircuito o circuito abierto. Como cualquier impedancia, su valor puede variar en función de la posición del plano de referencia de la línea, es decir Z_{01} y Z_{02} . Para superar estas dificultades se utilizan los *parámetros de scattering*, coloquialmente conocidos como parámetros $[S]$ o de *dispersión* [173]. Considerando el bipuerto de la Figura 4-2, los parámetros $[S]$ relacionan las ondas incidentes a y las ondas reflejadas b en cada uno de los puertos de acceso de la red.

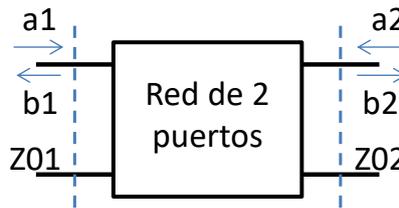


Figura 4-2. Red de dos puertos. Cada puerto está referenciado a un plano de referencia (línea punteada) con una impedancia característica Z_0 , y una onda incidente y reflejada.

La relación entre estas ondas en cada uno de los accesos de la red está descrita por la relación ec. 4-3:

$$[b] = [S][a] \quad \text{ec. 4-3}$$

donde la matriz $[S]$ es la matriz de *parámetros de scattering*, que define completamente el circuito lineal (generalmente, suele ser compleja). Las matrices $[a]$ y $[b]$ son combinaciones lineales normalizadas de la tensión y de la corriente, referentes a la onda incidente y la onda reflejada en la red, respectivamente. Su valor está definido por las ecuaciones ec. 4-4 y ec. 4-5, respectivamente:

$$a = \frac{V^+}{\sqrt{Z_0}} = I^+ \sqrt{Z_0} \quad \text{ec. 4-4}$$

$$b = \frac{V^-}{\sqrt{Z_0}} = I^- \sqrt{Z_0} \quad \text{ec. 4-5}$$

donde Z_0 es la impedancia característica de la línea, el signo $+$ y el signo $-$ indican que si la tensión V o la corriente I pertenecen a la onda incidente o a la onda reflejada, respectivamente. Teniendo en cuenta que en cada puerto hay una onda incidente y una onda reflejada, se pueden obtener las tensiones y las corrientes en función de a y b (ec. 4-6 y ec. 4-7):

$$V = V^+ - V^- = \sqrt{Z_0} (a + b) \quad \text{ec. 4-6}$$

$$I = \frac{1}{Z_0} (V^+ - V^-) = \frac{1}{\sqrt{Z_0}} (a - b) \quad \text{ec. 4-7}$$

Despejando a y b de la ec. 4-6 y la ec. 4-7 en función de la tensión, se puede establecer la relación para el caso de un bipuerto (ec. 4-8):

$$\begin{bmatrix} b_1 \\ b_2 \end{bmatrix} = \begin{bmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{bmatrix} \begin{bmatrix} a_1 \\ a_2 \end{bmatrix} \quad \text{ec. 4-8}$$

donde los parámetros $[S]$ están definidos como (ec. 4-9):

$$S_{ij} = \left. \frac{b_i}{a_j} \right|_{\substack{a_k=0 \\ \forall k \neq j}} \quad \text{ec. 4-9}$$

La ec. 4-9 equivale al cálculo del cociente entre la amplitud de la onda saliente en el puerto i -ésimo con excitación en el puerto j -ésimo, imponiendo la condición de adaptación de impedancia, y por lo tanto, ausencia de excitación alguna en el resto de puertos (excepto en el de excitación). Cargando los accesos o puertos con una impedancia de referencia, es decir 50Ω , se evita la excitación en cualquier otro puerto (excepto el puerto de excitación). En la Figura 4-3 se ha representado un bipuerto con las ondas incidentes (a_1 y a_2) y las ondas reflejadas (b_1 y b_2) en el puerto 1 y el puerto 2, respectivamente, así como los parámetros $[S]$ que describen completamente el comportamiento del DUT. El significado físico del parámetro S_{11} es la relación entre la onda incidente y la reflejada en el puerto 1, conocido como *coeficiente de reflexión*. Los parámetros S_{21} y S_{12} muestran la relación entre la onda que se transmite entre el puerto 1 y el puerto 2, y viceversa, respectivamente. Finalmente, el parámetro S_{22} muestra la relación entre la onda incidente y la reflejada en el puerto 2, es decir, el *coeficiente de reflexión* en el puerto 2. Una característica de los parámetros $[S]$ es que se pueden transformar fácilmente en otros tipos de parámetros, por ejemplo, a parámetros $[Z]$ o $[Y]$, que describen el DUT en términos de tensiones y corrientes, respectivamente. La ventaja de la matriz $[S]$ con respecto a la matriz de impedancias $[Z]$ y/o admitancias $[Y]$ es que considera de forma independiente la onda incidente y la reflejada, y además requiere de una condición de contorno de fácil implementación.

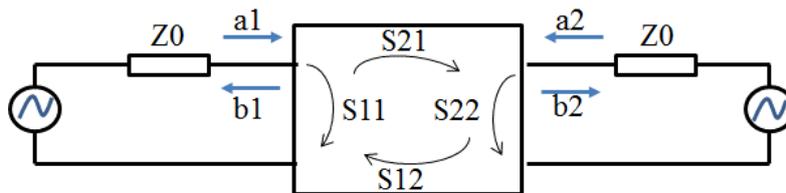


Figura 4-3. Definición de los parámetros $[S]$ en un bipuerto.

4.1.2. Medida de parámetros [S]: corrección de errores sistemáticos

Para medir los parámetros [S] de un transistor MOSFET de radiofrecuencia, se utiliza un analizador de redes vectoriales (*Vector Network Analyzer; VNA*) y habitualmente se polariza el transistor en la región de saturación. Previamente a la medida de los parámetros [S], se debe hacer una caracterización en DC del dispositivo, para extraer las características $I_D - V_{GS}$ e $I_D - V_{DS}$, mediante un analizador de parámetros de semiconductores. Con estas curvas, se determina el punto de polarización en el que se quiere hacer la medida de parámetros [S], y algunos de los parámetros eléctricos DC del transistor, como por ejemplo, la tensión umbral y la transconductancia.

Para polarizar el transistor o *Device Under Test* (DUT) en la región de saturación y, a la vez, extraer la matriz de parámetros [S] con el VNA, se utilizan unos *bias tee* conectados a los terminales de puerta y de drenador, como muestra la Figura 4-4. Habitualmente, los terminales de fuente y sustrato del transistor están cortocircuitados entre sí y conectados a tierra. Un *bias tee* es un dispositivo de tres puertos formado, idealmente, por una capacidad, C, y una inductancia, L. La capacidad permite el paso de la señal de RF, pero bloquea la tensión en DC, debido a que a frecuencia cero la impedancia del condensador es infinita. Contrariamente, la inductancia bloquea la señal de RF, pero permite el paso de la tensión en DC, debido a que a frecuencia cero la impedancia de la inductancia es cero. De lo expuesto, los terminales de RF de los *bias tee* irán conectados a los puertos de excitación del VNA, es decir, al puerto 1 de RF y al puerto 2 de RF. Los terminales de DC de los *bias tee* servirán para polarizar el transistor con una tensión de puerta V_{GS} y una tensión de drenador V_{DS} . Finalmente, los terminales comunes de los *bias tee*, es decir los terminales en los que la señal de RF se superpone a la tensión DC, irán conectados a los contactos de puerta y drenador del DUT. Nótese que, si en los terminales V_{GS} y V_{DS} se conecta un analizador de parámetros de semiconductores, el dispositivo se podrá caracterizar en DC sin necesidad de desconectar los *bias tee*. No obstante, será necesario poner en “*stand-by*” los puertos de RF del VNA para evitar que la señal de RF interfiera en la obtención de las curvas características del transistor.

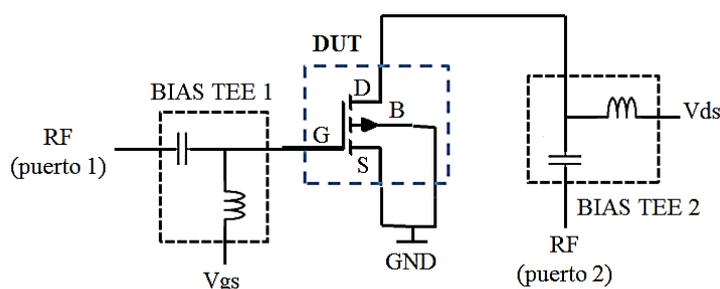


Figura 4-4. Configuración experimental para la medida de los parámetros [S] mediante un VNA y de las curvas DC con un analizador de parámetros de semiconductores.

Para poder acceder a un dispositivo de RF (DUT) que se encuentra en una oblea y en el que el terminal de fuente y sustrato están cortocircuitados a tierra, habitualmente se utilizan dos puntas de RF (Figura 4-5a) con una configuración GSG (*Ground-Signal-Ground*). Los contactos de puerta y drenador del transistor tienen también esta configuración (Figura 4-5b). Estas puntas están formadas por dos sondas conectadas a tierra (G) que protegen a una sonda de señal (S) situada en el medio. En este tipo de configuración los campos eléctricos provenientes de S

terminan en la sonda G mientras que los campos magnéticos entre S y G se anulan. El acoplamiento dependerá del espesor del sustrato donde estén los contactos del DUT y de su separación (*pitch*). Para poder hacer una medida de RF en un transistor, las puntas se conectan, mediante microposicionadores, sobre los contactos de puerta (puerto 1) y drenador (puerto 2) del transistor (Figura 4-5b). Ambas puntas están alineadas y conectadas a los puertos de excitación del VNA mediante los *bias tee*.

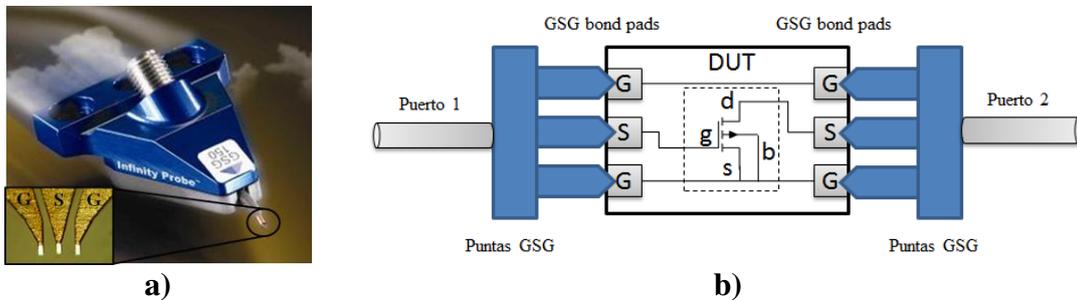


Figura 4-5. a) Punta de RF con una configuración GSG del fabricante Cascade®. b) Contactos e interconexiones del transistor con las puntas de RF.

Cuando se miden los parámetros [S] de un transistor, el cableado, las puntas de RF y el VNA, así como los contactos y las interconexiones de los contactos al DUT, introducen errores sistemáticos en la medida debido a componentes parásitas. Con el fin de sustraer dichos errores de la medida y medir solamente los parámetros [S] del DUT, hay que seguir un procedimiento de extracción de errores. Este consiste, a efectos, a una calibración [174]–[176] y un *de-embedding* [177], [178]. En la Figura 4-6 se muestra un diagrama de los errores que interesa sustraer de la medida. Mediante estas técnicas se podrá establecer un plano de referencia (línea punteada) en cada puerto del DUT, y de este modo medir sólo sus parámetros [S].

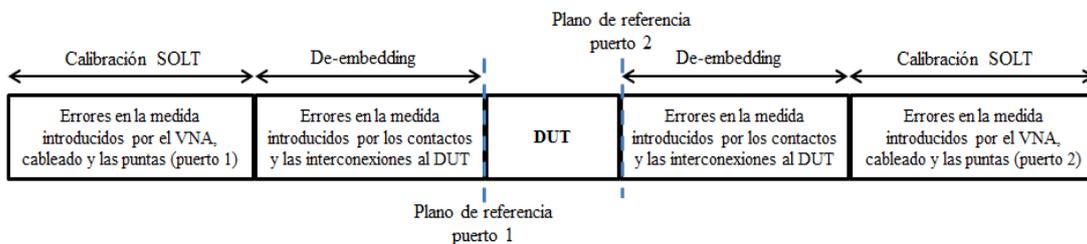


Figura 4-6. Errores sistemáticos que deben sustraerse de la medida.

A continuación, se describirán la calibración y el proceso de *de-embedding*.

Calibración

Para hacer una medida de parámetros [S] con el VNA, es necesario establecer el plano de referencia en cada uno de los puertos de entrada del DUT a estudiar, como se ha visto en la Figura 4-2. Las pérdidas de señal en los cables del equipo, los conectores, las puntas para contactar con el DUT, el esfuerzo mecánico que ejercen los dos conectores de RF entre sí, etc, introducen en la medida un conjunto de errores sistemáticos que necesitan ser eliminados, motivo por el cual, se necesita calibrar el equipo antes de iniciar cualquier medida. Con la calibración se suministrará al VNA toda la información necesaria para poder corregir los errores sistemáticos mencionados, de manera que solo se midan los parámetros [S], justo a la entrada del DUT o circuito a estudiar.

El proceso de calibración del VNA consiste en conectar con puntas de RF un conjunto de estructuras (Figura 4-7). Existen varios tipos de estructuras, como por ejemplo la TRL (*thru-reflexión-load*) [179], pero en este trabajo se ha usado la SOLT: un cortocircuito, *short* (figura a), un circuito abierto *open*, una carga de 50Ω , *load* (figura b), que es la impedancia característica del equipo de medida, y el acoplamiento entre el puerto RF 1 y el puerto RF 2, *thru* (figura c). La estructura *open* no se ha representado, porque consiste en levantar las puntas del sustrato. Todas estas estructuras se encuentran en un sustrato de calibración proporcionado por el fabricante de las puntas de RF. De cada una de ellas, el VNA extrae, automáticamente, los parámetros [S]. Al final de la calibración, el equipo se reajusta de forma automática.

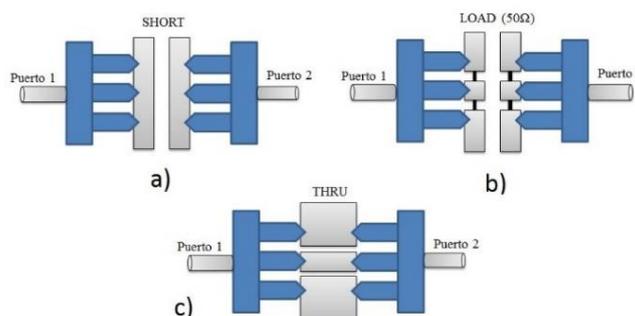


Figura 4-7. Estructuras de calibrado SOLT: a) *short*, b) *load* y c) *thru*.

De-embedding

Solo con la calibración del VNA no es suficiente para medir los parámetros [S] de un transistor en una oblea. El DUT dispone de contactos metalizados que permiten acceder a él con las puntas de RF, como se ha visto en la Figura 4-5b. Estos contactos están unidos a las pistas metalizadas que conectan con el transistor. Dichos contactos y pistas de metal introducen capacidades parásitas en paralelo e inductancias en serie, que afectarán a la precisión de la medida. Con el aumento de frecuencia, estos efectos son cada vez más importantes. Las técnicas que tratan de corregir estos efectos parásitos se llaman técnicas de *de-embedding* y la más utilizada es la OPEN-SHORT *de-embedding*, por lo que se explicará a continuación.

Para sustraer las capacidades e inductancias parásitas asociadas a los contactos y a las pistas de interconexión del DUT, habitualmente se utilizan estructuras de calibración de *de-embedding*, que normalmente se encuentran en la misma oblea que contiene los dispositivos (Figura 4-8). Con el VNA calibrado se obtienen las matrices de parámetros [S] de las estructuras de *de-embedding* OPEN (a) y SHORT (b), es decir $[S_{OPEN}]$ y $[S_{SHORT}]$, respectivamente, las cuales están referenciadas a una impedancia característica Z_0 . La estructura OPEN hace referencia a los contactos del transistor y la estructura SHORT a las interconexiones de los contactos al DUT. Como se verá a continuación, para poder aplicar el *de-embedding* a una medida de parámetros [S], las matrices $[S_{OPEN}]$ y $[S_{SHORT}]$ deben transformarse en matrices $[Y_{OPEN}]$ e $[Y_{SHORT}]$, respectivamente, mediante las conversiones de la Tabla 4-1 [173], donde Y_0 es la admitancia característica, es decir, la inversa de la impedancia característica Z_0 .

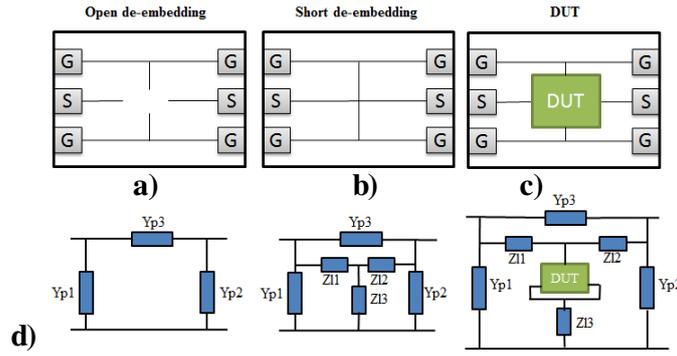


Figura 4-8. Estructuras de *de-embedding* a) OPEN b) SHORT y c) conexionado del DUT en la oblea. d) Circuitos equivalentes de las estructuras, que muestran las impedancias y las admitancias asociadas a las interconexiones y a los contactos del DUT.

$$Y_{11} = Y_0 \frac{(1 - S_{11})(1 + S_{22}) + S_{12}S_{21}}{(1 + S_{11})(1 + S_{22}) - S_{12}S_{21}}$$

$$Y_{12} = Y_0 \frac{-2S_{12}}{(1 + S_{11})(1 + S_{22}) - S_{12}S_{21}}$$

$$Y_{21} = Y_0 \frac{-2S_{21}}{(1 + S_{11})(1 + S_{22}) - S_{12}S_{21}}$$

$$Y_{22} = Y_0 \frac{(1 + S_{11})(1 - S_{22}) + S_{12}S_{21}}{(1 + S_{11})(1 + S_{22}) - S_{12}S_{21}}$$

Tabla 4-1. Ecuaciones utilizadas para las transformaciones de parámetros [S] a parámetros [Y] [173].

En la Figura 4-8d se ha representado el circuito equivalente de las estructuras de *de-embedding* OPEN y SHORT, así como la del DUT. La estructura de *de-embedding* OPEN se representa como admitancias en paralelo (Y_{p1} , Y_{p2} e Y_{p3}). En cambio, la estructura SHORT se representa como impedancias parásitas en serie (Z_{l1} , Z_{l2} , Z_{l3}), a las que se les ha añadido las admitancias asociadas a los contactos del transistor. La relación que se cumple entre las estructuras de *de-embedding* SHORT y OPEN se muestra en la ec. 4-10:

$$\begin{pmatrix} Z_{L1} + Z_{L3} & Z_{L3} \\ Z_{L3} & Z_{L2} + Z_{L3} \end{pmatrix} = (Y_{short} - Y_{open})^{-1} \quad \text{ec. 4-10}$$

Finalmente, midiendo los parámetros [S] del DUT, es decir, la matriz [S_{DUT}] y transformándola a [Y_{DUT}] con las expresiones incluidas en la Tabla 4-1, mediante la ec. 4-11 se obtiene la matriz de parámetros [Y] del transistor, es decir [$Y_{transistor}$], en el plano de referencia del puerto 1 y 2, como se ha indicado en el diagrama de la Figura 4-6.

$$Y_{transistor} = \left((Y_{DUT} - Y_{open})^{-1} - (Y_{short} - Y_{open})^{-1} \right)^{-1} \quad \text{ec. 4-11}$$

Mediante la operación matricial de la ec. 4-11, se pueden reducir los errores introducidos por las capacidades parásitas y admitancias de los contactos, así como de las pistas de metal. En este trabajo, la transformación de la matriz [S] a [Y], así como el cálculo de [$Y_{transistor}$] se ha realizado con la herramienta de programación MATLAB®.

4.1.3. Muestras

Los transistores MOSFET de nodos tecnológicos avanzados que operan a frecuencias de microondas normalmente son estructuras *multi-finger* (Figura 4-9), diseñados con el fin de reducir la resistencia parásita de puerta y aumentar la transconductancia. A veces, los *fingers* están contactados por dos electrodos de puerta, para reducir aún más resistencia de puerta [180]. La reducción de esta resistencia mejora las figuras de mérito de ruido y la máxima frecuencia de oscilación del transistor [180]–[182]. El ancho efectivo (W_f) del transistor *multi-finger* de la Figura 4-9 está determinado por el número de *fingers* y la longitud de cada uno (L_f).

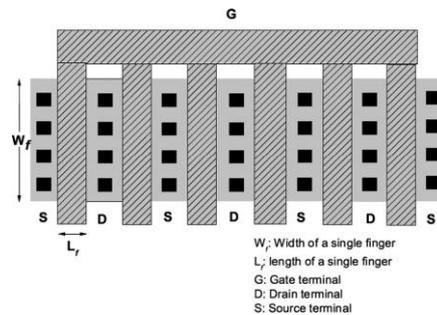


Figura 4-9. Layout de un transistor *multi-finger* [183].

Los transistores estudiados en esta tesis son transistores pMOSFET, específicos para medidas de RF (Figura 4-10), fabricados en IMEC (Leuven, Bélgica). Están formados por una estructura *multi-finger* de $W \times L$ de $10 \times 0,13 \mu\text{m}^2$ y están divididos en 2 celdas con 10 *fingers* cada una. La tecnología utilizada tiene dos niveles de metal y la separación entre los contactos del transistor (*pitch*) es de $150 \mu\text{m}$. Los contactos de *gate* y *drain* se indican en esta figura, y los terminales de fuente y *bulk* estarán cortocircuitados entre ellos.

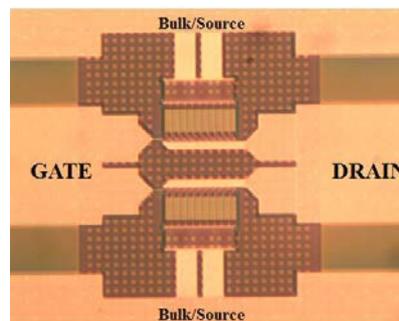


Figura 4-10. Imagen de un transistor pMOSFET *multi-finger* de dos celdas utilizado en esta tesis.

4.1.4. Procedimiento experimental

En esta sección se describe el *set-up* de medida y el procedimiento utilizado para estresar y después caracterizar el transistor en DC y en RF. El objetivo es estudiar el cambio en los parámetros eléctricos de transistores ultraescalados por la degradación BTI, cuando éstos son sometidos a estreses eléctricos de radiofrecuencia combinados con un estrés DC. La degradación se estudiará en función del tiempo de estrés y de la potencia de la señal de RF.

El *set-up* experimental se muestra en la Figura 4-11, cuya parte central es el circuito mostrado en la Figura 4-4. Dos puntas de radiofrecuencia, como la mostrada en la Figura 4-5a, se conectan en los terminales de puerta y de drenador del transistor. La punta de RF del terminal de puerta se

conecta al *bias tee 1* y la punta de RF del terminal de drenador se conecta al *bias tee 2*. Los puertos 1 y 2 de RF del VNA (Rohde & Schwarz®) se conectan en los terminales de RF de los *bias tee 1* y 2, respectivamente. El analizador de parámetros de semiconductores (Keithley 4200®) se conecta a los terminales DC de los *bias tee*, para poder aplicar tensión (V_{GS} y V_{DS}) y medir corriente en los terminales de puerta y drenador, respectivamente.

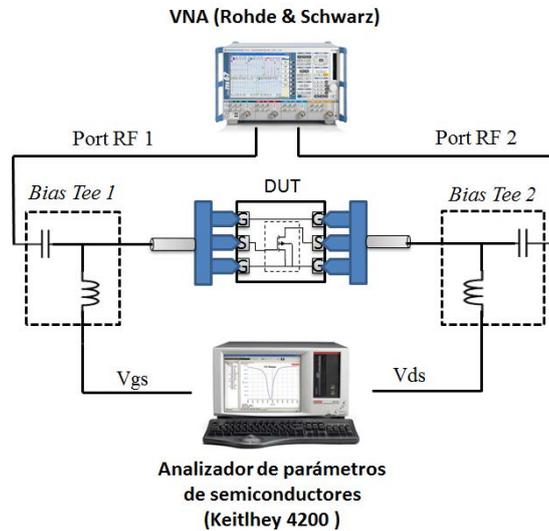


Figura 4-11. Set-up experimental utilizado para estresar y medir los parámetros [S] y DC del transistor.

El experimento empieza por una caracterización inicial de los transistores frescos. En primer lugar, se realiza una caracterización DC con el analizador de parámetros de semiconductores, para obtener las curvas $I_D - V_{GS}$. La tensión de puerta V_{GS} se varía entre 0 y $-1,2V$ y la tensión de drenador V_{DS} aplicada es de $-100mV$. Seguidamente se procede a la caracterización en RF (con el VNA calibrado), para obtener los parámetros [S] del transistor, en un rango frecuencial de 500MHz hasta 2GHz. Para obtener los parámetros [S], el transistor se polariza en saturación con unas tensiones de puerta y drenador $V_{GS} = -500mV$ y $V_{DS} = -550mV$, respectivamente.

Para estresar el transistor, se aplica una señal de RF de 1GHz de frecuencia superpuesta a una señal DC de $-2,5V$ en la puerta del DUT, con los terminales de drenador, fuente y sustrato conectados a tierra. La tensión DC de estrés se aplica con el analizador de parámetros de semiconductores y con el puerto 1 del VNA se aplica la señal de RF. En el experimento se han considerado un total de cuatro potencias de RF diferentes: $-5dBm$ ($355mVpp$), $0dBm$ ($632mVpp$), $2dBm$ ($796mVpp$) y $5dBm$ ($1,1Vpp$), que se aplican en DUTs diferentes, como se indica en la Tabla 4-2. En la misma tabla también se incluyen las potencias de RF equivalentes en *mili watts*. El estrés tiene una duración total de 740s, el cual se interrumpe a los 10s, 40s, 140s y 740s para evaluar el cambio en los parámetros eléctricos. Cuando se interrumpe el estrés, los transistores se caracterizan en DC y en RF.

Potencia de RF(dBm)	Vpp*(V)	mWatts*
-5dBm	0,355	0,316
0dBm	0,632	1
2dBm	0,796	1,58
5dBm	1,1	3,16

*Considerando una impedancia característica de 50Ω

Tabla 4-2. Potencias de la señal de RF (en dBm) aplicadas en este trabajo y sus equivalencias en tensión Vpp y potencia en mili Watts.

4.2 Resultados experimentales

En esta sección, se mostrarán los resultados obtenidos de la caracterización DC y RF, después de someter el transistor a diferentes condiciones de estrés RF. En concreto se mostrará cómo varía la tensión umbral y los parámetros [Y] de los transistores por el efecto del estrés.

4.2.1. Caracterización DC y RF del transistor fresco

La Figura 4-12 muestra las características $I_D - V_{GS}$ de los transistores frescos (es decir, previo al estrés) analizados. El pequeño rizado observado en las curvas características es debido al acoplamiento de la señal de RF en la medida, ya que los puertos de RF del VNA no se pudieron poner en “stand-by” ni tampoco desconectar físicamente, por motivos del calibrado. Considerando esta problemática, para poder medir las características $I_D - V_{GS}$ sin desconectar los puertos de RF, éstos se atenuaron -40dB (mediante el software del VNA) y a continuación se midieron las características con el analizador de parámetros de semiconductores. Dichas curvas han permitido calcular la tensión umbral de los transistores, cuyo valor es de -270mV , aproximadamente. Este valor se ha obtenido mediante la extrapolación de la región lineal de las curvas $I_D - V_{GS}$ hasta cruzar por $I_d = 0\text{A}$. Analizando las distintas curvas se puede observar poca variabilidad entre ellas, para tensiones de puerta inferiores a $0,6\text{V}$. Sin embargo, para tensiones de puerta más grandes, esta variabilidad es apreciable.

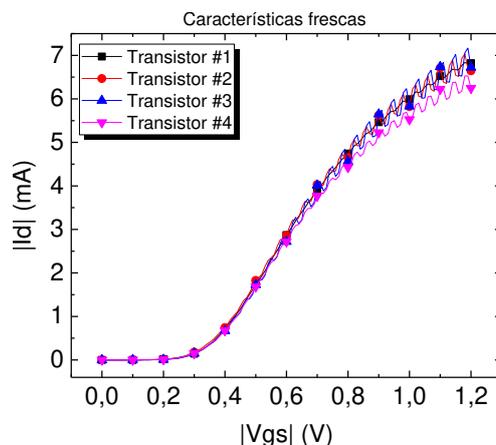


Figura 4-12. Características $I_D - V_{GS}$ de los transistores frescos.

Partiendo de que el VNA está calibrado, para la caracterización RF se polariza el transistor en saturación y se miden los parámetros [S]. Posteriormente, estos parámetros se transforman a parámetros [Y], para poder aplicar el *de-embedding*. A modo de ejemplo, las Figuras 4-13 y 4-14 muestran las magnitudes y las fases de los parámetros [Y] iniciales, respectivamente, antes y después de aplicar el *de-embedding*. En estas figuras se observa que hay muy poca dispersión entre los parámetros [Y] iniciales de los transistores. Los parámetros Y_{11} e Y_{22} están relacionados con las admitancias de entrada y de salida del transistor, respectivamente. En cambio, el parámetro Y_{21} está relacionado la transconductancia ($\frac{\partial I_D}{\partial V_{GS}}$). Finalmente, el parámetro Y_{12} no tiene ninguna relación directa con algún parámetro eléctrico del transistor. Comparando las Figuras 4-13 y 4-14, las diferencias entre los parámetros [Y] con y sin *de-embedding* aparentemente son inapreciables. Sin embargo, un análisis más detallado muestra que el *de-embedding* modifica

tanto la magnitud como la fase de estos parámetros. A modo de ejemplo, en las Figuras 4-15a-b se han comparado las magnitudes y las fases de los parámetros [Y] iniciales con y sin *de-embedding* de uno de los transistores analizados, respectivamente. Por un lado, en la Figura 4-15a se puede observar que el *de-embedding* hace disminuir las magnitudes de los parámetros [Y], lo que indica que las impedancias del transistor aumentan. Por otro lado, en la Figura 4-15b se observa que el *de-embedding* afecta también a las fases, haciendo que las fases de los parámetros Y_{11} , Y_{12} e Y_{21} disminuyan a una frecuencia más alta que sin aplicarlo. En cambio, la fase del parámetro Y_{22} aumenta para frecuencias más altas cuando éste se aplica. Como se verá más adelante, el efecto del *de-embedding* en los parámetros [Y] se verá reflejado en una disminución de las capacidades intrínsecas del transistor.

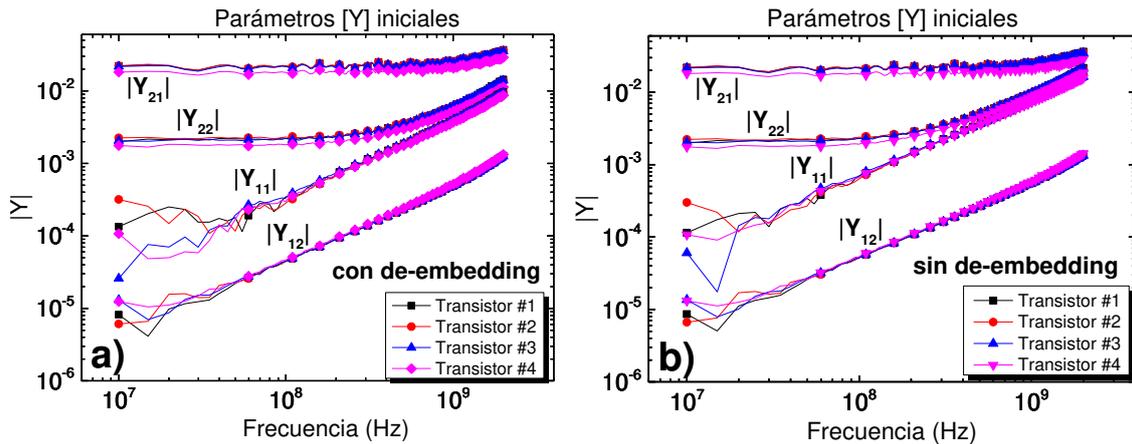


Figura 4-13. Magnitudes de los parámetros [Y] iniciales a) con el *de-embedding* y b) sin el *de-embedding*, para los distintos transistores analizados.

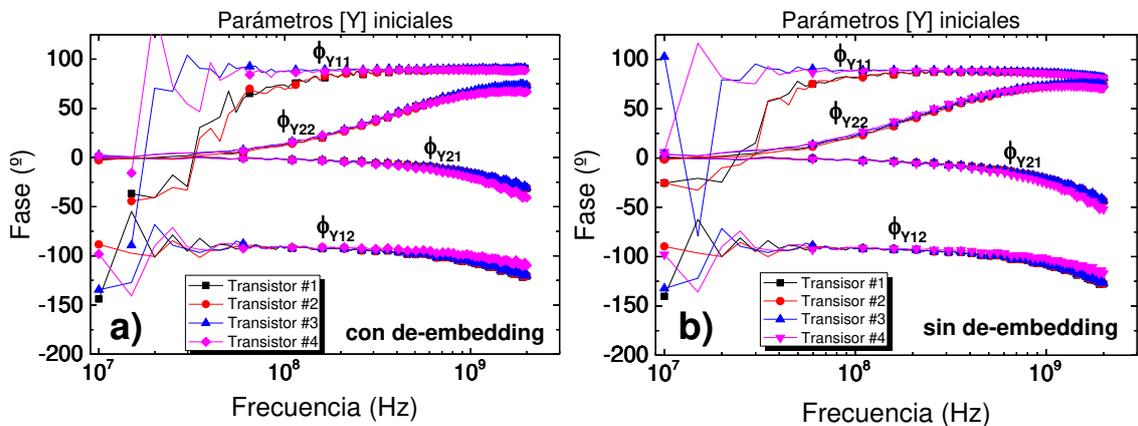


Figura 4-14. Fases de los parámetros [Y] iniciales, a) con el *de-embedding* y b) sin el *de-embedding*, para los distintos transistores analizados.

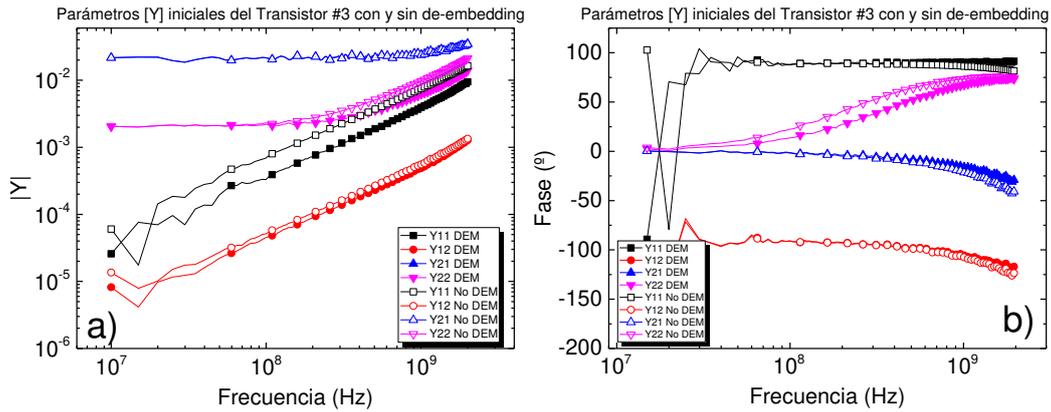


Figura 4-15. Comparación de a) las magnitudes y b) las fases de los parámetros [Y] de un transistor fresco, aplicando y sin aplicar el *de-embedding*.

4.2.2. Variación de la V_{TH} y de los parámetros [Y] debido al estrés NBTI

Este apartado se centrará en analizar la variación de la tensión umbral y la de los parámetros [Y] del transistor, debida al estrés NBTI. En este estudio, se evaluarán el cambio de todos estos parámetros en función del tiempo de estrés y la potencia de la señal de RF.

En primer lugar, se analiza el efecto del estrés RF en las características DC del DUT, en particular de la V_{th} . En la Figura 4-16 se han representado algunas de las características $I_D - V_{GS}$ obtenidas después de someter los distintos transistores a estreses de diferentes potencias de RF (-5dBm, 0dBm, 2dBm y 5dBm) durante 40s (Figura 4-16a) y 740s (Figura 4-16b). En estas figuras también se han representado las características $I_D - V_{GS}$ del transistor fresco, para poderlas comparar con las obtenidas tras interrumpir el estrés. Se puede observar que la característica $I_D - V_{GS}$ se desplaza hacia tensiones de puerta más grandes debido al estrés, siendo este desplazamiento más grande cuanto mayor es el tiempo, lo que es indicativo de que la tensión umbral ha aumentado como consecuencia del estrés.

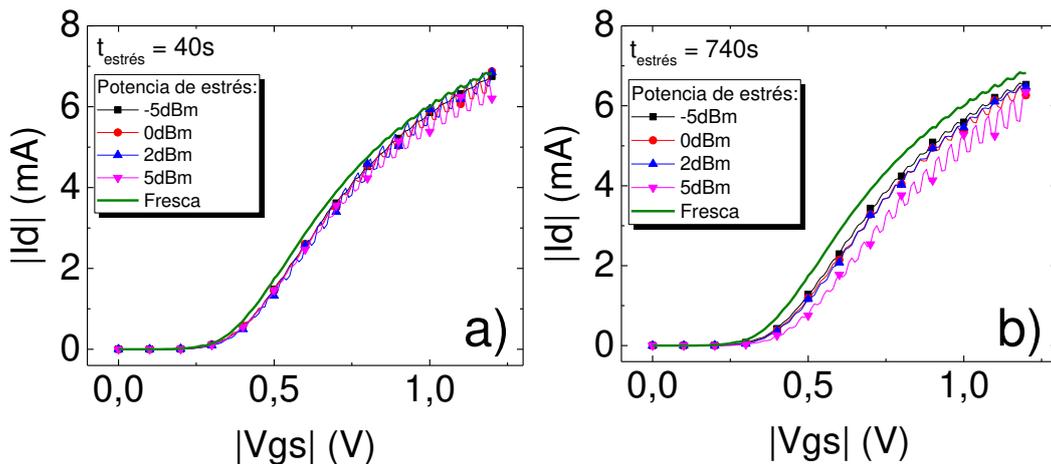


Figura 4-16. Características $I_D - V_{GS}$ medidas tras un estrés de a) 40s y b) de 740s, para diferentes potencias de estrés RF.

Para analizar la variación de la tensión umbral (ΔV_{th}) con el tiempo de estrés, en la Figura 4-17a se ha representado esta dependencia, para diferentes potencias de RF. En esta figura se observa que ΔV_{th} aumenta potencialmente con el tiempo, análogamente al caso de estrés DC [48].

Las ecuaciones de los ajustes se muestran en la Tabla 4-3. Los exponentes obtenidos para las potencias de -5dBm, 0dBm y 2dBm son muy parecidos entre ellos y son similares a los obtenidos en el caso de un estrés DC [52], [61], [80]. Sin embargo, el exponente obtenido para la potencia de 5dBm tiene un valor considerablemente más elevado (0,4). Este resultado indica que el efecto de la potencia es más significativo para potencias de RF altas.

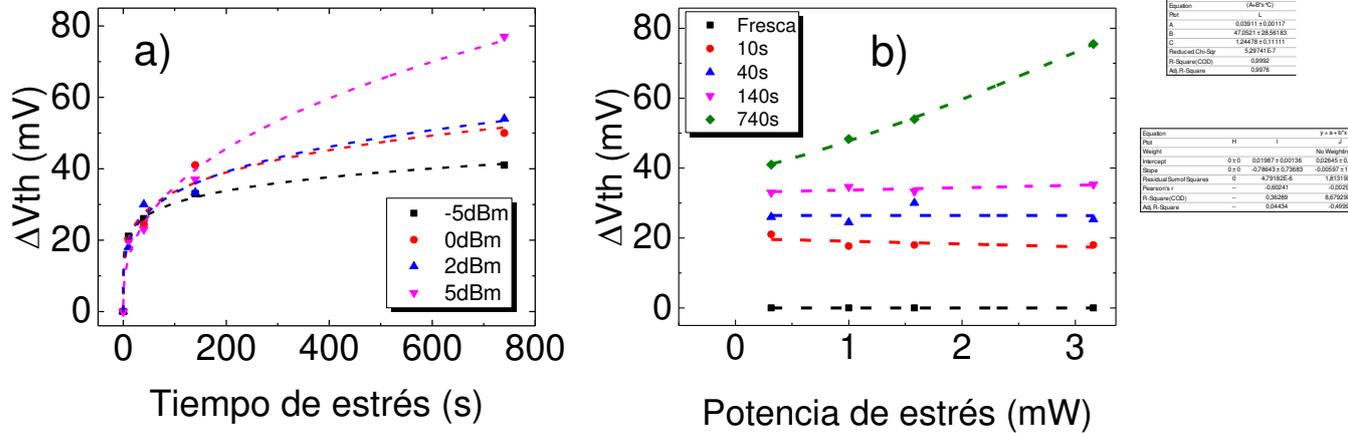


Figura 4-17. ΔV_{th} en función a) del tiempo de estrés, para las distintas potencias de la señal de RF y b) de la potencia de RF (en mW), para los distintos tiempos de estrés.

Potencia de estrés	$\Delta V_{th}(mV)$
-5dBm	$14,96 \cdot t^{0,15}$
0dBm	$12,7 \cdot t^{0,21}$
2dBm	$11,09 \cdot t^{0,23}$
5dBm	$5,24 \cdot t^{0,4}$

Tabla 4-3. Ecuaciones de los ajustes de ΔV_{th} en función del tiempo de estrés (Figura 4-17a), para diferentes potencias de RF.

En la Figura 4-17b se ha representado ΔV_{th} en función de la potencia de estrés RF (en mW), para los distintos tiempos. En esta figura se observa que el efecto del estrés RF empieza a ser significativo en ΔV_{th} a partir de tiempos de 740s. Esto se ve claramente a partir de los ajustes de las curvas (Tabla 4-4). Mientras que para tiempos menores que 140s la tensión umbral solo se ve ligeramente afectada por la potencia de la señal de RF y su variación depende básicamente del tiempo de estrés, para un tiempo de 740s ΔV_{th} aumenta potencialmente con la potencia de RF (Tabla 4-4). Para realizar el ajuste se ha considerado la potencia de RF en *Watts* (Tabla 4-2) y la ecuación $y = a + b \cdot Pin^c$, donde *Pin* es la potencia de la señal de estrés RF, y *a*, *b* y *c* son los parámetros del ajuste. El motivo de haber considerado *Pin* en *Watts* y no en dBm es que -5dBm no se puede elevar a un exponente que sea decimal. El exponente obtenido del ajuste es 1,24 y los parámetros *a* y *b* hallados son 39,11mV y 47,05V/W, respectivamente.

Tiempo de estrés (s)	$\Delta V_{th}(V)$ (<i>Pin</i> en W)
0	0
10	$0,01987 - 0,786 \cdot Pin$
40	$0,02645 - 0,00597 \cdot Pin$
140	$0,03305 + 0,680 \cdot Pin$
740	$0,03911 + 47,05 \cdot Pin^{1,244}$

Tabla 4-4. Ecuaciones de los ajustes de la variación de la tensión umbral en función de la potencia de la señal de RF (Figura 4-17b), para diferentes tiempos de estrés.

Una vez analizada la variación de la tensión umbral en función del tiempo de estrés y la potencia de RF, a continuación, se muestran dos ejemplos de cómo varían los parámetros [Y] con la potencia de RF y el tiempo de estrés.

En la Figura 4-18a se han representado las magnitudes de los parámetros [Y] en función de la frecuencia, para un tiempo de estrés de 140s y diferentes potencias de RF. Dadas las dificultades para visualizar el efecto de la potencia en los parámetros [Y], en la Figura 4-18b se ha representado las magnitudes de los parámetros [Y] de la Figura 4-18a, evaluadas a una frecuencia de 1GHz, en función de la potencia de RF. Para este tiempo de estrés y esta frecuencia, el efecto de la potencia empieza a ser significativo en la variación de las magnitudes de los parámetros [Y] a partir de una potencia de 2dBm o superior. Las magnitudes más afectadas por la potencia de la señal de RF son las de los parámetros Y_{21} e Y_{22} . Sus valores disminuyendo con la potencia de estrés.

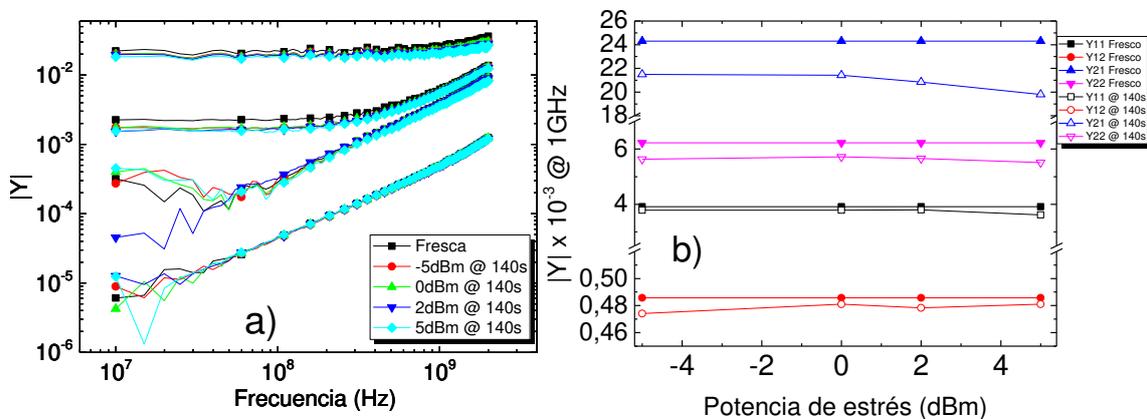


Figura 4-18. a) Efecto de la potencia de la señal RF de estrés en las magnitudes de los parámetros [Y], para un tiempo de estrés de 140s. b) Parámetros [Y] evaluados a una frecuencia de 1GHz, en función de la potencia de RF, después de un tiempo de estrés de 140s.

Visto en la Figura 4-17 que el efecto de la potencia de RF solo es significativo para tiempos de estrés largos (740s) y potencias RF altas (5dBm), la Figura 4-19a muestra un caso particular de la variación de la magnitud de los parámetros [Y], en función de la frecuencia, cuando en el transistor se aplica una señal de RF a una frecuencia de 1GHz y a una potencia de 5dBm durante 740s. Los parámetros Y_{21} e Y_{22} son los que se ven más afectados por el estrés RF, mostrando una disminución en sus magnitudes. Nótese que los parámetros Y_{21} e Y_{22} hacen referencia a la transconductancia y la impedancia de salida del transistor, respectivamente. Esta última está relacionada con la resistencia del canal. Debido a la degradación del transistor, el parámetro Y_{21} disminuye, lo que indica que la corriente en el canal también se reduce. Como consecuencia, se produce un aumento en la resistencia del canal de inversión del transistor, lo que se traduce en una disminución del parámetro Y_{22} .

Para observar mejor la variación de las magnitudes de los parámetros [Y] analizados en la Figura 4-19a, en la Figura 4-19b se ha representado estas magnitudes, en función del tiempo de estrés y evaluadas a una frecuencia de 1GHz. Se observa que los parámetros Y_{21} e Y_{22} son los que muestran una variación más grande (un 33% y un 27%, respectivamente) respecto a su valor inicial. En cambio, la variación de los parámetros Y_{11} e Y_{12} es casi inapreciable. La disminución del parámetro Y_{11} implica un aumento de la impedancia de entrada del transistor.

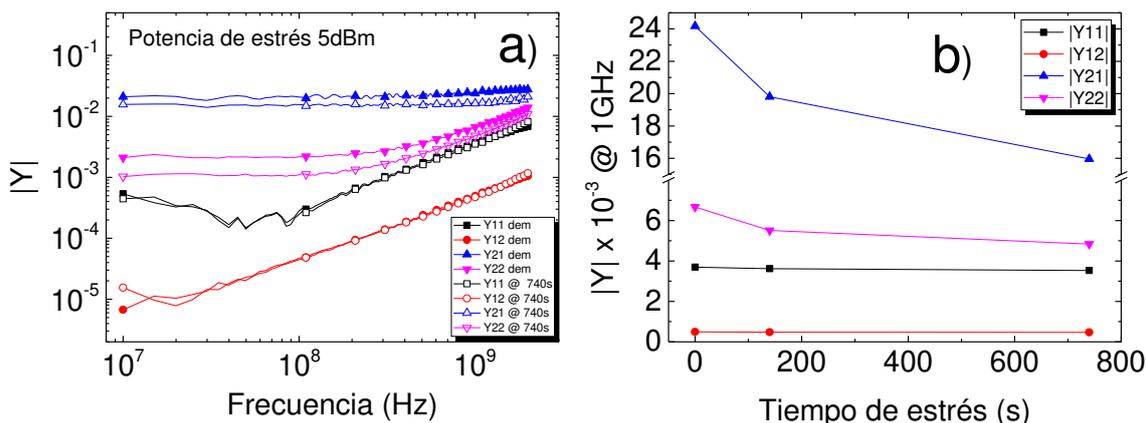


Figura 4-19. a) Efecto de un estrés de 740s a una potencia de 5dBm en las magnitudes de los parámetros $[Y]$. b) Magnitudes de los parámetros $[Y]$, en función del tiempo de estrés, evaluados a una frecuencia de 1GHz, para una potencia de estrés de 5dBm.

Una vez estudiado cómo el tiempo de estrés y la potencia de la señal de RF, aplicada durante el estrés NBTI, afectan a la tensión umbral del transistor y a los parámetros $[Y]$, a continuación se presenta una metodología para poder extraer los parámetros eléctricos del transistor a partir de los parámetros $[Y]$ medidos.

4.3 Metodología de extracción de los parámetros eléctricos del MOSFET a partir de los parámetros $[Y]$

En este apartado se mostrará la metodología desarrollada para extraer los parámetros eléctricos del transistor a partir de una medida de parámetros $[Y]$. Cuando un transistor se caracteriza en DC solo se pueden obtener parámetros eléctricos DC, como la tensión umbral y la transconductancia. Para poder obtener otros parámetros eléctricos del transistor, por ejemplo las capacidades intrínsecas o las resistencias del sustrato, se debe realizar una caracterización RF del transistor [184]–[198]. A partir de la caracterización RF de transistores, algunos autores han estudiado cómo algunos parámetros eléctricos del transistor, por ejemplo la transconductancia y la capacidad entre la puerta y el sustrato, C_{gs} , influyen en las figuras de mérito que caracterizan una tecnología, por ejemplo en la máxima frecuencia de operación del transistor [198]. Otros han utilizado la caracterización RF para extraer algunos de los parámetros eléctricos del transistor, por ejemplo, las capacidades C_{gs} , C_{gd} (capacidad entre la puerta y el drenador), la resistencia de puerta y la transconductancia, para poder diseñar circuitos para aplicaciones de microondas [190], [199], [200]. Sin embargo, en esta tesis se ha utilizado la caracterización RF para obtener los parámetros de pequeña señal del transistor y estudiar su variación debido al efecto de un estrés RF.

Se pretende así establecer una relación entre los parámetros $[Y]$ experimentales y las impedancias asociadas al circuito equivalente de pequeña señal del transistor. Distintos autores han publicado diferentes modelos circuitales del transistor y estrategias para extraer los parámetros eléctricos del circuito equivalente de pequeña señal [95], [184], [190], [192], [199]–[205]. A pesar de que existen modelos de pequeña señal muy complejos que permiten describir el comportamiento eléctrico del transistor, en esta tesis se ha considerado el modelo de pequeña señal más simple del transistor para aplicaciones de radiofrecuencia, el modelo SPICE de nivel 1 (Figura 4-20). El circuito está formado por un conjunto de capacidades y resistencias, que se

pueden separar en dos grupos, en función de su influencia en el comportamiento eléctrico del dispositivo, dividiéndose en componentes intrínsecos y extrínsecos [206], [207]. Los componentes intrínsecos están relacionados con el control de la carga de inversión del canal del dispositivo, que determinan el paso de corriente de drenador. Estos están asociados a las capacidades de puerta-sustrato, C_{gs} , puerta-drenador, C_{gd} , drenador-fuente, C_{ds} , a la resistencia del canal, r_o , y la transconductancia, gm . Las capacidades asociadas a las uniones semiconductoras fuente-sustrato y drenador-sustrato no se han considerado. La resistencia del canal da información sobre la carga en el canal debido a un campo eléctrico aplicado en la puerta del transistor. En cambio, gm está relacionada con la facilidad o la dificultad de la modulación de la carga de inversión del canal, relacionando la tensión aplicada a la puerta con la corriente de salida. Por otro lado, los elementos extrínsecos del modelo de pequeña señal son las resistencias R_g , R_d y R_s , y están relacionadas con resistencias parásitas del sustrato del transistor. Estas resistencias también son muy importantes porque son las responsables de crear un flujo de corriente a través del sustrato. Sin embargo, los valores de R_g , R_d y R_s son difíciles de modelar y de obtener su valor exacto, porque dependen de la tensión en las zonas de solapamiento del transistor [208]. Como consecuencia, sus valores son muy sensibles al ruido en las medidas de parámetros [S] [197].

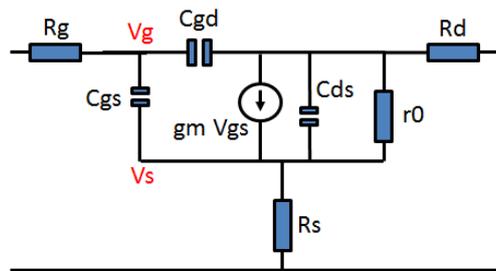


Figura 4-20. Circuito equivalente de pequeña señal de nivel 1 del transistor MOSFET.

Con el fin de poder relacionar los parámetros [Y] experimentales con las impedancias asociadas al circuito equivalente de pequeña señal, el circuito de la Figura 4-20 se puede tratar como un bipuerto de admitancias formado por una matriz [Y], como muestra la Figura 4-21.

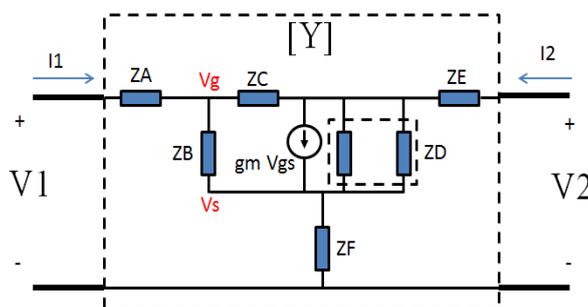


Figura 4-21. Transformación del circuito equivalente de pequeña señal en un bipuerto de admitancias [Y].

donde Z_A , Z_B , Z_C , Z_D , Z_E y Z_F son las impedancias asociadas a los elementos del circuito equivalente de pequeña señal, cuyos valores están definidos en ec. 4-12.

$$\begin{aligned}
 Z_A &= R_G & Z_B &= \frac{1}{j\omega C_{gs}} & Z_C &= \frac{1}{j\omega C_{gd}} \\
 Z_D &= \frac{1}{j\omega C_{ds}} \parallel r_o & Z_E &= R_d & Z_F &= R_s
 \end{aligned}
 \tag{ec. 4-12}$$

donde w es la frecuencia angular en rad/s . La relación entre las tensiones (V_1 y V_2) y las corrientes (I_1 e I_2) que entran al bipuerto de la Figura 4-21 con los parámetros $[Y]$ medidos experimentalmente, se muestra en las ecuaciones ec. 4-13, ec. 4-14 y ec. 4-15.

$$I_1 = Y_{11}V_1 + Y_{12}V_2 \quad \text{ec. 4-13}$$

$$I_2 = Y_{21}V_1 + Y_{22}V_2 \quad \text{ec. 4-14}$$

$$\begin{pmatrix} I_1 \\ I_2 \end{pmatrix} = \begin{pmatrix} Y_{11} & Y_{12} \\ Y_{21} & Y_{22} \end{pmatrix} \begin{pmatrix} V_1 \\ V_2 \end{pmatrix} \quad \text{ec. 4-15}$$

El análisis detallado del circuito de la Figura 4-21 permite establecer la relación entre los parámetros Y_{ij} experimentales y las impedancias asociadas al circuito equivalente de pequeña señal, mediante las ecuaciones mostradas en ec. 4-16.

$$Y_{11} = \left. \frac{I_1}{V_1} \right|_{V_2=0} = \frac{((gm\ ZB+1)\ ZD+ZC+ZB)\ ZF+((gm\ ZB+1)\ ZD+ZC+ZB)\ ZE+(ZC+ZB)\ ZD}{((gm\ ZB+1)\ ZD+ZC+ZB)\ ZE+(gm\ ZB+1)\ ZC+gm\ ZA\ ZB+ZA)\ ZD+(ZB+ZA)\ ZC+ZA\ ZB)\ ZF+((gm\ ZA+1)\ ZB+ZA)\ ZD+(ZB+ZA)\ ZC+ZA\ ZB)\ ZE+(ZB+ZA)\ ZC+ZA\ ZB)\ ZD}$$

$$Y_{12} = \left. \frac{I_1}{V_2} \right|_{V_1=0} = \frac{-((gm\ ZB+1)\ ZD+ZC+ZB)\ ZF+ZB\ ZD}{((gm\ ZB+1)\ ZD+ZC+ZB)\ ZE+(gm\ ZB+1)\ ZC+gm\ ZA\ ZB+ZA)\ ZD+(ZB+ZA)\ ZC+ZA\ ZB)\ ZF+((gm\ ZA+1)\ ZB+ZA)\ ZD+(ZB+ZA)\ ZC+ZA\ ZB)\ ZE+(ZB+ZA)\ ZC+ZA\ ZB)\ ZD}$$

$$Y_{21} = \left. \frac{I_2}{V_1} \right|_{V_2=0} = \frac{-((gm\ ZB+1)\ ZD+ZC+ZB)\ ZF+(ZB-gm\ ZB\ ZC)\ ZD}{((gm\ ZB+1)\ ZD+ZC+ZB)\ ZE+(gm\ ZB+1)\ ZC+gm\ ZA\ ZB+ZA)\ ZD+(ZB+ZA)\ ZC+ZA\ ZB)\ ZF+((gm\ ZA+1)\ ZB+ZA)\ ZD+(ZB+ZA)\ ZC+ZA\ ZB)\ ZE+(ZB+ZA)\ ZC+ZA\ ZB)\ ZD}$$

$$Y_{22} = \left. \frac{I_2}{V_2} \right|_{V_1=0} = \frac{((gm\ ZB+1)\ ZD+ZC+ZB)\ ZF+((gm\ ZA+1)\ ZB+ZA)\ ZD+(ZB+ZA)\ ZC+ZA\ ZB}{((gm\ ZB+1)\ ZD+ZC+ZB)\ ZE+(gm\ ZB+1)\ ZC+gm\ ZA\ ZB+ZA)\ ZD+(ZB+ZA)\ ZC+ZA\ ZB)\ ZF+((gm\ ZA+1)\ ZB+ZA)\ ZD+(ZB+ZA)\ ZC+ZA\ ZB)\ ZE+(ZB+ZA)\ ZC+ZA\ ZB)\ ZD}$$

ec. 4-16

Una vez planteadas las ecuaciones que relacionan los parámetros $[Y]$ con el circuito equivalente de pequeña señal del transistor, para determinar los parámetros eléctricos del transistor a partir de la medida experimental de los parámetros $[Y]$, se ha propuesto una metodología de extracción de estos parámetros. Esta metodología considera, a la vez, las 4 magnitudes y las 4 fases de los parámetros $[Y]$ experimentales y ajusta a la vez todas las ecuaciones planteadas en ec. 4-16, para su extracción. La ventaja de esta metodología, frente a otros métodos propuestos por otros autores para la extracción de parámetros, es que no considera ninguna aproximación para su obtención. En cambio, otros autores han utilizado aproximaciones para la obtención de los parámetros eléctricos, relacionando directamente la parte real e imaginaria de los parámetros $[Y]$ experimentales [192], [195], [201]. Estas aproximaciones las han obtenido a partir de las ecuaciones de los parámetros $[Y]$ que definen el comportamiento del circuito equivalente de pequeña señal.

La metodología propuesta se basa en la comparación de los parámetros $[Y]$ experimentales con los parámetros $[Y]$ del bipuerto (ec. 4-16) obtenidos para unos valores dados de R_g , R_d , C_{gs} , C_{gd} , C_{ds} , r_o y gm . La Figura 4-22 muestra el diagrama de flujo del procedimiento de extracción de los parámetros. Mediante un método iterativo, se dan valores a los 7 parámetros del modelo de pequeña señal, valores que se van modificando hasta que éstos permiten ajustar, a la vez, las 4 magnitudes y 4 fases de los parámetros $[Y]$ experimentales, una vez introducidos en las

impedancias de la ec. 4-12 y estas substituidas en las ecuaciones de la ec. 4-16. Para simplificar la extracción de parámetros, se ha considerado nula la resistencia del sustrato R_s ($Z_F = R_s = 0$) en las ecuaciones ec. 4-16. La metodología de extracción se ha implementado en un entorno de programación de MATLAB®. A continuación se describirá con detalle el diagrama de flujo de la Figura 4-22:

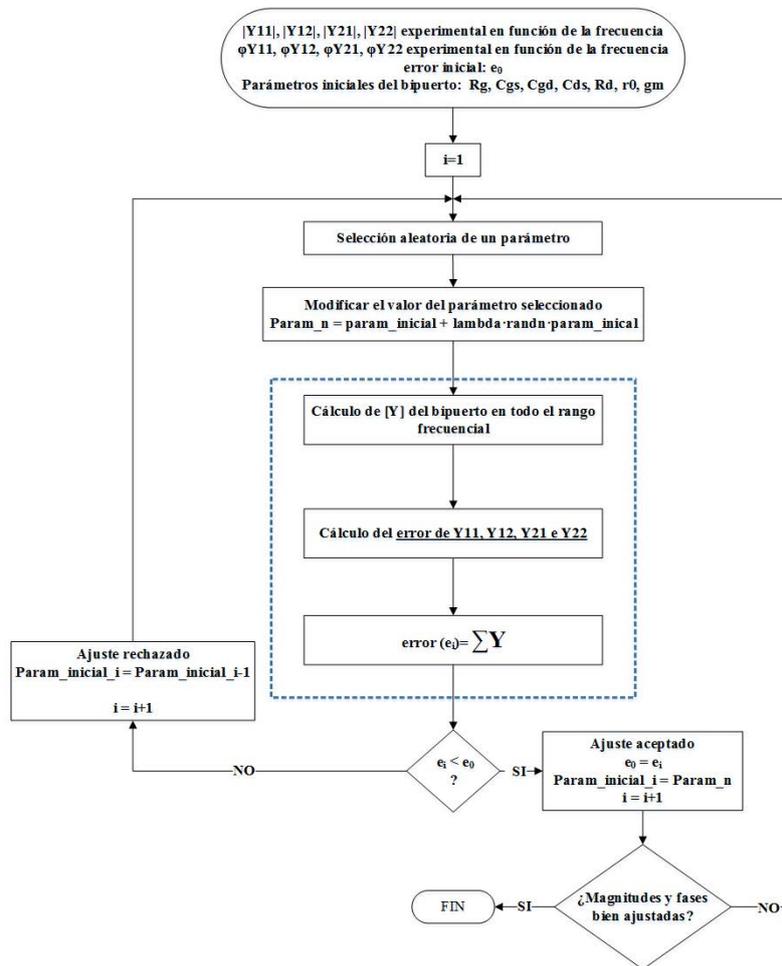


Figura 4-22. Diagrama de flujo para la extracción de los parámetros del circuito equivalente de pequeña señal, a partir de los parámetros [Y] medidos experimentalmente.

- 1- Los datos iniciales son:
 - Las magnitudes y las fases de los parámetros [Y] experimentales, en función de la frecuencia.
 - Los valores estimados de los parámetros del modelo de pequeña señal del transistor. Los valores iniciales tienen que ser coherentes con los de un transistor convencional. Por ejemplo, el valor de las capacidades intrínsecas C_{gs} , C_{gd} y C_{ds} tienen que ser del orden de centenas de femtofaradios. La resistencia R_g y R_d son del orden de decenas de ohmios. La transconductancia y la r_0 dependerán del punto de polarización y unos valores aproximados podrían ser de 30mS y 400 ohmios, respectivamente.
 - Un error inicial e_0 .
- 2- Mediante un bucle iterativo, en cada iteración i se selecciona y se modifica aleatoriamente el valor de un solo parámetro del modelo de pequeña señal. Para modificar su valor ($param_n$) se

considera una distribución normal con media $Param_{inicial}$ y una desviación $lambda \cdot Param_{inicial}$ (ec. 4-17):

$$Param_n \rightarrow Param_{inicial} + lambda \cdot randn \cdot Param_{inicial} \quad \text{ec. 4-17}$$

donde $randn$ es una función de MATLAB® que genera números aleatorios siguiendo una distribución normal, $Param_{inicial}$ es el valor del parámetro inicial y $lambda$ es el cambio máximo permitido del parámetro, por ejemplo 0,02.

- 3- El parámetro modificado, es decir $param_n$, y el resto de parámetros del modelo de pequeña señal se introducen en las ecuaciones de los parámetros [Y] que definen el bipuerto de admitancias (ec. 4-16), y se obtienen los parámetros [Y] (números complejos) en todo el rango frecuencial considerado en la medida experimental (N frecuencias).
- 4- A continuación, se obtiene el error entre $[Y_{experimental}]$ e $[Y_{bipuerto}]$ en cada frecuencia considerada de la medida. El error se ha definido como la distancia entre $[Y_{experimental}]$ e $[Y_{bipuerto}]$. Cada una de las N frecuencias tiene asociada una matriz $[Y_{experimental}]$ e $[Y_{bipuerto}]$. El error, $Error_Y$, se calcula para cada uno de los parámetros Y_{11} , Y_{12} , Y_{21} e Y_{22} , (ec. 4-18):

$$Error_Y = \frac{1}{N} \sum_{i=1}^N \sqrt{\left(Re(Y_{i_{experimental}}) - Re(Y_{i_{bipuerto}}) \right)^2 + \left(Im(Y_{i_{experimental}}) - Im(Y_{i_{bipuerto}}) \right)^2} \quad \text{ec. 4-18}$$

donde Re e Im son la parte real y la parte imaginaria del número complejo, respectivamente. El error resultante (e_i) es la suma de los errores calculados para los parámetros Y_{11} , Y_{12} , Y_{21} e Y_{22} , es decir (ec. 4-19)

$$e_i = Error_{Y_{11i}} + Error_{Y_{12i}} + Error_{Y_{21i}} + Error_{Y_{22i}} \quad \text{ec. 4-19}$$

- 5- El error resultante (e_i) se compara con un error inicial (e_0). Si el error es más pequeño, se acepta el ajuste, se acepta el valor del parámetro modificado aleatoriamente al inicio de la iteración y el error inicial se actualiza a $e_0 = e_i$. En caso contrario ($e_i \geq e_0$) se rechaza el ajuste, el parámetro modificado aleatoriamente al inicio de la iteración i conserva su valor inicial antes de modificarse y el error inicial no se modifica ($e_{0i} = e_{0i-1}$).

El proceso iterativo mostrado en el diagrama de flujo se repite hasta que los parámetros [Y] calculados mediante las ecuaciones ec. 4-16 ajusten a los parámetros [Y] obtenidos experimentalmente, y el error no se pueda reducir más. En este momento los valores de Rg , Cgd , Cgs , Cds , gm , $r0$ y Rd quedan definidos. La metodología de ajuste no presenta problemas de convergencia, aunque ocasionalmente algún parámetro [Y] experimental no puede ajustarse correctamente. La desventaja de esta metodología, frente a los métodos de extracción mostrados en [192], [195], [201], es que necesita un tiempo de computación más largo (aunque solo tarda entre 2 y 5 minutos) para poder encontrar los parámetros del modelo, debido a que ajusta 8 curvas a la vez y tiene 6 parámetros a determinar (sin considerar R_s). A modo de ejemplo, las Figuras 4-23a-b muestran los resultados de los ajustes (líneas punteadas) de las magnitudes y de las fases

de los parámetros $[Y]$ medidos experimentalmente (símbolos), respectivamente. Puede verse el buen ajuste de las curvas obtenidas.

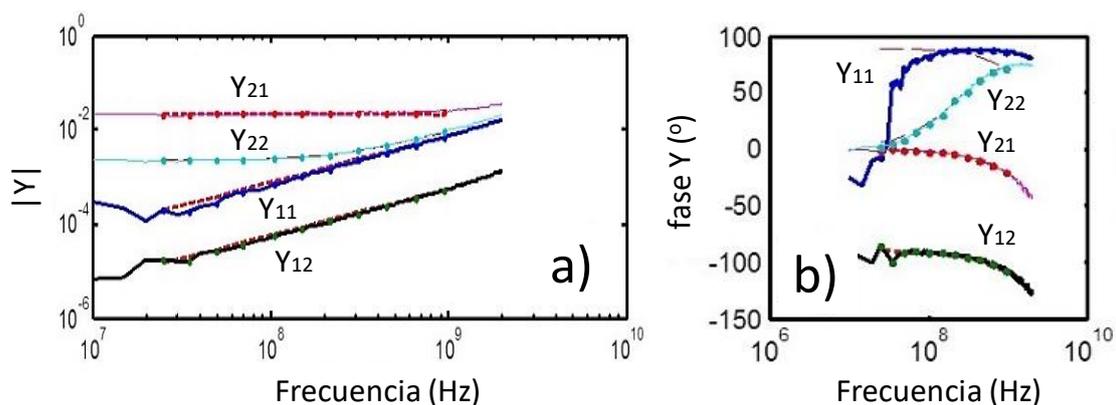


Figura 4-23. Ejemplo de un ajuste de las magnitudes (a) y las fases (b) de los parámetros $[Y]$ medidos en un transistor.

4.4 Variación de los parámetros de pequeña señal por el estrés eléctrico

La metodología presentada en la sección 4.3 se utilizará para extraer los parámetros del circuito de pequeña señal del transistor tras un estrés RF. En concreto, se analizará el cambio de estos parámetros cuando los transistores son sometidos a diferentes estreses de RF, superpuestos a una tensión DC, en función del tiempo y de la potencia de la señal de RF. Los parámetros de pequeña señal del transistor se han extraído de los parámetros $[Y]$ mostrados en la sección 4.2.2 y se representarán en función del tiempo y de la potencia de RF en dBm. Solo en los casos que algún parámetro muestre una tendencia potencial con la potencia de RF, por ejemplo como la observada en ΔV_{th} en la Figura 4-17b, dicha potencia se representará en Watts, cuya equivalencia a dBm se indica en la Tabla 4-2.

En la sección 4.1 se ha descrito el *de-embedding* y su principal función en la caracterización RF de dispositivos/circuitos que se encuentran en una oblea. De lo descrito, se deduce que el *de-embedding* debe suponer una disminución de los valores de las capacidades asociadas a los contactos y a las líneas de interconexión, obtenidas previo al *de-embedding*, lo que se ha verificado experimentalmente. A modo de ejemplo, en la Figura 4-24 se compara el efecto del *de-embedding* en el valor de las capacidades intrínsecas C_{gs} , C_{gd} y C_{ds} , en función del tiempo de estrés, para el transistor sometido a una potencia de 2dBm. En esta figura se verifica que el valor de las capacidades se reduce cuando se aplica el *de-embedding* (símbolos cerrados). Nótese que el *de-embedding* puede introducir cambios de los valores de las capacidades de hasta el 200%, por lo que es importante aplicar esta corrección.

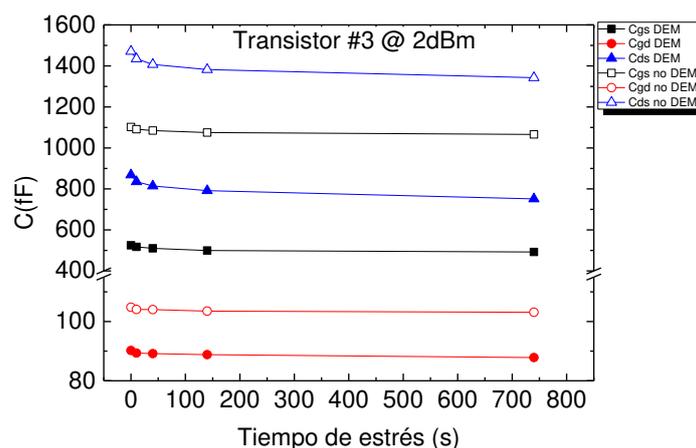


Figura 4-24. Comparación de los valores de las capacidades intrínsecas del transistor, obtenidas antes y después de aplicar el *de-embedding*, para el transistor estresado a una potencia de RF de 2dBm, en función del tiempo de estrés.

Previo al análisis del efecto del estrés RF, se ha procedido a la extracción de los parámetros en los DUTs frescos. La Tabla 4-5 muestra los valores de los parámetros eléctricos iniciales (o a tiempo cero, t_0 , previamente al estrés) de los transistores analizados, es decir R_g , g_m , r_o , C_{gs} , C_{gd} y C_{ds} . Para hacer la extracción de parámetros, se ha considerado una resistencia R_d de 17Ω para todos los transistores analizados, porque se ha observado que este valor permite ajustar bien las magnitudes y las fases de los parámetros [Y] experimentales. Hay que tener en cuenta que las resistencias del sustrato R_d y R_g son difíciles de modelar porque dependen de la tensión en las zonas de solapamiento del transistor [208]. Sin embargo, para obtener su valor se ha considerado que no dependen de dichas tensiones. En la misma tabla se ha indicado la media y la desviación estándar obtenida. Se observa que la desviación de cada parámetro es pequeña, lo que indica que hay poca dispersión entre los parámetros iniciales de los diferentes transistores. Estos resultados concuerdan con la poca dispersión observada en las características $I_D - V_{GS}$ de la Figura 4-12 y en las magnitudes y fases de los parámetros [Y] de las Figuras 4-13 y 4-14, respectivamente.

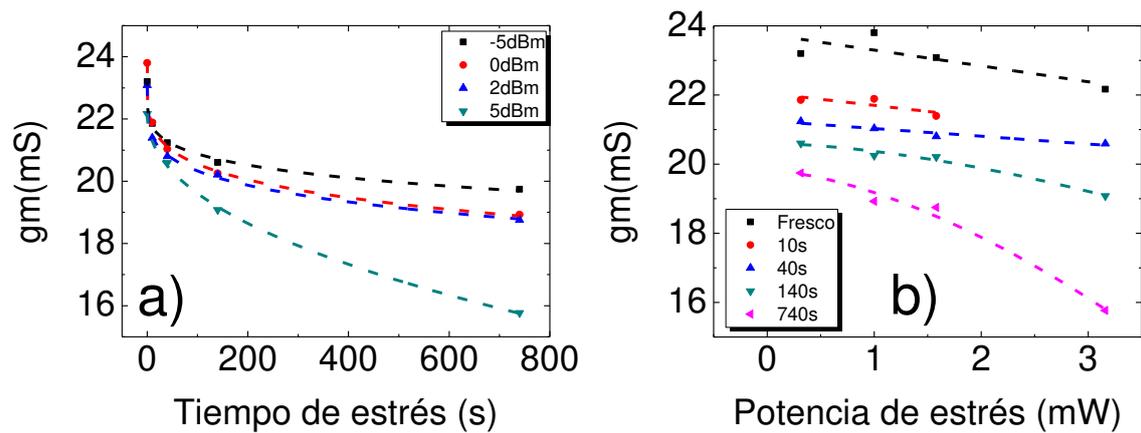
Transistor #	g_m (mS)	r_o (Ω)	R_g (Ω)	C_{ds} (fF)	C_{gd} (fF)	C_{gs} (fF)
1	23,2	473,98	26,644	887	91,1	530
2	23,8	461,59	28,473	863	90,6	518
3	23,08	484,84	27,30	870	90,8	523
4	22,1	486,83	28,7	845	90	516
Media	23,06	476,81	27,78	866	90,6	522
Desviación	0,67	11,61	0,97	17,6	0,466	6,41

Tabla 4-5. Parámetros iniciales del circuito equivalente de pequeña señal de los transistores, considerando una resistencia de drenador R_d de 17Ω .

A continuación, se analizará cómo varían los parámetros eléctricos de los transistores, después de someterlos a estreses RF de diferentes potencias y tiempos de estrés. En primer lugar, se analizarán los parámetros intrínsecos, es decir la transconductancia g_m , la resistencia r_o , y las capacidades C_{gs} , C_{gd} y C_{ds} . Seguidamente, se analizará la resistencia extrínseca R_g .

En las Figuras 4-25a-b se ha representado la transconductancia, g_m , en función del tiempo de estrés y de la potencia de RF, respectivamente. A tiempo cero, su valor medio es de ~ 23 mS (Tabla 4-5). En la Figura 4-25a se observa que la transconductancia disminuye potencialmente con el tiempo de estrés, modificando las prestaciones del dispositivo. Su degradación implica una disminución de la corriente de drenador del transistor y, por lo tanto, un aumento de la resistencia

del canal. Además, la degradación de g_m también tiene asociada una disminución de la frecuencia de corte (f_t) (definida como la frecuencia a la que la ganancia de corriente es 0dBm) y de la máxima frecuencia de oscilación (f_{max}) del transistor, cuando está polarizado en saturación [193], [194], [209], [210]. En la misma Figura 4-25a se ha ajustado g_m a una función potencial $y = a + b \cdot t^c$, donde t es el tiempo de estrés, y a , b y c son los parámetros del ajuste. Las ecuaciones de los ajustes se indican en la Tabla 4-6. Nótese el parecido en el exponente ($\sim 0,2$) obtenido para las potencias de estrés -5 dBm, 0 dBm y 2 dBm. Sin embargo, el exponente hallado del ajuste de g_m para una potencia de 5 dBm es considerablemente más elevado ($\sim 0,45$). Estos exponentes son parecidos a los obtenidos anteriormente en los ajustes de ΔV_{th} en función del tiempo de estrés mostrados en la Tabla 4-3, lo que indica una relación entre la degradación de V_{th} y g_m .



Model	New Function (User)
Equation	(A,B,C)
Plot	gm
Fit	gm
A	0.0006 ± 1.8729E-4
B	17.54983 ± 0.24745
C	1.02583 ± 0.00027
Reduced Chi-Sqr	2.11648E-8
R-Square(COQ)	0.99997
Adj. R-Square	0.99997

Equation	gm
Weight	0.023176 ± 4.14231E-5
Intercept	-0.49768 ± 0.22488
Slope	4.45376E-2
Parameter1	-0.82144
R-Square(COQ)	0.91745
Adj. R-Square	0.91515

Model	New Function (User)
Equation	(A,B,C)
Plot	gm
Fit	gm
A	0.01981 ± 2.48189E-4
B	-40.79726 ± 120.86209
C	1.80268 ± 0.01870
Reduced Chi-Sqr	5.60376E-8
R-Square(COQ)	0.99997
Adj. R-Square	0.99997

Figura 4-25. Dependencia de la transconductancia en función a) del tiempo de estrés, para diferentes potencias de RF y b) de la potencia de RF (en W), para diferentes tiempos de estrés.

Potencia de estrés	g_m (mS)
-5dBm	$23,21 - 0,9123 \cdot t^{0,204}$
0dBm	$23,81 - 1,270 \cdot t^{0,205}$
2dBm	$23,07 - 0,9852 \cdot t^{0,222}$
5dBm	$22,17 - 0,3149 \cdot t^{0,456}$

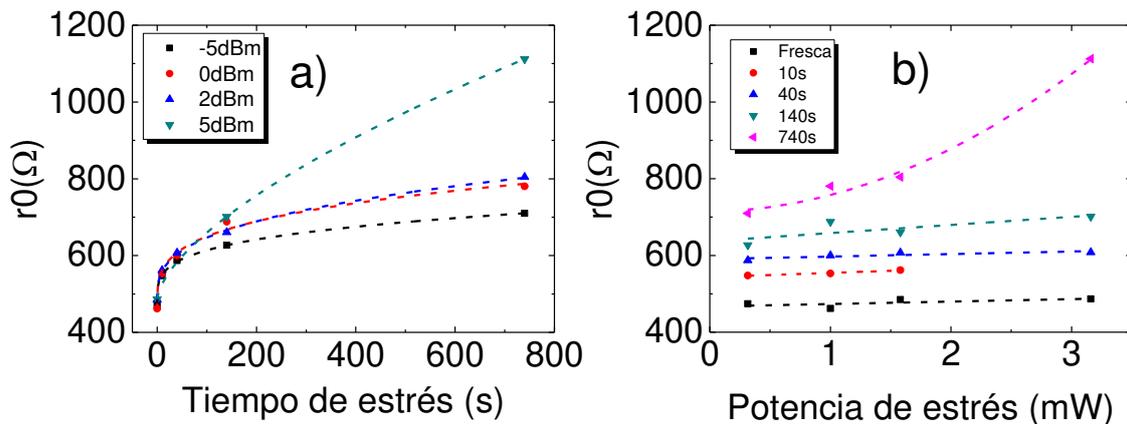
Tabla 4-6. Ecuaciones de los ajustes de g_m en función del tiempo de estrés (Figura 4-25a), para las distintas potencias de la señal de RF.

En la Figura 4-25b se ha representado g_m en función de la potencia de RF (en mW), para diferentes tiempos de estrés. Para un tiempo de hasta 40s, el efecto de la potencia es poco significativo en su degradación, como indican las pequeñas pendientes obtenidas de los ajustes lineales de g_m para este intervalo de tiempo (Tabla 4-7). Sin embargo, para los tiempos de estrés de 740s, el efecto de la potencia de RF empieza a ser significativo. Para una potencia de 5dBm (3,16mW) y uno tiempo de estrés 740s, la transconductancia disminuye un 29% respecto a su valor inicial. En cambio, para una potencia de 2dBm (1,58mW) y el mismo tiempo de estrés, se observa que la g_m disminuye un 18%. Para un tiempo de estrés de 140s y 740s, la g_m se ha ajustado a una función potencial $y = a + b \cdot (Pin)^c$ en función de la potencia de RF, Pin , siendo a , b , y c los parámetros del ajuste. Las ecuaciones de estos dos ajustes se indican en la Tabla 4-7 y los exponentes obtenidos son parecidos entre ellos ($\sim 1,6$). De estos resultados se puede concluir que el efecto del estrés RF en g_m es significativo para tiempos de estrés suficientemente largos y potencias de estrés grandes.

Tiempo de estrés (s)	gm (S) (P_{in} en W)
0	$0,023 - 0,457 \cdot P_{in}$
10	$0,022 - 0,35 \cdot P_{in}$
40	$0,021 - 0,22 \cdot P_{in}$
140	$0,0206 - 17,54 \cdot P_{in}^{1,62}$
740	$0,01981 - 40,73 \cdot P_{in}^{1,6}$

Tabla 4-7. Ecuaciones de los ajustes de gm , en función de la potencia de estrés RF (en W) (Figura 4-25b), para diferentes tiempos de estrés.

En las Figuras 4-26a-b se ha representado r_o en función del tiempo de estrés y de la potencia de RF, respectivamente. Recordemos que el valor medio inicial de r_o es de $\sim 476\Omega$ (Tabla 4-5). Al contrario que gm , el valor de r_o aumenta potencialmente con el tiempo de estrés, como muestra la Figura 4-26a. Este aumento conlleva una disminución de la corriente de drenador y, en consecuencia, un aumento en la resistencia del canal r_o . A su vez, la degradación de gm y r_o , se pueden explicar por la degradación de la tensión umbral del transistor y de la movilidad efectiva de los portadores (μ_o) en el canal [193], [196]. De forma análoga a gm , en la misma Figura 4-26a se ha ajustado r_o a una función potencial y las ecuaciones de los ajustes se muestran en la Tabla 4-8. Los exponentes hallados de los ajustes de r_o varían entre 0,26 y 0,33 para las potencias RF – 5dBm, 0dBm y 2dBm. Sin embargo, del mismo modo que ocurre con gm , el exponente hallado para una potencia de 5dBm es aproximadamente dos veces más grande ($\sim 0,64$) que el obtenido para una potencia de RF más baja.



Model	NonFunction_1 (User)
Equation	(A-B)*Y^C
Phi	0
A	715,2659 ± 31,56509
B	2,815195 ± 0,2654927
C	1,94555 ± 0,58662
Reduced Chi-Sqr	0,1911787
R-Square(CO2)	0,99441
Adj. R-Square	0,97422

Equation	r_o
Phi	0
Weight	467,32768 ± 3,27919
Intercept	467,32768 ± 3,27919
Slope	0,00152746 ± 0,00017059
Function SumOfSquares	225,81663
Parameter 1	0,65228
R-Square(CO2)	0,9466
Adj. R-Square	0,93895

Figura 4-26. Dependencia de r_o en función a) del tiempo de estrés para diferentes potencias de RF y b) de la potencia de la señal de RF (en mW), para diferentes tiempos de estrés.

Potencia de estrés	r_o (Ω)
-5dBm	$473,61 + 42,16 \cdot t^{0,26}$
0dBm	$458,99 + 54,78 \cdot t^{0,27}$
2dBm	$485,85 + 33,84 \cdot t^{0,33}$
5dBm	$486,83 + 8,97 \cdot t^{0,642}$

Tabla 4-8. Ecuaciones de los ajustes de la resistencia r_o , con el tiempo de estrés (Figura 4-26a), para las distintas potencias de la señal de RF.

La Figura 4-26b muestra que, para un tiempo de estrés de hasta 140s, el efecto de la potencia de RF (en mW) es poco significativo en la degradación de r_o , como indican las pequeñas pendientes de los ajustes lineales de r_o en función de la potencia de RF, mostradas en la Tabla 4-9. Sin embargo, para un tiempo de estrés de 740s, el efecto de la señal de RF en el valor

de r_o empieza a ser significativo y su dependencia con la potencia de RF es de tipo potencial. Su variación máxima es de un 129%, aproximadamente, respecto a su valor inicial, para este tiempo de estrés y una potencia de 5dBm (3,16mW). En cambio, para la misma potencia y un tiempo de estrés de 140s, la variación es del 43%, aproximadamente. En la Tabla 4-9 se ha indicado la ecuación del ajuste potencial de r_o , para un tiempo de estrés de 740s. El exponente obtenido es próximo al exponente hallado anteriormente en el ajuste de g_m con la potencia de RF, para este mismo tiempo de estrés, lo que indica una relación entre la degradación de la transconductancia y el aumento de la resistencia r_o .

Tiempo de estrés (s)	r_o (Ω) (P_{in} en mW)
0	$476,12 + 6,39752 \cdot P_{in}$
10	$547,58 + 10,908 \cdot P_{in}$
40	$590,45 + 6,6168 \cdot P_{in}$
140	$637,1 + 21,2133 \cdot P_{in}$
740	$715,26 + 2,813 \cdot 10^7 \cdot (10^{-3} \cdot P_{in})^{1,94}$

Tabla 4-9. Ecuaciones de los ajustes de la resistencia r_o (Figura 4-26b), con la potencia de estrés RF (en mW), para diferentes tiempos de estrés.

En las Figuras 4-27a-b, se ha representado la capacidad C_{gs} en función del tiempo de estrés y la potencia de RF, respectivamente. A tiempo cero su valor medio es 522fF (Tabla 4-5), y tiende a disminuir potencialmente con el tiempo de estrés, como muestra la Figura 4-27a. Esta capacidad muestra una variación máxima del 8%, respecto a su valor medio inicial, debido a la degradación del transistor cuando se aplica la máxima potencia de estrés (5dBm) y un tiempo de 740s. En la misma Figura 4-27a se muestran los ajustes de C_{gs} a una función potencial $y = a + b \cdot t^c$, donde t es el tiempo de estrés, y a , b y c son los parámetros del ajuste. Las ecuaciones de los ajustes se muestran en la Tabla 4-10 y los exponentes obtenidos varían entre 0,1 y 1,09 para las diferentes potencias de la señal de RF. Nótese que en esta tabla hay dos exponentes cuyos valores son próximos a uno. Esto es debido a los datos experimentales obtenidos con la metodología para las potencias de 0dBm y 5dBm y un tiempo de estrés de 40s y 140s.

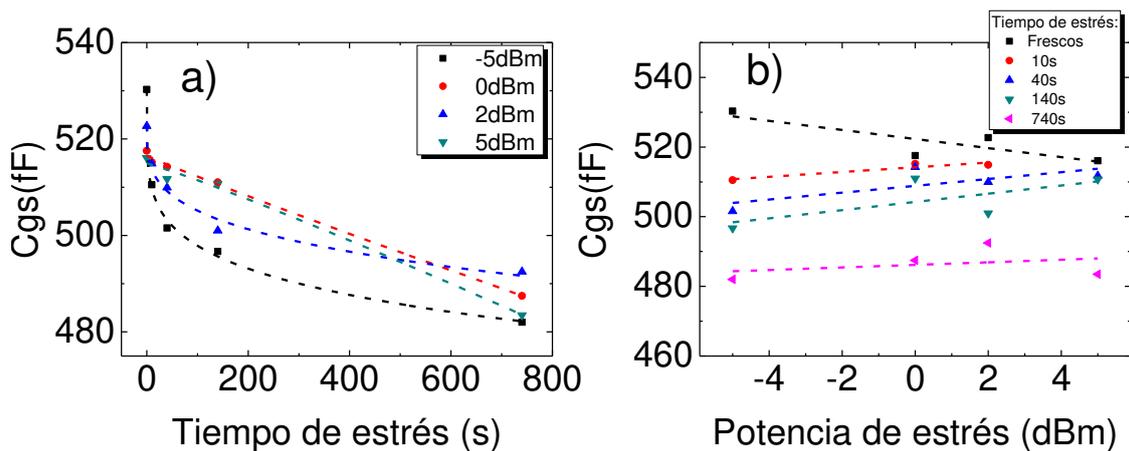


Figura 4-27. Dependencia de la capacidad C_{gs} en función a) del tiempo de estrés para diferentes potencias de RF y b) de la potencia de la señal de RF (en dBm), para diferentes tiempos de estrés.

Potencia de estrés	C_{gs} (fF)
-5dBm	$530,29 - 13,088 \cdot t^{0,197}$
0dBm	$516,56 - 0,05588 \cdot t^{0,94}$
2dBm	$523,04 - 4,912 \cdot t^{0,28}$
5dBm	$514,93 - 0,02288 \cdot t^{1,09}$

Tabla 4-10. Ecuaciones de los ajustes de la capacidad C_{gs} con el tiempo de estrés (Figura 4-27a), para las distintas potencias de la señal de RF.

En cuanto a la dependencia de C_{gs} con la potencia de la señal de RF (en dBm), la Figura 4-27b muestra una ligera tendencia creciente. Sin embargo, las pendientes halladas de los ajustes lineales de C_{gs} en función de la potencia de RF son muy pequeñas y varían entre 0,6fF/dBm y 1,1fF/dBm, como se muestra en la Tabla 4-11. Nótese que las capacidades C_{gs} obtenidas previamente al estrés pueden ajustarse con una pendiente similar (en valor absoluto). Esta similitud permite concluir que el efecto de la potencia de RF en esta capacidad no es significativo y su degradación es debida básicamente al tiempo de estrés.

Tiempo de estrés (s)	C_{gs} (fF) (P_{in} en dBm)
0	$522,29 - 1,301 \cdot P_{in}$
10	$514,2 + 0,6831 \cdot P_{in}$
40	$508,86 + 0,98 \cdot P_{in}$
140	$504,26 + 1,17 \cdot P_{in}$
740	$486,17 + 0,368 \cdot P_{in}$

Tabla 4-11. Ecuaciones de los ajustes de la capacidad C_{gs} con la potencia de estrés RF (en dBm) (Figura 4-27b), para diferentes tiempos de estrés.

En las Figuras 4-28a-b se ha representado la capacidad C_{gd} en función del tiempo de estrés y de la potencia de RF, respectivamente. A tiempo cero su valor medio es ~90fF (Tabla 4-5) y su valor disminuye potencialmente con el tiempo de estrés, como muestra la Figura 4-28a. Esta capacidad muestra una variación máxima del 4%, respecto a su valor inicial, debido a la degradación del transistor cuando se aplica una potencia de RF de 5dBm y un tiempo de estrés de 740s. Esta disminución se puede atribuir a una reducción de la carga de inversión del canal, cerca de la región del drenador, cuando el transistor está polarizado en la región de saturación [196]. En la misma Figura 4-28a se muestran los ajustes de C_{gd} a una función potencial, para las diferentes potencias de la señal de RF. Las ecuaciones de los ajustes se muestran en la Tabla 4-12 y los exponentes obtenidos son muy parecidos y están comprendidos entre 0,17 y 0,29.

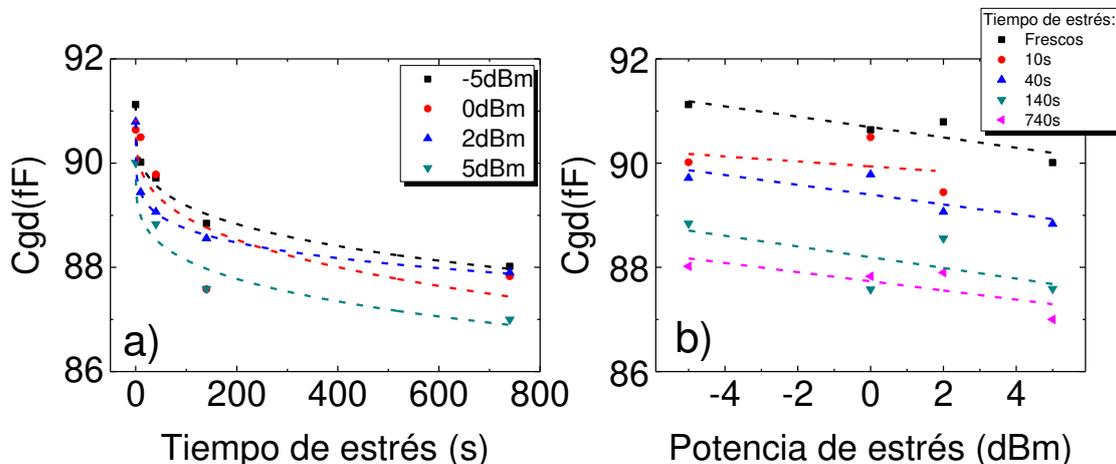


Figura 4-28. Dependencia de la capacidad C_{gd} en función a) del tiempo de estrés, para diferentes potencias de RF y b) de la potencia de la señal de RF (en dBm), para diferentes tiempos de estrés.

Potencia de estrés	C_{gd} (fF)
-5dBm	$91,13 - 0,637 \cdot t^{0,24}$
0dBm	$90,83 - 0,481 \cdot t^{0,29}$
2dBm	$90,79 - 0,918 \cdot t^{0,17}$
5dBm	$90,03 - 0,593 \cdot t^{0,25}$

Tabla 4-12. Ecuaciones de los ajustes de la capacidad C_{gd} con el tiempo de estrés (Figura 4-28a), para las distintas potencias de la señal de RF.

En cuanto a la variación de C_{gd} con la potencia de RF (Figura 4-28b), se observa una ligera tendencia decreciente de esta capacidad, con unas pendientes comprendidas entre $-0,04\text{fF/dBm}$ y $-0,1\text{fF/dBm}$, para los diferentes tiempos de estrés, como muestran las ecuaciones de los ajustes lineales de la Tabla 4-13. Análogamente al caso de la capacidad C_{gs} , la pendiente para $t = 0\text{s}$ (capacidades frescas) es parecida a la obtenida para los otros tiempos de estrés, lo que indica que el efecto de la potencia de la señal de RF es poco significativo en su variación y su degradación es debida, básicamente, al tiempo de estrés.

Tiempo de estrés (s)	C_{gd} (fF) (Pin en dBm)
0	$90,68 - 9,92 \cdot 10^{-2} \cdot Pin$
10	$89,93 - 4,77 \cdot 10^{-2} \cdot Pin$
40	$89,39 - 9,403 \cdot 10^{-2} \cdot Pin$
140	$88,19 - 1,027 \cdot 10^{-1} \cdot Pin$
740	$87,73 - 8,8 \cdot 10^{-2} \cdot Pin$

Tabla 4-13. Ecuaciones de los ajustes de la capacidad C_{gd} con la potencia de estrés RF (en dBm) (Figura 4-28b), para diferentes tiempos de estrés.

En la Figura 4-29a se ha representado la capacidad C_{ds} en función del tiempo de estrés, para diferentes potencias de RF. Su valor inicial medio es de 866fF (Tabla 4-5) y disminuye con el tiempo de estrés. Esta capacidad muestra una variación máxima del 19%, respecto su valor medio inicial, para un tiempo de estrés de 740s y una potencia de 5dBm. La disminución de C_{ds} con el tiempo de estrés es de tipo potencial, con un exponente muy parecido para las diferentes potencias de RF (entre 0,21 y 0,27), como se indica en la Tabla 4-14. Los exponentes obtenidos son parecidos a los obtenidos en el ajuste de C_{gd} con el tiempo de estrés (Tabla 4-12).

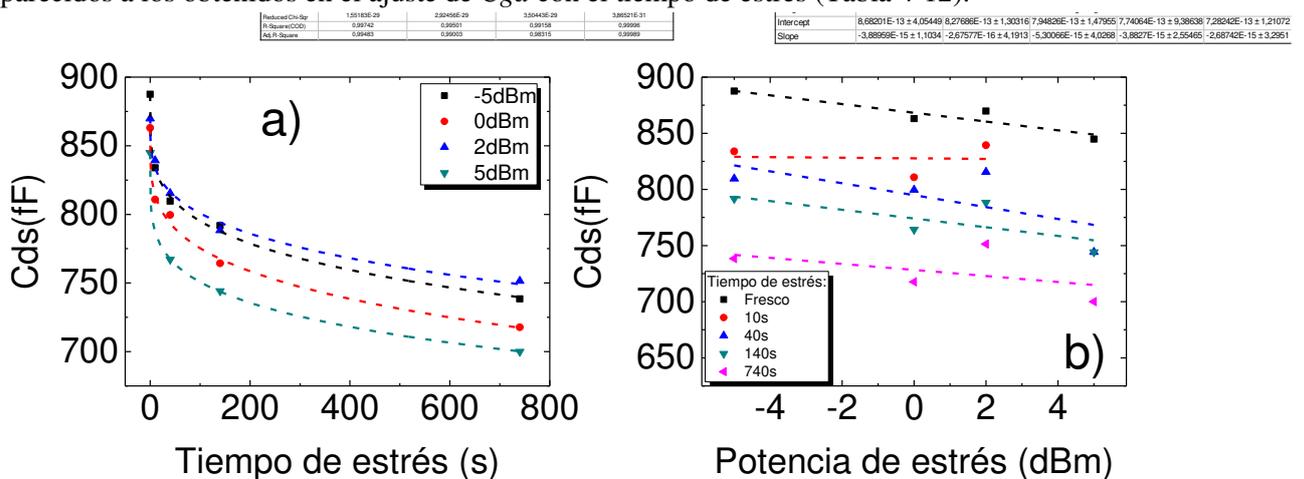


Figura 4-29. Dependencia de la capacidad C_{ds} en función a) del tiempo de estrés, para diferentes potencias de RF y b) de la potencia de la señal de RF, para diferentes tiempos de estrés

Potencia de estrés	C_{ds} (fF)
-5dBm	$887,22 - 31,109 \cdot t^{0,23}$
0dBm	$862,8 - 27,09 \cdot t^{0,25}$
2dBm	$870,93 - 19,71 \cdot t^{0,27}$
5dBm	$544,8 - 35,033 \cdot t^{0,21}$

Tabla 4-14. Ecuaciones de los ajustes de la capacidad C_{ds} con el tiempo de estrés (Figura 4-29a), para las distintas potencias de la señal de RF.

En la Figura 4-29b se observa una ligera tendencia decreciente de la capacidad C_{ds} con la potencia de la señal de RF (en dBm). Las pendientes obtenidas de los ajustes lineales se muestran en la Tabla 4-15 y sus valores están comprendidos entre $-0,2\text{fF/dBm}$ y $-5,3\text{fF/dBm}$ para los distintos tiempos de estrés. De forma análoga a las otras capacidades, a tiempo $t = 0\text{s}$ se observa una pequeña pendiente de $-3,88\text{fF/dBm}$ debido a la pequeña desviación de $17,6\text{fF}$ de este parámetro, entre los diferentes transistores (Tabla 4-5). El valor de esta pendiente es comparable al valor de las otras pendientes obtenidas para tiempos de estrés más grandes, lo que permite concluir que el efecto de la potencia es poco significativo en su variación y su degradación es debida básicamente al tiempo de estrés.

Tiempo de estrés (s)	C_{ds} (fF) (P_{in} en dBm)
0	$868,2 - 3,88 \cdot P_{in}$
10	$827,68 - 0,267 \cdot P_{in}$
40	$794,82 - 5,3 \cdot P_{in}$
140	$774,06 - 3,88 \cdot P_{in}$
740	$728,24 - 2,687 \cdot P_{in}$

Tabla 4-15. Ecuaciones de los ajustes de la dependencia de C_{ds} con la potencia de estrés RF (en dBm) (Figura 4-29b), para diferentes tiempos de estrés.

En la Figura 4-30a se ha representado R_g en función del tiempo de estrés, para las diferentes potencias de estrés RF. Recordemos que a tiempo cero, su valor medio es de $27,78\Omega$ (Tabla 4-5) y su valor aumenta con el tiempo de estrés. La mayor variación de R_g (un 36% respecto del valor medio inicial) se obtiene para la potencia de RF de 0dBm y un tiempo de estrés de 740s, en lugar de la potencia máxima (5dBm) como se ha obtenido en los otros parámetros. Su variación con el tiempo de estrés es de forma potencial, con un exponente muy parecido (entre 0,24 y 0,35), para todas las potencias RF, como se indica en la Tabla 4-16.

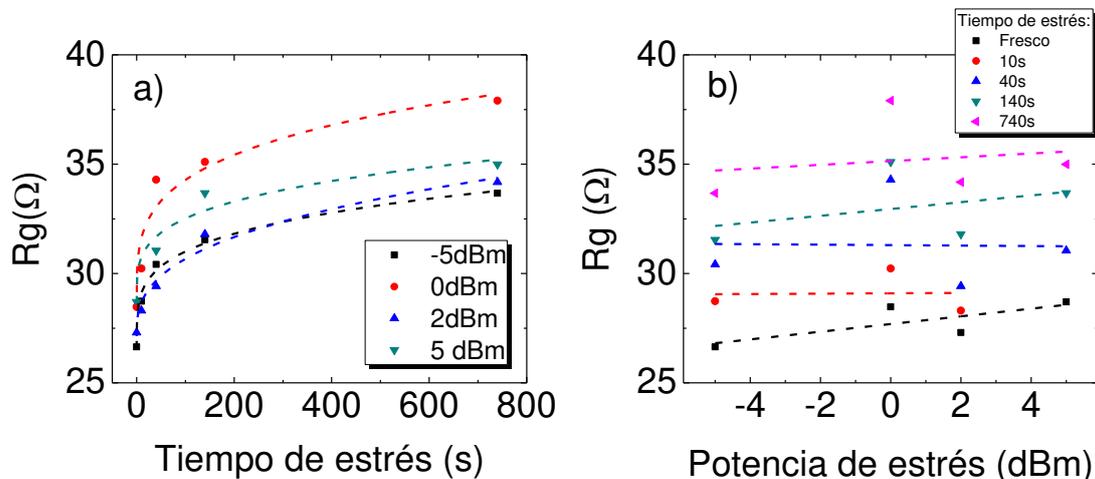


Figura 4-30 Dependencia de la resistencia R_g en función a) del tiempo de estrés, para diferentes potencias de RF y b) de la potencia de RF, para diferentes tiempos de estrés.

Potencia de estrés	Rg (Ω)
-5dBm	$26,59 + 1,442 \cdot t^{0,243}$
0dBm	$28,28 + 1,879 \cdot t^{0,251}$
2dBm	$27,13 + 0,677 \cdot t^{0,358}$
5dBm	$28,64 + 1,151 \cdot t^{0,263}$

Tabla 4-16. Ecuaciones de los ajustes de la resistencia Rg con el tiempo de estrés (Figura 4-30a), para las distintas potencias de la señal de RF.

En el rango de potencias de RF analizado, Rg es aproximadamente independiente de la potencia de la señal de RF (Figura 4-30b), como muestran las pequeñas pendientes de los ajustes lineales mostrados en la Tabla 4-17.

Tiempo de estrés (s)	Rg (Ω) (Pin en dBm)
0	$27,69 + 0,17 \cdot Pin$
10	$29,09 + 0,008 \cdot Pin$
40	$31,29 - 0,001 \cdot Pin$
140	$32,95 + 0,15 \cdot Pin$
740	$35,14 + 0,08 \cdot Pin$

Tabla 4-17. Ecuaciones de los ajustes de la resistencia Rg con la potencia de estrés RF (en dBm) (Figura 4-30b), para diferentes tiempos de estrés

Conclusiones sobre la variación de los parámetros eléctricos del transistor por el estrés RF

A continuación, se resumen los resultados más relevantes de la variación de los parámetros eléctricos del transistor debido al tiempo de estrés y la potencia de la señal de RF.

- Dependencias con el tiempo de estrés:

Debido al estrés NBTI de RF superpuesto a una tensión DC, la tensión umbral del transistor aumenta potencialmente con el tiempo de estrés. Para potencias inferiores a 2dBm, los exponentes son muy parecidos entre ellos (entre 0,15 y 0,23) y similares a los obtenidos en un estrés BTI a una tensión constante. En cambio, para una potencia de RF de 5dBm, el exponente es considerablemente más elevado (~0,4).

Debido a la degradación del transistor, la transconductancia disminuye potencialmente con el tiempo de estrés. El exponente obtenido es muy parecido al obtenido para la variación de la tensión umbral con el tiempo de estrés, para las diferentes potencias de la señal de RF. Su máxima variación es de un 29% para la peor condición de estrés estudiada, es decir, una potencia de 5dBm y un tiempo de estrés de 740s. A diferencia de gm, la máxima variación r0 es de un 129%, para la peor condición de estrés estudiada, y aumenta potencialmente con el tiempo de estrés. Para una potencia de RF inferior a 2dBm, los exponentes son bastante parecidos entre ellos (entre 0,26 y 0,33) y a los obtenidos en gm. Sin embargo, para una potencia de 5dBm, el exponente hallado es considerablemente más grande (~0,64).

Del análisis de las capacidades intrínsecas se ha obtenido que la capacidad Cgs tiene una variación máxima del 8%, para la peor condición de estrés estudiada, y disminuye potencialmente

con el tiempo de estrés. Los exponentes obtenidos varían entre 0,1 y 1,09 para las diferentes potencias de RF.

La capacidad C_{gd} tiene una variación máxima de un 4%, respecto a su valor inicial, para la peor condición de estrés estudiada. Su valor también disminuye potencialmente con el tiempo de estrés, para las diferentes potencias de la señal de RF. Los exponentes obtenidos son parecidos a los obtenidos en ΔV_{th} cuando se aplica un estrés BTI a una tensión constante. La disminución de esta capacidad se podría justificar con una reducción de la carga de inversión del canal, que indica la disminución de la corriente de drenador, como consecuencia de la degradación del transistor.

La capacidad C_{ds} es la que muestra una variación más grande (19%), comparado con las otras dos capacidades, para la peor condición de estrés estudiada. Esta capacidad disminuye potencialmente con el tiempo de estrés, con un exponente parecido al de la capacidad C_{gd} , para las diferentes potencias RF.

La resistencia extrínseca R_g aumenta potencialmente con el tiempo de estrés con un exponente entre 0,24 y 0,35, para las diferentes potencias de RF. Su variación máxima es de un 34%.

- Dependencias con la potencia de la señal de RF:

El efecto de la potencia de RF de estrés, P_{in} (en W), solo es significativo en ΔV_{th} para tiempos de estrés superiores a 140s, en que ΔV_{th} aumenta potencialmente con un exponente de $\sim 1,2$. Para un tiempo de estrés más pequeño su variación es debida a este tiempo. Respecto a la transconductancia del transistor, se ve afectada por la potencia de RF (en W) a partir de tiempos de estrés de 140s o superiores. Para estos tiempos, su valor disminuye potencialmente con la potencia de RF, con un exponente próximo a ($\sim 1,6$). Para tiempos más pequeños, el efecto del estrés RF no es significativo en su variación y su disminución es debida básicamente al tiempo de estrés. La resistencia r_o , en cambio, aumenta potencialmente con la potencia de la señal de RF (en W), para tiempos más grandes que 140s, con un exponente un poco más grande que el obtenido para g_m ($\sim 1,9$). Para un tiempo de estrés más pequeño o igual a 140s, el efecto de la señal de RF no es significativo en su variación y es debida básicamente al tiempo de estrés y a la tensión DC.

Respecto a las capacidades intrínsecas C_{gs} , C_{gd} y C_{ds} , y la resistencia extrínseca R_g , se ven ligeramente afectadas por la potencia del estrés RF y su variación es debida básicamente al tiempo de estrés.

4.5 Impacto de la degradación del MOSFET en las prestaciones de un amplificador

Una vez analizada la variación de los parámetros eléctricos del circuito equivalente de pequeña señal del transistor como consecuencia de un estrés NBTI de RF, en este apartado se estudiará cómo afecta esta variación en las prestaciones de un amplificador de RF. En concreto, en la figura de mérito producto ganancia ancho de banda (GBW).

En la Figura 4-31 se muestra el circuito esquemático del amplificador que se ha analizado, con una configuración fuente común (*common source amplifier*). El circuito está formado por un

transistor pMOSFET al cual se ha añadido una fuente de corriente en el terminal de drenador, I_1 , y una fuente de tensión en el terminal de puerta (DC + AC). La fuente de tensión polariza el transistor y aplica la señal de radiofrecuencia. La fuente de corriente I_1 fija la corriente de saturación del transistor y su valor depende del punto de polarización del transistor. La tensión de salida del amplificador (OUT) se mide en el terminal de drenador.

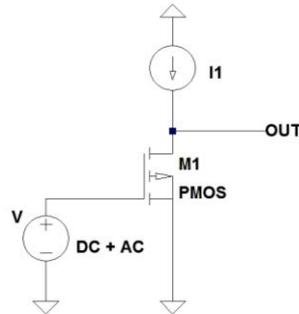


Figura 4-31. Esquemático del amplificador con una configuración *fuentes común* considerado en este trabajo.

Para analizar el comportamiento del amplificador de RF se ha utilizado el simulador de circuitos LTSPICE®. Para que las simulaciones sean independientes del modelo SPICE del MOSFET, se ha simulado directamente el circuito equivalente de pequeña señal del transistor, como se muestra en la Figura 4-32, de modo que todos los resultados que se presentarán a continuación se refieren a este circuito. Para cada condición de estrés NBTI forzada en el transistor (tiempo y potencia de RF), se han substituido los valores de los parámetros eléctricos del transistor hallados anteriormente. Nótese que los parámetros extraídos están referenciados a una señal de estrés de 1GHz aplicada en el transistor y se han obtenido a partir de los parámetros [Y] medidos en un rango frecuencial entre 500MHz y 2GHz. Sin embargo, en [185] se han representado los parámetros de pequeña señal del transistor para diferentes frecuencias y se observa que a partir de frecuencias inferiores a 1GHz la variación de éstos parámetros no es significativa. Teniendo en cuenta esto, para hacer este estudio se ha considerado que los parámetros de pequeña señal, obtenidos de las medidas de parámetros [Y], no varían para frecuencias inferiores a 2GHz. Para realizar la simulación, el terminal de drenador se ha dejado en circuito abierto y en el terminal de puerta del transistor se ha aplicado una señal de RF con una amplitud de 1V. La frecuencia de esta señal se ha variado desde 1Hz hasta 100GHz. La tensión de salida OUT, en función de la frecuencia, se ha obtenido en el extremo de la resistencia R_d .

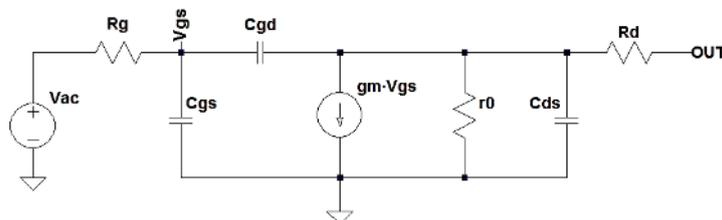


Figura 4-32. Esquemático del amplificador simulado con SPICE.

Para estudiar el efecto de la degradación del transistor, cuando se utiliza como un amplificador, en la figura de mérito del producto ganancia ancho de banda, en primer lugar, se ha estudiado cómo la degradación afecta a la ganancia del amplificador y seguidamente a su frecuencia de corte. La variación de estos dos parámetros del amplificador se ha evaluado con el tiempo de estrés y la potencia de la señal de RF, P_{in} , por lo que los valores de los elementos del circuito de

pequeña señal del transistor se han substituido por los valores determinados para cada condición de estrés.

La ganancia en lazo abierto, A_{OL} , muestra la relación entre la tensión de salida V_{out} y la tensión de entrada V_{in} del amplificador. Considerando el circuito equivalente de pequeña señal de la Figura 4-32, la ganancia en lazo abierto se obtiene según la ec. 4-20 [211][212]:

$$A_{OL} = gm \cdot r_0 \quad \text{ec. 4-20}$$

En el apartado anterior se ha visto que r_0 y gm aumentan y disminuyen, respectivamente, con el tiempo de estrés. Según la ec. 4-20 el valor de la ganancia A_{OL} depende del ritmo en que crece o disminuye cada uno de estos dos parámetros, que según las Figuras 4-25 y 4-26 éstos son diferentes (depende del tiempo y de la potencia de la señal RF. Para -5dBm, 0dBm y 2dBm, los exponentes son muy parecidos). A modo de ejemplo, en la Figura 4-33 se ha representado la magnitud (símbolos cerrados), en dB, y la fase (símbolos abiertos), en grados, de la ganancia en lazo abierto, en función de la frecuencia, para dos tiempos de estrés: 140s y 740s. Para realizar esta simulación se han considerado los parámetros eléctricos del transistor estresado a una potencia de 5dBm; potencia que introduce cambios mayores en los parámetros del circuito de pequeña señal del transistor. En esta figura se observa que la ganancia, A_{OL} , aumenta con el tiempo de estrés (pasa de 20,5dB a 24,8dB) debido a que r_0 aumenta más rápido que gm . Cuando la frecuencia sobrepasa la frecuencia de corte (~330MHz), la ganancia del amplificador decae -20dB por década, aproximadamente. Por otro lado, la fase muestra una variación muy pequeña con el tiempo de estrés.

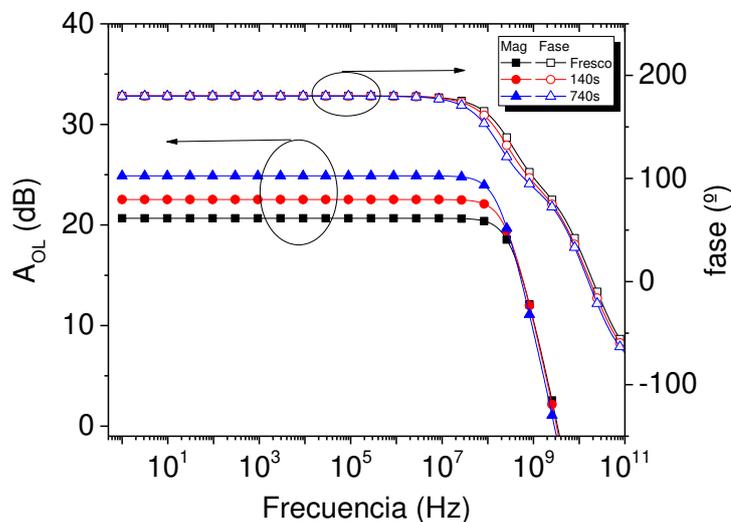


Figura 4-33. Diagrama de Bode del amplificador, cuyo MOSFET ha sido estresado a una potencia de 5dBm durante distintos tiempos de estrés.

En la Figura 4-34a se ha representado la ganancia en lazo abierto (en dB) (ganancia en DC), en función del tiempo de estrés, para las distintas potencias RF de estrés. En esta figura se observa que la ganancia a tiempo cero es de 20,75dB, aproximadamente. Su valor aumenta potencialmente con el tiempo de estrés, llegando a una máxima ganancia de 24,5dB, después de un tiempo de estrés de 740s y aplicando una potencia de 5dBm. En la misma Figura 4-34a se ha ajustado la ganancia a una función potencial $y = a+b \cdot t^c$ (línea punteada), donde t es el tiempo de estrés, y a , b y c son los parámetros del ajuste. Las ecuaciones de los ajustes se muestran en la Tabla 4-18.

En esta tabla se observa que los exponentes, c , aumentan ligeramente con la potencia de la señal de RF y son similares a los exponentes hallados anteriormente en los ajustes de ΔV_{th} , gm y r_o en función del tiempo de estrés, para las diferentes potencias de RF (Tabla 4-3, Tabla 4-6 y Tabla 4-8, respectivamente).

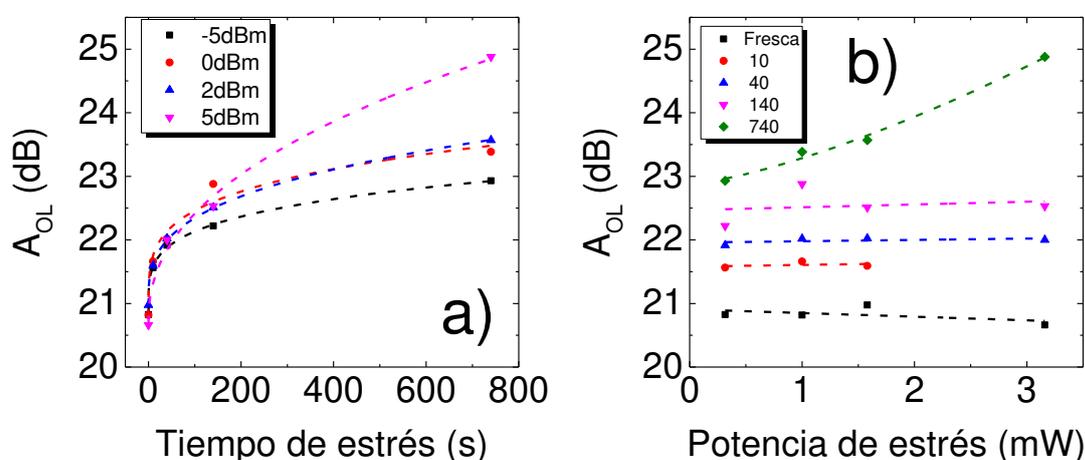


Figura 4-34. a) Ganancia en lazo abierto en función del tiempo de estrés, para las diferentes potencias de RF, y b) en función de la potencia de la señal de RF, para los diferentes tiempos de estrés.

Potencia de estrés	A_{OL} (dB)
-5dBm	$20,82 + 0,44 \cdot t^{0,236}$
0dBm	$20,79 + 0,55 \cdot t^{0,238}$
2dBm	$20,96 + 0,31 \cdot t^{0,318}$
5dBm	$20,69 + 0,22 \cdot t^{0,44}$

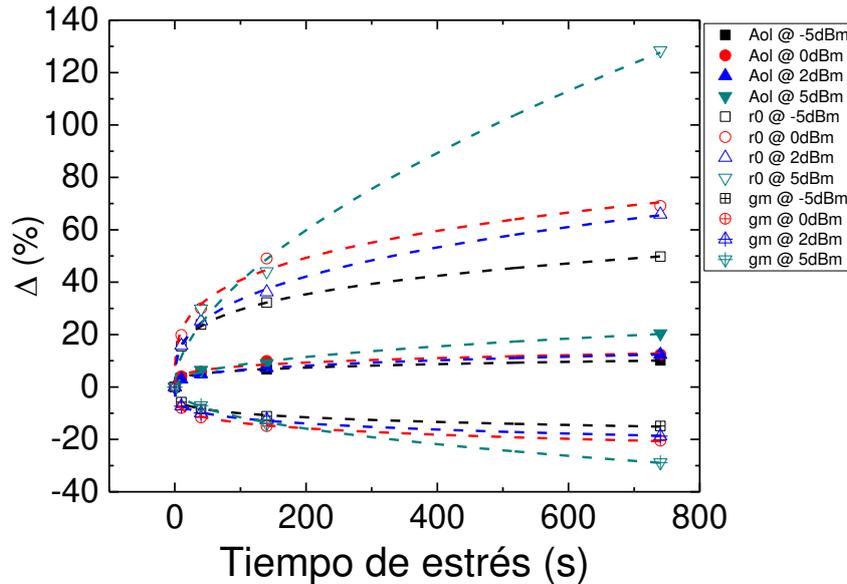
Tabla 4-18. Dependencia de la ganancia (en dB) en función del tiempo de estrés (Figura 4-34a), para las diferentes potencias de RF.

Para estudiar cómo la ganancia A_{OL} depende de la potencia de RF de estrés (en W), en la Figura 4-34b se ha representado esta dependencia, para los distintos tiempos de estrés. En esta figura se observa que para tiempos inferiores a 140s, la ganancia se ve poco afectada por la potencia de RF, como indican los ajustes (Tabla 4-19). Sin embargo, para un tiempo de estrés de 740s, el efecto de la potencia de RF empieza a ser significativo en su variación. Por ejemplo, para una potencia de 5dBm y este tiempo de estrés, la ganancia muestra una variación del 19%, aproximadamente, respecto a la ganancia del transistor sin degradar. Para este tiempo, la ganancia aumenta potencialmente con la potencia de la señal de RF, con la ecuación de ajuste que se muestra en la Tabla 4-19. El exponente es próximo al obtenido en el ajuste de gm en función de la potencia de RF, para este mismo tiempo de estrés (Tabla 4-6). De la Figura 4-34 se puede concluir que, como sucedía para ΔV_{th} , gm y r_o , el efecto de la potencia de RF es significativo en la ganancia a partir de tiempos de estrés largos y potencias de RF suficientemente grandes.

Tiempo de estrés (s)	A_{OL} (dB) (P_{in} en W)
0	$20,9 - 57,22 \cdot P_{in}$
10	$21,58 + 26,44 \cdot P_{in}$
40	$21,95 + 20,93 \cdot P_{in}$
140	$22,46 + 43,52 \cdot P_{in}$
740	$22,88 + 5765,64 \cdot P_{in}^{1,38}$

Tabla 4-19. Dependencia de la ganancia (en dB) con la potencia de estrés RF (en W) (Figura 4-34b), para diferentes tiempos de estrés.

Para determinar si r_o o gm domina la evolución de la ganancia en lazo abierto, en la Figura 4-35 se ha representado el porcentaje de variación de la ganancia (ΔA_{OL} , símbolos cerrados), de r_o (Δr_o , símbolos abiertos) y de gm (Δgm , símbolos con cruces), en función del tiempo de estrés, para las diferentes potencias de estrés RF. En esta figura se ha ajustado la variación de cada parámetro a una función potencial con el tiempo de estrés, para las diferentes potencias de RF. Las ecuaciones de los ajustes se muestran en la Tabla 4-20. Comparando los exponentes hallados de Δr_o y Δgm con los exponentes de ΔA_{OL} , se puede observar que los exponentes son muy parecidos entre ellos, con lo que es difícil de determinar cuál de los dos parámetros controla la evolución de A_{OL} . Se observa que unas veces la controla gm y otras r_o .



Reduced Chi-Sqr	0,23953	0,20616	0,118
R-Square(COD)	0,99622	0,99825	0,996
Adj. R-Square	0,99245	0,9965	0,997

Figura 4-35. Porcentaje de variación de la ganancia en lazo abierto (símbolos cerrados), gm (símbolos con cruces) y r_o (símbolos abiertos), en función del tiempo de estrés, para las diferentes potencias RF de estrés.

Potencia de estrés	ΔA_{OL} (%)	Δr_o (%)	Δgm (%)
-5dBm	$2,11 t^{0,23}$	$8,89 t^{0,26}$	$-3,93 t^{0,2}$
0dBm	$2,68 t^{0,23}$	$11,86 t^{0,27}$	$-5,32 t^{0,2}$
2dBm	$1,5 t^{0,31}$	$6,98 t^{0,33}$	$-4,23 t^{0,22}$
5dBm	$1,09 t^{0,44}$	$2,54 t^{0,59}$	$-1,42 t^{0,45}$

Tabla 4-20. Porcentaje de variación de la ganancia en lazo abierto, r_o y gm , en función del tiempo de estrés, para diferentes potencias de RF de estrés.

Para poder calcular el producto ganancia ancho de banda (GBW) del amplificador, se tiene que calcular la frecuencia de corte (f_i) y la ganancia en lazo abierto (ganancia en DC) cuando la frecuencia es más pequeña que f_i (Figura 4-34). Para ello, en la Figura 4-36a se ha representado la frecuencia de corte en función del tiempo de estrés, para las diferentes potencias de estrés RF. La frecuencia de corte se ha obtenido a partir de la ganancia de lazo abierto (cuando disminuye 3dB) obtenida para cada amplificador analizado, cuando los elementos del circuito de pequeña señal del transistor se substituyen por los obtenidos para cada condición de estrés RF analizada. La frecuencia de corte de los amplificadores a tiempo cero es de 325MHz, aproximadamente, y, como se puede observar, su valor decrece potencialmente con el tiempo de estrés. La máxima variación de f_i es de un 46% después de un tiempo de estrés de 740s a una potencia de RF de 5dBm. La frecuencia de corte del amplificador de la Figura 4-32 está relacionada con la ganancia en lazo abierto, la resistencia R_g y con las capacidades C_{gs} , C_{gd} y C_{ds} según la ec. 4-21 [211].

Esta ecuación es válida siempre y cuando la disminución de la ganancia con la frecuencia sea aproximadamente unos 20dB década, una vez superada la frecuencia de corte.

$$f_t = \frac{1}{2\pi(Rg \cdot Cgs + Rg \cdot Cgd(1 + gm \cdot r0) + r0 \cdot Cds)} \quad \text{ec. 4-21}$$

En la misma Figura 4-36a se ha ajustado la frecuencia de corte a una función potencial con el tiempo y las ecuaciones de los ajustes se indican en la Tabla 4-21.

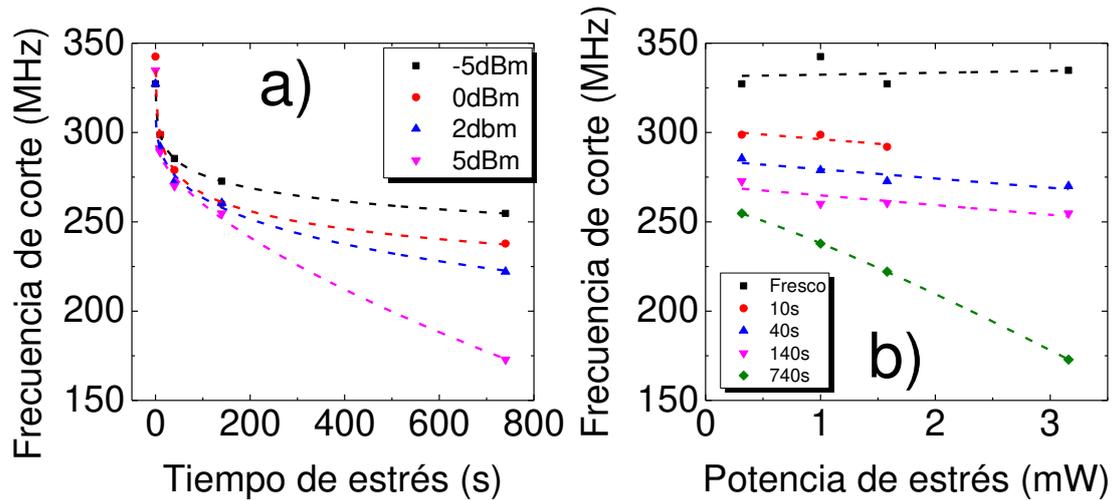


Figura 4-36. Frecuencia de corte en función a) del tiempo de estrés, para diferentes potencias de RF y b) en función de la potencia de la señal de RF, para diferentes tiempos de estrés.

Potencia de estrés	f_{corte} (MHz)
-5dBm	$327,5 - 19,52 t^{0,2}$
0dBm	$342,9 - 31,44 t^{0,18}$
2dBm	$327,2 - 20,69 t^{0,24}$
5dBm	$332,2 - 16,88 \cdot t^{0,33}$

Tabla 4-21. Dependencia de la frecuencia de corte con el tiempo de estrés (Figura 4-36a), para las diferentes potencias de RF.

En la Figura 4-36b se ha representado la frecuencia de corte en función de la potencia de RF (en W), para los diferentes tiempos de estrés. En esta figura se observa una ligera tendencia lineal decreciente de la frecuencia de corte en función de la potencia de RF, para tiempos de estrés hasta 140s. Las pendientes halladas de los ajustes lineales se indican en la Tabla 4-22 y sus valores decrecen a medida que aumenta el tiempo de estrés. Para un tiempo de estrés de 740s, se observa una tendencia potencial decreciente de la frecuencia de corte en función de la potencia de RF. La ecuación del ajuste también se ha indicado en la Tabla 4-22. De la Figura 4-36b se puede concluir que, por lo general, el efecto de la potencia es poco significativo en la variación de la frecuencia de corte, para tiempos más pequeños de 140s. En cambio, para tiempos de estrés superiores, la degradación de la frecuencia de corte se ve un poco más afectada por la potencia de la señal de RF, especialmente para una potencia de estrés de 5dBm (3,1mW).

Tiempo de estrés (s)	f_{corte} (MHz) (P_{in} en W)
0	$331 + 1,036 \cdot 10^3 \cdot P_{in}$
10	$301,4 - 5,168 \cdot 10^3 \cdot P_{in}$
40	$284,6 - 5,1828 \cdot 10^3 \cdot P_{in}$
140	$270,2 - 5,437 \cdot 10^3 \cdot P_{in}$
740	$260 - 82,59 \cdot 10^3 \cdot P_{in}^{1,19}$

Tabla 4-22. Dependencia de la frecuencia de corte (en MHz) en función de la potencia de RF (Figura 4-36b), para diferentes tiempos de estrés.

Una vez obtenida la ganancia y la frecuencia de corte en función del tiempo, en las Figuras 4-37a-b se ha representado el producto ganancia ancho de banda y su porcentaje de variación, en función del tiempo de estrés, para las diferentes potencias de RF, respectivamente. En la Figura 4-37a se puede observar que el GBW de los amplificadores a tiempo cero varía entre 3,6GHz y 3,77GHz. Para cualquiera de las potencias RF estudiadas, el principal efecto del estrés NBTI en la degradación del MOSFET se produce durante los primeros tiempos. Para potencias inferiores a 2dBm la degradación del GBW es inferior al 7% para cualquier tiempo de estrés (Figura 4-37b). En cambio, para una potencia de 5dBm y tiempos de estrés largos (740s) su variación es de un 17%, aproximadamente. En la misma Figura 4-37a, se muestran los ajustes del GBW a una función potencial $y = a + b \cdot t^c$ donde t es el tiempo de estrés y a , b y c son los parámetros del ajuste. Las ecuaciones de los ajustes se muestran en la Tabla 4-24 y se observa que para las potencias RF -5dBm, 0dBm y 2dBm los exponentes son inferiores a 0,15. Sin embargo, para la potencia de 5dBm este exponente es parecido al obtenido en la ganancia en lazo abierto (a baja frecuencia), para las mismas condiciones de estrés (Tabla 4-18).

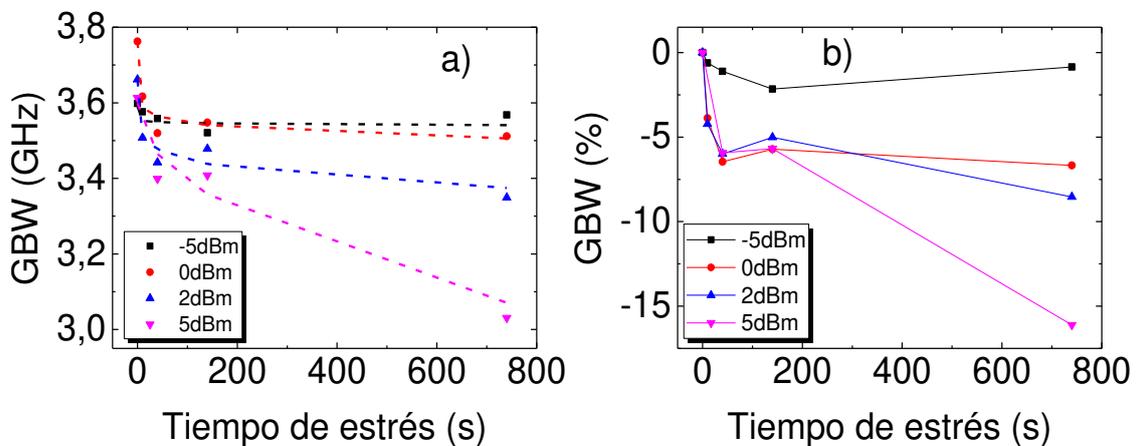


Figura 4-37. a) Producto ganancia-ancho de banda (GBW) y b) porcentaje de variación, en función del tiempo de estrés, para las diferentes potencias de estrés RF.

Potencia de estrés	GBW (GHz)
-5dBm	$3,59 - 0,03237 \cdot t^{0,063}$
0dBm	$3,763 - 0,1438 \cdot t^{0,088}$
2dBm	$3,661 - 0,1063 \cdot t^{0,15}$
5dBm	$3,599 - 0,02368 \cdot t^{0,47}$

Tabla 4-23. Dependencia del producto ganancia-ancho de banda (en GHz) con el tiempo de estrés, para las diferentes potencias RF de estrés.

En cuanto la variación del GBW en función de la potencia de RF, en la Figura 4-38a se observa una tendencia lineal decreciente en función de la potencia de la señal de RF (en W). Las

ecuaciones de los ajustes se muestran en la Tabla 4-24. En la Figura 4-38b se observa que el efecto la potencia de -5dBm ($0,31\text{mW}$) es poco significativo en la variación del GBW del amplificador (inferior al 2% y respecto a su valor medio inicial), para cualquier tiempo de estrés. Sin embargo, la variación del GBW empieza a ser un poco más significativa cuando aumenta la potencia de la señal de RF de estrés. Para las potencias RF de 0dBm (1mW), 2dBm ($1,58\text{mW}$) y 5dBm ($3,16\text{mW}$), y tiempos de estrés hasta 140s , la variación del GBW es aproximadamente del 4% y el 6%, respecto al valor inicial. Solo para las potencias RF de 2dBm y 5dBm , y tiempos de estrés de 740s , el efecto de estas potencias RF es significativo en el GBW, con una variación máxima de un 17%. De este resultado se concluye que el efecto del estrés RF solo es significativo para tiempos de estrés suficientemente largos y potencias de estrés grandes.

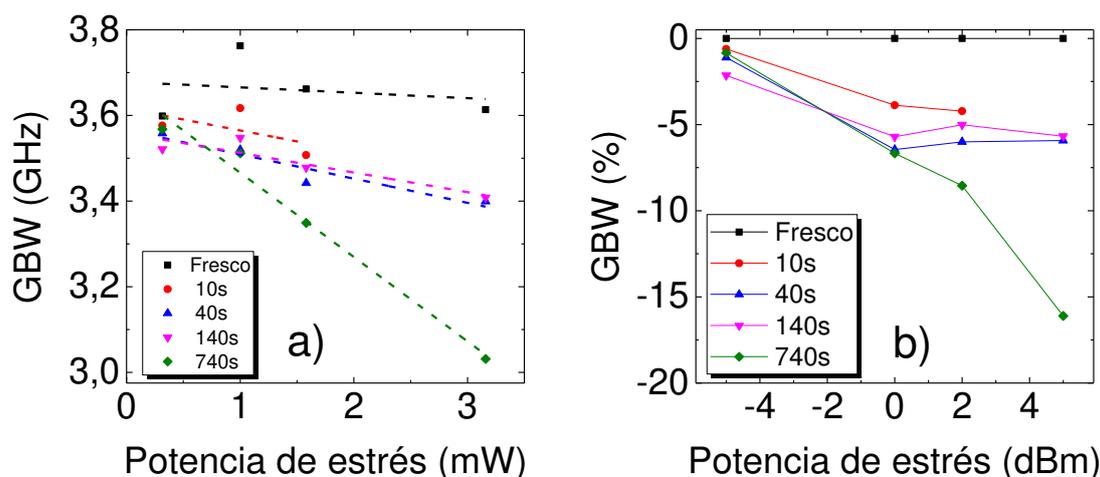


Figura 4-38. a) Producto ganancia ancho de banda (GBW) en función de la potencia de RF (en W) y b) y su porcentaje de variación en función de la potencia de la señal de RF (en dBm), para los diferentes tiempos de estrés.

Tiempo de estrés (s)	GBW (GHz) (P_{in} en W)
0	$3,67 - 12,6 \cdot P_{in}$
10	$3,616 - 51,17 \cdot P_{in}$
40	$3,565 - 56,61 \cdot P_{in}$
140	$3,558 - 45,84 \cdot P_{in}$
740	$3,662 - 196,8 \cdot P_{in}$

Tabla 4-24. Dependencia del producto ganancia ancho de banda (en GHz) en función de la potencia de la señal de RF (en W), para los diferentes tiempos de estrés.

4.6 Resumen del capítulo

En este capítulo, se ha estudiado el efecto de un estrés NBTI de RF en la degradación de los parámetros eléctricos del transistor. Para ello se han estresado diferentes transistores durante varios tiempos de estrés y distintas potencias de RF, superpuestas a una tensión DC. El estrés se ha interrumpido en determinados tiempos para realizar una caracterización DC y otra en RF. Para caracterizar el comportamiento del MOSFET, se ha considerado el circuito equivalente de pequeña señal de nivel 1. Para obtener los parámetros de pequeña señal a partir de los parámetros [Y] medidos con la caracterización RF, se ha desarrollado una metodología de extracción de

parámetros que relaciona los parámetros [Y] y las impedancias del circuito equivalente de pequeña señal. Mediante esta metodología se han extraído estos parámetros para las diferentes condiciones de estrés. Finalmente, se ha analizado la dependencia de la variación de estos parámetros con el tiempo de estrés y la potencia de RF.

Dependencia de los parámetros eléctricos del transistor con el tiempo estrés:

El estrés NBTI de RF provoca una disminución de gm y un aumento de r_o . Tanto la tensión umbral como r_o aumentan potencialmente con el tiempo de estrés, al contrario que gm . Para una potencia de RF de inferior a 2dBm, estos parámetros varían con un exponente muy parecido al de ΔV_{th} en función del tiempo, cuando se aplica un estrés BTI a una tensión constante. Sin embargo, para una potencia RF de 5dBm los exponentes son considerablemente más grandes (el doble o superior que los obtenidos a potencias RF más bajas), indicando que el efecto de la potencia es significativo en su degradación.

Las capacidades intrínsecas C_{gs} , C_{gd} y C_{ds} decrecen potencialmente con el tiempo de estrés, con exponentes bastante parecidos. Por lo general, su variación con el tiempo de estrés es pequeña, llegando a una variación máxima de un 17% para la capacidad C_{ds} , en la peor condición de estrés estudiada. La disminución de C_{gd} se puede atribuir a una disminución de la carga de inversión del canal cerca de la región del drenador.

Respecto a la resistencia de puerta, su valor aumenta potencialmente con el tiempo de estrés con unos exponentes parecidos a ΔV_{th} . Su variación máxima no supera un 35% de su valor medio inicial. La resistencia R_d se ha mantenido constante durante los ajustes.

Dependencia de los parámetros eléctricos del transistor con la potencia de RF:

Por lo general, todos los parámetros del modelo de pequeña señal del transistor se ven ligeramente afectados por la potencia de la señal de RF, para tiempos de estrés inferiores a 140s. Se podría decir que la variación de estos parámetros depende principalmente del tiempo de estrés y de la tensión DC aplicada. Sin embargo, para tiempos de estrés largos y potencias suficientemente (5dBm en nuestro caso), el efecto de la señal de RF empieza a ser significativo en los parámetros V_{th} , gm y r_o . Para estos casos, V_{th} y r_o aumentan potencialmente con la potencia de RF (en W) al contrario que gm . Respecto a las capacidades intrínsecas y a la resistencia de puerta R_g , la dependencia con la potencia es despreciable.

Una vez analizado el efecto del tiempo de estrés y de la potencia de RF en los parámetros de pequeña señal del transistor, se ha estudiado cómo su variación afecta al producto ganancia ancho de banda de un amplificador. Los resultados obtenidos muestran que:

Dependencia de la ganancia, frecuencia de corte y GBW con el tiempo de estrés:

La ganancia en lazo abierto aumenta potencialmente con el tiempo de estrés con un exponente parecido al obtenido para gm y r_o . Su máxima variación es de un 19%, para la peor condición de estrés estudiada. En cambio, la frecuencia de corte disminuye potencialmente con el tiempo de estrés con unos exponentes parecidos a los de la ganancia en lazo abierto y, por lo tanto, a gm y r_o . La máxima degradación de la frecuencia de corte es de un 46%, respecto de su valor medio inicial, para la peor condición de estrés estudiada.

El producto ganancia ancho de banda disminuye un máximo del 15% respecto a su valor medio inicial, para la peor condición de estrés estudiada. En cambio, para potencias de estrés inferiores a 2dBm, su variación no supera al 7%, independientemente del tiempo de estrés. Se ha observado que el GBW disminuye potencialmente con el tiempo de estrés. Para potencias inferiores a 2dBm los exponentes son inferiores a 0,15. En cambio, para una potencia de 5dBm el exponente es parecido al obtenido a la ganancia A_{OL} para este mismo tiempo de estrés.

Dependencia de la ganancia, frecuencia de corte y GBW con la potencia de RF:

De la misma manera que ocurre con los parámetros del modelo de pequeña señal del transistor, el efecto de la potencia de la señal de RF en la ganancia, frecuencia de corte y el GBW, es poco significativo para tiempos de estrés inferiores 140s. Para estos tiempos, su variación depende básicamente del tiempo y a la tensión DC aplicada en el transistor. Para tiempos de estrés largos, la ganancia en lazo abierto aumenta potencialmente con la potencia de RF (en W) con un exponente un poco más grande que el obtenido en ΔV_{th} , para este mismo tiempo de estrés. En cambio, la frecuencia de corte disminuye potencialmente con un exponente parecido al obtenido en ΔV_{th} . Finalmente, para tiempos de estrés largos, el GBW decrece linealmente con la potencia de RF (en W) con una pendiente considerablemente más grande que la obtenida para tiempos de estrés más pequeños (un orden en magnitud más grande).

CONCLUSIONES

La disminución de las dimensiones de los transistores MOSFET que forman los circuitos integrados (CI) ha permitido mejorar sus prestaciones. Sin embargo, esta disminución también comporta la aparición de diferentes mecanismos de degradación, que modifican las prestaciones de los transistores y por tanto el funcionamiento de los circuitos integrados, reduciendo su fiabilidad. Para reducir su impacto en el CI, resulta crucial el estudio de los diferentes mecanismos de fallo, para evaluar su origen e impacto en el funcionamiento del CI, con la finalidad de desarrollar técnicas que reduzcan sus efectos. En este sentido, el trabajo desarrollado en esta tesis se ha centrado en la caracterización eléctrica y la extracción de parámetros de los modelos que describen diferentes mecanismos de fallo, concretamente del *Bias Temperature Instability* (BTI) y la degradación por *Channel Hot Carriers* (CHC), que conllevan cambios en la tensión umbral, V_{th} .

La recuperación de la tensión umbral cuando se deja de polarizar el DUT durante el estrés BTI es una limitación a la hora de evaluar correctamente su variación, ΔV_{th} . Con el objetivo de medir ΔV_{th} en un tiempo lo más corto posible tras interrumpir el estrés, y de este modo poder estimar la degradación real generada en el dispositivo, se ha diseñado e implementado un *set-up* de medida ultrarrápido que permite obtener esta variación en tiempos muy cortos ($\sim 20\mu s$). El bloque fundamental de este *set-up* es el circuito *Ultra-Fast* y es el que ha permitido reducir en tres órdenes de magnitud el tiempo que transcurre entre la finalización del estrés y la medida de ΔV_{th} , en comparación con el conseguido con las técnicas de caracterización convencionales del BTI ($\sim 100ms$). En combinación con el *set-up* anterior, también se ha desarrollado una metodología de extracción de parámetros del modelo *Probabilistic Defect Occupancy* (PDO), con el fin de extrapolar ΔV_{th} a otros tiempos fuera del rango de la medida experimental y con la que se puede obtener información de los defectos que contribuyen al ΔV_{th} en un estrés BTI. Mediante el *set-up* de medida *Ultra-Fast* y la metodología desarrollada, se ha estudiado el impacto de estreses NBTI en MOSFETs fabricados con diferentes procesos de *annealing* pulsado de corta duración (*Milisecond Annealing*, MSA) a distintas temperaturas y se ha interpretado en el contexto del modelo PDO. De los resultados obtenidos, se ha concluido que:

- La variación de la tensión umbral disminuye a medida que aumenta la temperatura utilizada durante el proceso de *annealing*.
- El número de defectos, N , que pueden contribuir a ΔV_{th} disminuye a medida que la temperatura a la que se realizó el *annealing* aumenta.
- ΔV_{th} aumenta potencialmente con la tensión de estrés aplicada a la puerta, ya que el número de defectos cargados aumenta con dicha tensión, para un mismo tiempo de estrés. Esto se debe a que los tiempos de captura de los defectos disminuyen con el aumento de la tensión de estrés y, en consecuencia, se pueden cargar más defectos para un mismo tiempo de estrés.

En un circuito integrado, las tensiones aplicadas simultáneamente en los terminales de puerta y drenador de un transistor pueden inducir la degradación por portadores calientes (CHC). Los efectos que produce el CHC son parecidos a los que produce el BTI (un incremento de tensión umbral, ΔV_{th}) por lo que este trabajo se ha tratado de manera unificada los dos mecanismos de degradación en el contexto del modelo PDO. Para ello se ha considerado la tensión de drenador como otra magnitud de estrés. En este sentido se ha hecho un estudio experimental de la degradación de V_{th} para diferentes temperaturas y tensiones de puerta y drenador, con el fin de estudiar cómo dependen los parámetros del modelo PDO de las condiciones de estrés. Para el caso de aplicar una tensión de drenador durante el estrés, se ha estudiado como los parámetros del modelo PDO dependen de la longitud de canal del transistor. La metodología anterior ha sido aplicada a las medidas bajo diferentes condiciones de estrés, permitiendo obtener la distribución de defectos y los parámetros del modelo para estudiar su dependencia con dichas condiciones. Los resultados obtenidos de este estudio muestran que:

- ΔV_{th} aumenta con la temperatura, así como el ritmo de la recuperación de la tensión umbral, concluyéndose que la temperatura acelera los procesos de carga y de descarga de los defectos. Como consecuencia, la distribución de defectos se desplaza hacia tiempos de emisión (τ_e) y de captura (τ_c) más pequeños y provoca una mayor dispersión de τ_e y τ_c .
- El aumento de la tensión puerta provoca un aumento de ΔV_{th} . De estos resultados se concluye que la tensión de puerta acelera y ralentiza los procesos de carga y de descarga de los defectos, respectivamente, lo que provoca que la distribución de defectos se desplace hacia tiempos de captura más pequeños y tiempos de emisión más grandes. El aumento de la tensión de estrés también provoca una mayor y una menor dispersión de τ_e y τ_c , respectivamente.
- El aumento de la tensión de drenador hace disminuir tanto ΔV_{th} como la velocidad de recuperación de la tensión umbral, en comparación con los valores obtenidos en la condición de estrés BTI. Por lo tanto, se concluye que la tensión de drenador hace disminuir los procesos de carga y de descarga de los defectos, lo que se traduce en un desplazamiento de la distribución hacia tiempos de emisión y de captura más grandes. ΔV_{th} inicialmente disminuye con la tensión de drenador y posteriormente presenta un comportamiento casi constante. De este resultado se ha interpretado que la degradación total generada en el dispositivo está dividida en dos componentes, una BTI y CHC, lo que permite concluir que el aumento de la tensión de drenador provoca que la relevancia de la componente recuperable del BTI disminuya y la contribución de la parte permanente tome cada vez más importancia.
- La parte permanente, P_p , de ΔV_{th} debe ser considerada durante la modelización cuando se considera una tensión de drenador. Para un estrés BTI se ha obtenido que P_p aumenta con la temperatura siguiendo la ley de *Arrhenius* y con la tensión de estrés puerta, P_p aumenta exponencialmente. En cambio, cuando se aplica una tensión de drenador, la parte permanente disminuye inicialmente con ésta para después mantenerse constante. Análogamente al ΔV_{th} recuperable obtenido en las medidas de CHC, de este comportamiento se ha interpretado a que la degradación total del dispositivo está formada por dos componentes, una BTI y otra CHC.

Con el fin de extender la caracterización BTI a otras condiciones de estrés, se ha estudiado el efecto que producen estreses NBTI de radiofrecuencia (RF). En concreto se ha estudiado la degradación de los parámetros eléctricos de pequeña señal del transistor, en función del tiempo de estrés y la potencia de la señal RF superpuesta a una tensión DC. Se ha implementado el *set-up* de medida necesario y se han corregido los errores sistemáticos asociados a la medida de parámetros [S]. Para describir el comportamiento del MOSFET, se ha considerado el circuito equivalente de pequeña señal de nivel 1 del transistor, que permite relacionar las impedancias de este circuito con los parámetros [S] medidos. Mediante la metodología desarrollada, se han extraído los parámetros del circuito de pequeña señal para las diferentes condiciones de estrés. Los resultados obtenidos muestran que:

- ΔV_{th} y r_o aumentan con el tiempo de estrés, y g_m disminuye. Sus dependencias con el tiempo de estrés muestran un comportamiento potencial. Para tiempos de estrés cortos y potencias bajas de la señal RF, los exponentes son parecidos a los obtenidos en ΔV_{th} en la literatura, cuando se aplica un estrés DC. Sin embargo, para potencias de estrés altas, los exponentes obtenidos son más grandes.
- El principal efecto de la potencia de la señal RF en la variación de los parámetros de pequeña señal se produce para tiempos de estrés suficientemente largos. Para tiempos de estrés cortos y potencias bajas de la señal RF, se podría decir que la variación de estos parámetros depende principalmente del tiempo de estrés, y de la tensión DC aplicada.
- Las capacidades intrínsecas C_{gs} , C_{gd} y C_{ds} , y la resistencia extrínseca de puerta, decrecen y aumenta con una dependencia potencial con el tiempo de estrés, respectivamente, con exponentes bastante parecidos a los obtenidos en ΔV_{th} en la literatura cuando se aplica un estrés DC. Por lo general, la variación de las capacidades con el tiempo de estrés es pequeña.
- El efecto de la potencia de RF en las capacidades C_{ds} , C_{gs} y C_{gd} , y la resistencia R_g , es poco significativo y su variación es debida básicamente al tiempo de estrés y a la tensión DC.

Una vez analizado el efecto del tiempo de estrés y la potencia de la señal RF en los parámetros de pequeña señal del transistor, se ha estudiado cómo la degradación de estos parámetros afecta al producto ganancia ancho de banda de un amplificador simple. Los resultados obtenidos muestran que:

- La ganancia en lazo abierto aumenta potencialmente con el tiempo de estrés. En cambio, la frecuencia de corte y el GBW decrecen con el tiempo de estrés, con una dependencia potencial.
- Solo para los tiempos de estrés suficientemente grandes y potencias suficientemente elevadas de la señal RF, el efecto del estrés RF es significativo en la variación de la ganancia y la frecuencia de corte. Los resultados sugieren que, para tiempos de estrés más pequeños, el efecto de la potencia es poco significativo y su variación es debida básicamente al tiempo de estrés y a la tensión DC.

REFERENCIAS

- [1] R. G. Arns, "The other transistor: early history of the metal-oxide semiconductor field-effect transistor," *Eng. Sci. Educ. J.*, vol. 7, no. 5, p. 233, 1998.
- [2] G. E. Moore, "Cramming more components onto integrated circuits," *Proc. IEEE*, vol. 86, no. 1, pp. 82–85, 1998.
- [3] "ITRS." [Online]. Available: <http://www.itrs2.net/>.
- [4] R. H. Dennard, F. H. Gaensslen, V. L. Rideout, E. Bassous, and A. R. Leblanc, "Design of Ion-implanted MOSFET's with very small physical dimensions," *Proc. IEEE*, vol. 87, no. 4, pp. 668–678, 1999.
- [5] G. Baccarani, M. R. Wordeman, and R. H. Dennard, "Generalized scaling theory and its application to a one quarter micrometer MOSFET design," *IEEE Trans. Electron Devices*, vol. 31, no. 4, pp. 452–462, 1984.
- [6] H.-S. P. Wong, D. J. Frank, P. M. Solomon, C. H. J. Wann, and J. J. Welser, "Nanoscale CMOS," *Proc. IEEE*, vol. 87, no. 4, pp. 537–570, Apr. 1999.
- [7] H. Iwai, "CMOS-year 2010 and beyond; from technological side," in *IEEE Custom Integrated Circuits Conference (CICC)*, 1998, pp. 141–148.
- [8] S. Mittl and F. Guarín, "Self-heating and its implications on hot carrier reliability evaluations," in *IEEE International Reliability Physics Symposium (IRPS)*, 2015, p. 4A.4.1-4A.4.6.
- [9] M. Alam, "Reliability-and Process-variation aware design of integrated circuits—A broader perspective," in *IEEE International Reliability Physics Symposium (IRPS)*, 2011, p. 4A.1.1-4A.1.11.
- [10] M. J. M. Pelgrom, A. C. J. Duinmaijer, and A. P. G. Welbers, "Matching properties of MOS transistors," *IEEE J. Solid-State Circuits*, vol. 24, no. 5, pp. 1433–1440, 1989.
- [11] M. J. M. Pelgrom, H. P. Tuinhout, and M. Vertregt, "Transistor matching in analog CMOS applications," in *IEEE International Electron Devices Meeting (IEDM)*, 1998, pp. 915–918.
- [12] A. Asenov, S. Roy, R. a. Brown, G. Roy, C. Alexander, C. Riddet, C. Millar, B. Cheng, A. Martinez, N. Seoane, D. Reid, M. F. Bukhori, X. Wang, and U. Kovac, "Advanced simulation of statistical variability and reliability in nano CMOS transistors," in *IEEE International Electron Devices Meeting (IEDM)*, 2008, p. 1.
- [13] T. Tsunomura, A. Nishida, F. Yano, a. T. Putra, K. Takeuchi, S. Inaba, S. Kamohara, K. Terada, T. Hiramoto, and T. Mogami, "Analyses of 5σ V_{th} fluctuation in 65nm-MOSFETs using Takeuchi plot," in *IEEE*

-
- Symposium on VLSI Technology (VLSIT)*, 2008, pp. 156–157.
- [14] J. L. Hoyt, H. M. Nayfeh, S. Eguchi, I. Aberg, G. Xia, T. Drake, E. a. Fitzgerald, and D. a. Antoniadis, “Strained silicon MOSFET technology,” in *IEEE International Electron Devices Meeting (IEDM)*, 2002, pp. 23–26.
- [15] H. C. Yang, J. M. Yang, W. S. Liao, M. C. Wang, S. J. Wang, C. W. Lian, C. W. Li, and C. K. Du, “The improvement of MOSFET electric characteristics through strain engineering by refilled SiGe as Source and Drain,” in *IEEE International Nanoelectronics Conference (INEC)*, 2013, pp. 489–491.
- [16] J. Robertson, “High dielectric constant gate oxides for metal oxide Si transistors,” *Reports Prog. Phys.*, vol. 69, no. 2, pp. 327–396, Feb. 2006.
- [17] G. D. Wilk, R. M. Wallace, and J. M. Anthony, “High-k gate dielectrics: Current status and materials properties considerations,” *J. Appl. Phys.*, vol. 89, no. 10, pp. 5243–5275, 2001.
- [18] P. S. Goley and M. K. Hudait, “Germanium based field-effect transistors: Challenges and opportunities,” *Materials (Basel)*, vol. 7, no. 3, pp. 2301–2339, 2014.
- [19] J. Robertson, “High dielectric constant oxides,” *Eur. Phys. J. Appl. Phys.*, vol. 28, pp. 265–291, 2004.
- [20] A. Kawamoto, K. Cho, and R. Dutton, “Perspectives paper: First principles modeling of high-k gate dielectrics,” *J. Comput. Mater. Des.*, vol. 8, no. 1, pp. 39–57.
- [21] E. P. Gusev, E. Cartier, D. a. Buchanan, M. Gribelyuk, M. Copel, H. Okorn-Schmidt, and C. D’Emic, “Ultrathin high-K metal oxides on silicon: Processing, characterization and integration issues,” *Microelectron. Eng.*, vol. 59, no. 1–4, pp. 341–349, 2001.
- [22] a. Kerber, E. Cartier, L. Pantisano, R. Degraeve, T. Kauerauf, Y. Kim, a. Hou, G. Groeseneken, H. E. Maes, and U. Schwalke, “Origin of the threshold voltage instability in SiO₂/HfO₂ dual layer gate dielectrics,” *IEEE Electron Device Lett.*, vol. 24, no. 2, pp. 87–89, 2003.
- [23] M. Heyns, S. Beckx, H. Bender, P. Blomme, W. Boullart, B. Brijs, R. Carter, M. Caymax, M. Claes, T. Conard, S. De Gendt, R. Degraeve, A. Delabie, W. Deweerdt, G. Groeseneken, K. Henson, T. Kauerauf, S. Kubicek, L. Lucci, G. Lujan, J. Mentens, L. Pantisano, J. Petry, O. Richard, E. Rohr, T. Schram, W. Vandervorst, P. Van Doorne, S. Van Elshocht, J. Westlinder, T. Witters, C. Zhao, E. Cartier, J. Chen, V. Cosnier, M. Green, S. E. Jang, V. Kaushik, A. Kerber, J. Kluth, S. Lin, W. Tsai, E. Young, Y. Manabe, Y. Shimamoto, P. Bajelet, H. De Witte, J. W. Maes, L. Date, D. Pique, B. Coenegrachts, J. Vertommen, and S. Passefort, “Scaling of high-k dielectrics towards sub-1nm EOT,” in *IEEE Symposium on VLSI Technology, Systems and Applications (VLSI-TSA)*, 2003, pp. 247–250.
- [24] B. H. Lee, S. C. Song, R. Choi, H. C. Wen, P. Majhi, P. Kirsch, C. Young, and G. Bersuker, “Challenges in implementing high-k dielectrics in the 45nm technology node,” in *IEEE International Conference on Integrated Circuit Design and Technology (ICICDT)*, 2005, pp. 73–76.
- [25] E. P. Gusev, V. Narayanan, and M. M. Frank, “Advanced high-κ dielectric stacks with polySi and metal gates: Recent progress and current challenges,” *IBM J. Res. Dev.*, vol. 50, no. 4.5, pp. 387–410, Jul. 2006.
- [26] C. C. Hobbs, L. R. C. Fonseca, A. Knizhnik, V. Dhandapani, S. B. Samavedam, W. J. Taylor, J. M. Grant, L. G. Dip, D. H. Triyoso, R. I. Hegde, D. C. Gilmer, R. Garcia, D. Roan, M. L. Lovejoy, R. S. Rai, E. A. Hebert, H.-H. Tseng, S. G. H. Anderson, B. E. White, and P. J. Tobin, “Fermi-Level Pinning at the Polysilicon/Metal Oxide Interface—Part I,” *IEEE Trans. Electron Devices*, vol. 51, no. 6, pp. 971–977, Jun. 2004.
- [27] G. Groeseneken, L. Pantisano, R. Degraeve, M. Houssa, T. Kauerauf, P. Roussel, S. De Gendt, and M. Heyns, “Achievements and challenges for the electrical performance,” in *IEEE International Symposium on the Physical and Failure Analysis of Integrated Circuits (IPFA)*, 2004, pp. 147–155.
- [28] Vandana.B and M.Siva Kumar, “Study of VLSI Bulk CMOS and SOI,” *Int. J. Sci. Res. Publ.*, vol. 3, no. 2, pp. 1–8, 2013.
- [29] J. G. Fossum and V. P. Trivedi, *Fundamentals of Ultra-Thin-Body MOSFETs and FinFETs*. Cambridge University Press, 2013.
- [30] P. M. Zeitzoff and R. H. Howard, “MOSFET scaling trends, challenges, and potential solutions through the

- end of the roadmap: a 2005 perspective,” *International Conference on Characterization and Metrology for ULSI Technology*. 2005.
- [31] D. Hisamoto, T. Kaga, and E. Takeda, “Impact of the vertical SOI ‘DELTA’ structure on planar device technology,” *IEEE Trans. Electron Devices*, vol. 38, no. 6, pp. 1419–1424, Jun. 1991.
- [32] D. Hisamoto, W. Lee, J. Kedzierski, H. Takeuchi, K. Asano, C. Kuo, E. Anderson, T. King, J. Bokor, and C. Hu, “FinFET—a self-aligned double-gate MOSFET scalable to 20 nm,” *IEEE Trans. Electron Devices*, vol. 47, no. 12, pp. 2320–2325, 2000.
- [33] J.-P. Colinge, *Silicon-on-insulator technology: materials to VLSI*. Boston, MA: Springer US, 1997.
- [34] J.-P. Colinge, “Multiple-gate SOI MOSFETs: device design guidelines,” *IEEE Trans. Electron Devices*, vol. 49, no. 12, pp. 2222–2229, Dec. 2002.
- [35] J.-P. Colinge, *FinFETs and other multi-Gate transistors*, vol. 1. Springer, 2008.
- [36] V. Huard, D. Angot, and F. Cacho, “From BTI variability to product failure rate: A technology scaling perspective,” in *IEEE International Reliability Physics Symposium (IRPS)*, 2015, p. 6B.3.1-6B.3.6.
- [37] Y. Miura and Y. Matukura, “Investigation of Silicon-Silicon Dioxide Interface Using MOS Structure,” *Jpn. J. Appl. Phys.*, vol. 5, no. 2, pp. 180–180, Feb. 1966.
- [38] C. E. Blat, E. H. Nicollian, and E. H. Poindexter, “Mechanism of negative-bias-temperature instability,” *J. Appl. Phys.*, vol. 69, no. 3, p. 1712, Feb. 1991.
- [39] V. Huard, C. R. Parthasarathy, A. Bravaix, T. Hugel, C. Guerin, and E. Vincent, “Design-in-reliability approach for NBTI and Hot-Carrier degradations in advanced nodes,” *IEEE Trans. Device Mater. Reliab.*, vol. 7, no. 4, pp. 558–570, 2007.
- [40] V. Huard, C. R. Parthasarathy, A. Bravaix, C. Guerin, and E. Pion, “CMOS device design-in reliability approach in advanced nodes,” in *IEEE International Reliability Physics Symposium (IRPS)*, 2009, pp. 624–633.
- [41] A. T. Krishnan, F. Cano, C. Chancellor, V. Reddy, Z. Qi, P. Jain, J. Carulli, J. Masin, S. Zuhoski, S. Krishnan, and J. Ondrusek, “Product drift from NBTI: guardbanding, circuit and statistical effects,” in *IEEE International Electron Devices Meeting (IEDM)*, 2010, pp. 78–81.
- [42] S. Kalpat, “Product/device reliability correlations for low-power applications,” in *IEEE International Integrated Reliability Workshop (IIRW)*, 2012, p. 30.
- [43] D. K. Schroder, “Negative bias temperature instability: What do we understand?,” *Microelectron. Reliab.*, vol. 47, no. 6, pp. 841–852, 2007.
- [44] J. Martín-Martínez, M. Moras, R. Rodríguez, M. Nafría, and X. Aymerich, “RELAB: a tool to include MOSFETs threshold voltage shifts and dielectric breakdown in SPICE simulators,” *Analog Integr. Circuits Signals Process.*, vol. 78, no. 1, pp. 65–76, 2014.
- [45] H. Amrouch, J. Martín-Martínez, V. M. Van Santen, M. Moras, and R. Rodríguez, “Connecting the physical and application level towards grasping aging effects,” in *IEEE International Reliability Physics Symposium (IRPS)*, 2015, pp. 1–8.
- [46] H. Reisinger, T. Grasser, W. Gustin, and C. Schlünder, “The statistical analysis of individual defects constituting NBTI and its implications for modeling DC- and AC-stress,” in *IEEE International Reliability Physics Symposium (IRPS)*, 2010, p. 2A.1.1-2A.1.9.
- [47] Y. Mitani, “Influence of nitrogen in ultra-thin SiON on negative bias temperature instability under AC stress,” in *IEEE International Electron Devices Meeting (IEDM)*, 2004, p. 5.4.1-5.4.4.
- [48] D. Varghese, D. Saha, S. Mahapatra, K. Ahmed, F. Nouri, and M. Alam, “On the dispersive versus arrhenius temperature activation of NBTI time evolution in plasma nitrated gate oxides: measurements, theory, and implications,” in *IEEE International Electron Devices Meeting (IEDM)*, 2005, pp. 8–11.
- [49] a. T. Krishnan, C. Chancellor, S. Chakravarthi, P. E. Nicollian, V. Reddy, A. Varghese, R. B. Khamankar,

- and S. Krishnan, "Material dependence of hydrogen diffusion: implications for NBTI degradation," in *IEEE International Electron Devices Meeting (IEDM)*, 2005, pp. 688–691.
- [50] T. Yang, M. F. Li, C. Shen, and C. H. Ang, "Fast and slow dynamic NBTI components in p-MOSFET with SiON dielectric and their impact on device life-time and circuit application," in *IEEE Symposium on VLSI Technology (VLSIT)*, 2005, pp. 92–93.
- [51] K. Sakuma, D. Matsushita, K. Muraoka, and Y. Mitani, "Investigation of nitrogen-originated NBTI mechanism in SiOn with high-nitrogen concentration," in *IEEE International Reliability Physics Symposium (IRPS)*, 2006, pp. 454–460.
- [52] J. H. Stathis and S. Zafar, "The negative bias temperature instability in MOS devices: A review," *Microelectron. Reliab.*, vol. 46, no. 2–4, pp. 270–286, 2006.
- [53] S. Mahapatra, K. Ahmed, D. Varghese, a. E. Islam, G. Gupta, L. Madhav, D. Saha, and M. a. Alam, "On the physical mechanism of NBTI in silicon oxynitride p-MOSFETs: Can differences in insulator processing conditions resolve the interface trap generation versus hole trapping controversy?," in *IEEE International Reliability Physics Symposium (IRPS)*, 2007, pp. 1–9.
- [54] V. Huard, "Two independent components modeling for negative bias temperature instability," in *IEEE International Reliability Physics Symposium (IRPS)*, 2010, p. 2A.4.1-2A.4.10.
- [55] S. Zafar, Y. H. Kim, V. Narayanan, C. Cabral, V. Paruchuri, B. Doris, J. Stathis, A. Callegari, and M. Chudzik, "A comparative study of NBTI and PBTI (Charge Trapping) in SiO₂/HfO₂ Stacks with FUSI, TiN, Re Gates," in *IEEE Symposium on VLSI Technology (VLSIT)*, 2006, pp. 23–25.
- [56] R. Degraeve, M. Aoulaiche, B. Kaczer, P. Roussel, T. Kauerauf, S. Sahhaf, and G. Groeseneken, "Review of reliability issues in high-k/metal gate stacks," in *IEEE International Symposium on the Physical and Failure Analysis of Integrated Circuits (IPFA)*, 2008, pp. 1–6.
- [57] S. Ramey, C. Prasad, M. Agostinelli, S. Pae, S. Walstra, S. Gupta, and J. Hicks, "Frequency and recovery effects in high-k BTI degradation," in *IEEE International Reliability Physics Symposium (IRPS)*, 2009, pp. 1023–1027.
- [58] S. Mahapatra, N. Goel, S. Desai, S. Gupta, B. Jose, S. Mukhopadhyay, K. Joshi, a. Jain, a. E. Islam, and M. a. Alam, "A comparative study of different physics-based NBTI models," *IEEE Trans. Electron Devices*, vol. 60, no. 3, pp. 901–916, 2013.
- [59] S. A. Krishnan, M. Quevedo-lopez, H. Li, P. Kirsch, R. Choi, C. Young, J. J. Peterson, B. H. Lee, G. Bersuker, and J. C. Lee, "Impact of nitrogen on PBTI characteristics of HfSiON/TiN gate," in *IEEE International Reliability Physics Symposium (IRPS)*, 2006, pp. 325–328.
- [60] K. Chang, F. M. Chang, and J. Ruzyllo, "Charge trapping in HfO₂ and HfSiO₄ MOS gate dielectrics," *Solid. State. Electron.*, vol. 50, no. 9–10, pp. 1670–1672, 2006.
- [61] N. Goel, S. Mukhopadhyay, N. Nanaware, S. De, R. K. Pandey, K. V. R. M. Murali, and S. Mahapatra, "A comprehensive DC/AC model for ultra-fast NBTI in deep EOT scaled HKMG p-MOSFETs," in *IEEE International Reliability Physics Symposium (IRPS)*, 2014, p. 6A.4.1-6A.4.12.
- [62] J. P. Campbell, P. M. Lenahan, and Δ. I. Sub, "Nbti: an atomic-scale defect prespective," in *IEEE International Reliability Physics Symposium (IRPS)*, 2006, pp. 442–447.
- [63] A. Neugroschel and G. Bersuker, "Measurement of the interface trap and dielectric charge density in high-k, gate stacks," *IEEE Trans. Device Mater. Reliab.*, vol. 5, no. 1, pp. 109–112, 2005.
- [64] S. Mahapatra, V. Huard, A. Kerber, V. Reddy, S. Kalpat, and A. Haggag, "Universality of NBTI - From devices to circuits and products," in *IEEE International Reliability Physics Symposium (IRPS)*, 2014, p. 3B.1.1-3B.1.8.
- [65] D. Angot, V. Huard, X. Federspiel, F. Cacho, and A. Bravaix, "Bias temperature instability and hot carrier circuit ageing simulations specificities in UTBB FDSOI 28nm node," in *IEEE International Reliability Physics Symposium (IRPS)*, 2013, p. 5D.2.1-5D.2.5.
- [66] P. Mora, X. Federspiel, F. Cacho, V. Huard, and W. Arfaoui, "28nm UTBB FDSOI product

- reliability/performance trade-off optimization through body bias operation,” in *IEEE International Reliability Physics Symposium (IRPS)*, 2015, p. 6B.1.1-6B.1.5.
- [67] D. Angot, D. Rideau, A. Bravaix, F. Monsieur, Y. M. Randriamihaja, and V. Huard, “New insights into NBTI reliability in UTBOX-FDSOI PMOS transistors,” in *IEEE International Integrated Reliability Workshop (IIRW)*, 2012, pp. 70–73.
- [68] D. Noguier, M. Rafik, and X. Federspiel, “Comparison between recoverable and permanent NBTI variability components,” in *IEEE International Integrated Reliability Workshop (IIRW)*, 2015, pp. 87–90.
- [69] A. Subirats, X. Garros, J. Cluzel, J. El Hussein, F. Cacho, X. Federspiel, V. Huard, M. Rafik, G. Reimbold, O. Faynot, and G. Ghibaudo, “A new gate pattern measurement for evaluating the BTI degradation in circuit conditions,” in *IEEE International Reliability Physics Symposium (IRPS)*, 2014, p. 5D.1.1-5D.1.5.
- [70] F. Arnaud, N. Planes, O. Weber, V. Barral, S. Haendler, P. Flatresse, and F. Nyer, “Switching energy efficiency optimization for advanced CPU thanks to UTBB technology,” in *IEEE International Electron Devices Meeting (IEDM)*, 2012, p. 3.2.1-3.2.4.
- [71] G. Besnard, X. Garros, A. Subirats, F. Andrieu, X. Federspiel, M. Rafik, W. Schwarzenbach, G. Reimbold, O. Faynot, S. Cristoloveanu, and C. Mazure, “Investigation of hot carrier reliability of SOI and strained SOI transistors using back bias,” in *IEEE Symposium on VLSI Technology, Systems and Applications (VLSI-TSA)*, 2015, pp. 12–13.
- [72] B. Kaczer, R. Degraeve, P. Roussel, and G. Groeseneken, “Gate oxide breakdown in FET devices and circuits: From nanoscale physics to system-level reliability,” *Microelectron. Reliab.*, vol. 47, no. 4–5 SPEC. ISS., pp. 559–566, 2007.
- [73] N. Planes, O. Weber, V. Barral, S. Haendler, D. Noblet, D. Croain, M. Bocat, P.-O. Sassoulas, X. Federspiel, A. Cros, A. Bajolet, E. Richard, B. Dumont, P. Perreau, D. Petit, D. Golanski, C. Fenouillet-Beranger, N. Guillot, M. Rafik, V. Huard, S. Puget, X. Montagner, M.-A. Jaud, O. Rozeau, O. Saxod, F. Wacquand, F. Monsieur, D. Barge, L. Pinzelli, M. Mellier, F. Boeuf, F. Arnaud, and M. Haond, “28nm FDSOI technology platform for high-speed low-voltage digital applications,” in *IEEE Symposium on VLSI Technology (VLSIT)*, 2012, pp. 133–134.
- [74] T. Poiroux, J. Widiez, J. Lolivier, M. Vinet, M. Casse, B. Previtali, and S. Deleonibus, “New and accurate method for electrical extraction of silicon film thickness on fully-depleted SOI and double gate transistors,” in *IEEE International SOI Conference*, 2004, pp. 73–74.
- [75] N. Rodriguez, S. Cristoloveanu, and F. Gamiz, “Novel capacitorless 1T-DRAM cell for 22-nm node compatible with bulk and SOI substrates,” *IEEE Trans. Electron Devices*, vol. 58, no. 8, pp. 2371–2377, Aug. 2011.
- [76] C. Liu, H. C. Sagong, H. Kim, S. Choo, H. Lee, Y. Kim, H. Kim, B. Jo, M. Jin, J. Kim, S. Ha, S. Pae, and J. Park, “Systematical study of 14nm FinFET reliability: From device level stress to product HTOL,” in *IEEE International Reliability Physics Symposium (IRPS)*, 2015, p. 2F.3.1-2F.3.5.
- [77] S. Novak, C. Parker, D. Becher, M. Liu, M. Agostinelli, M. Chahal, P. Packan, P. Nayak, S. Ramey, and S. Natarajan, “Transistor Aging and Reliability in 14nm Tri-Gate Technology,” in *IEEE International Reliability Physics Symposium (IRPS)*, 2015, p. 2F.2.1.
- [78] V. Huard, F. Cacho, X. Federspiel, W. Arfaoui, M. Saliva, and D. Angot, “Technology scaling and reliability: challenges and opportunities,” in *IEEE International Electron Devices Meeting (IEDM)*, 2015, pp. 551–555.
- [79] K. Mistry, “Transistors and Reliability in the Innovation Era,” in *IEEE International Reliability Physics Symposium (IRPS)*, 2015.
- [80] B. Kaczer, T. Grasser, and R. Fernandez, “Toward understanding the wide distribution of time scales in Negative Bias Temperature Instability,” p. 2013.
- [81] V. Huard, F. Cacho, and X. Federspiel, “Technology scaling and reliability challenges in the multicore era,” in *IEEE International Reliability Physics Symposium (IRPS)*, 2013, p. 3A.5.1-3A.5.7.
- [82] S. Tsujikawa, T. Mine, K. Watanabe, Y. Shimamoto, R. Tsuchiya, K. Ohnishi, T. Onai, J. Yugami, and S. Kimura, “Negative bias temperature instability of pMOSFETs with ultra-thin SiON gate dielectrics,” in *IEEE International Reliability Physics Symposium (IRPS)*, 2003, pp. 183–188.

-
-
- [83] V. Huard, M. Denais, and C. Parthasarathy, "NBTI degradation: From physical mechanisms to modelling," *Microelectron. Reliab.*, vol. 46, no. 1, pp. 1–23, 2006.
- [84] J. Franco, B. Kaczer, and G. Groeseneken, *Reliability of High Mobility SiGe Channel MOSFETs for future CMOS applications*. Springer Series in Advanced Microelectronics, 2014.
- [85] B. Kaczer, T. Grasser, P. J. Roussel, J. Martin-Martinez, R. O'Connor, B. J. O'Sullivan, and G. Groeseneken, "Ubiquitous relaxation in BTI stressing-new evaluation and insights," in *IEEE International Reliability Physics Symposium (IRPS)*, 2008, pp. 20–27.
- [86] T. Grasser and B. Kaczer, "Negative bias temperature instability: Recoverable versus permanent degradation," in *IEEE European Solid-State Device Research Conference (ESSDERC)*, 2008, pp. 127–130.
- [87] D. S. Ang and S. Wang, "On the non-Arrhenius behavior of negative-bias temperature instability," *Appl. Phys. Lett.*, vol. 88, no. 9, p. 93506, 2006.
- [88] M. Ershov, S. Saxena, H. Karbasi, S. Winters, S. Minehane, J. Babcock, R. Lindley, P. Clifton, M. Redford, and A. Shibkov, "Dynamic recovery of negative bias temperature instability in p-type metal-oxide-semiconductor field-effect transistors," *Appl. Phys. Lett.*, vol. 83, no. 8, p. 1647, 2003.
- [89] G. Chen, M. F. Li, C. H. Ang, J. Z. Zheng, and D. L. Kwong, "Dynamic NBTI of p-MOS transistors and its impact on MOSFET scaling," *IEEE Electron Device Lett.*, vol. 23, no. 12, pp. 734–736, 2002.
- [90] R. Fernández, B. Kaczer, A. Nackaerts, S. Demuynck, R. Rodríguez, M. Nafria, and G. Groeseneken, "AC NBTI studied in the 1 Hz - 2 GHz range on dedicated on-chip CMOS circuits," in *IEEE International Electron Devices Meeting (IEDM)*, 2006, pp. 1–4.
- [91] G. T. Sasse, F. G. Kuper, and J. Schmitz, "MOSFET degradation under RF stress," *IEEE Trans. Electron Devices*, vol. 55, no. 11, pp. 3167–3174, 2008.
- [92] M. a. Alam, "A critical examination of the mechanics of dynamic NBTI for PMOSFETs," in *IEEE International Electron Devices Meeting (IEDM)*, 2003, pp. 345–348.
- [93] T. Nigam and E. B. Harris, "Lifetime enhancement under high frequency NBTI measured on ring oscillators," in *IEEE International Reliability Physics Symposium (IRPS)*, 2006, pp. 289–293.
- [94] R. W. Herfst, J. Schmitz, and A. J. Scholten, "Simultaneous extraction of threshold voltage and mobility degradation from on-the-fly NBTI measurements," in *IEEE International Reliability Physics Symposium (IRPS)*, 2011, pp. 1–5.
- [95] A. Sucre-gonzález, F. Zárate-rincón, A. Ortiz-conde, R. Torres-torres, F. J. García-sánchez, S. Member, J. Muci, and R. S. Murphy-arteaga, "A DC method to extract mobility degradation and series resistance of multifinger microwave MOSFETs," *IEEE Trans. Electron Devices*, pp. 1–6, 2016.
- [96] F. Zárate-rincón, S. Member, D. García-garcía, V. H. Vega-gonzález, R. Torres-torres, S. Member, R. S. Murphy-arteaga, and S. Member, "Characterization of Hot-Carrier-induced RF-MOSFET degradation at different bulk biasing conditions from S-parameters," *IEEE Trans. Microw. Theory Tech.*, vol. 64, no. 1, pp. 125–132, 2016.
- [97] B. Kaczer, T. Grasser, J. Martin-Martinez, E. Simoen, M. Aoulaiche, P. J. Roussel, and G. Groeseneken, "NBTI from the perspective of defect states with widely distributed time scales," in *IEEE International Reliability Physics Symposium (IRPS)*, 2009, pp. 55–60.
- [98] M. Toledano-Luque, B. Kaczer, J. Franco, P. J. Roussel, T. Grasser, and G. Groeseneken, "Defect-centric perspective of time-dependent BTI variability," *Microelectron. Reliab.*, vol. 52, no. 9–10, pp. 1883–1890, 2012.
- [99] J. P. Chiu, Y. T. Chung, T. Wang, M. C. Chen, C. Y. Lu, and K. F. Yu, "A comparative study of NBTI and RTN amplitude distributions in high- κ gate dielectric pMOSFETs," *IEEE Electron Device Lett.*, vol. 33, no. 2, pp. 176–178, 2012.
- [100] T. Wang, C. T. Chan, C. J. Tang, C. W. Tsai, H. C. H. Wang, M. H. Chi, and D. D. Tang, "A Novel transient characterization technique to investigate trap properties in HfSiON gate dielectric MOSFETs - From single electron emission to PBTI recovery transient," *IEEE Trans. Electron Devices*, vol. 53, no. 5, pp. 1073–1079,

- 2006.
- [101] M. Denais, A. Bravaix, V. Huard, C. Partha, G. Ribes, F. Perrie, and N. Revil, "On-the-fly characterization of NBTI in ultra-thin gate oxide PMOSFET's," in *IEEE International Electron Devices Meeting (IEDM)*, 2004, p. 5.2.1-5.2.4.
- [102] H. Reisinger, O. Blank, W. Heinrigs, W. Gustin, and C. Schlunder, "Analysis of NBTI degradation and recovery-behavior based on Ultra Fast VT-measurements," in *IEEE International Reliability Physics Symposium (IRPS)*, 2006, p. 448,453.
- [103] C. Shen, M.-F. Li, C. E. Foo, T. Yang, D. M. Huang, A. Yap, G. S. Samudra, and Y.-C. Yeo, "Characterization and physical origin of fast Vth transient in NBTI of pMOSFETs with SiON dielectric," in *IEEE International Electron Devices Meeting (IEDM)*, 2006, pp. 1–4.
- [104] V. D. Maheta, E. N. Kumar, S. Purawat, C. Olsen, K. Ahmed, and S. Mahapatra, "Development of an ultrafast on-the-fly IDLIN technique to study NBTI in plasma and thermal oxynitride p-MOSFETs," *IEEE Trans. Electron Devices*, vol. 55, no. 10, pp. 2614–2622, 2008.
- [105] A. E. Islam, E. N. Kumar, H. Das, S. Purawat, V. Mahetal, H. Aono, E. Murakami, S. Mahapatra, and M. . Alam, "Theory and practice of On-the-fly and Ultra-fast VT measurements for NBTI degradation: Challenges and opportunities," in *IEEE International Electron Devices Meeting (IEDM)*, 2007, pp. 805–808.
- [106] M. Denais, "Etude des phenomenes de degradation de type Negative Bias Temperature Instability (NBTI) dans les transistors mos submicroniques des filieres cmos avancees," *Tesis doctoral, Université de Provence d'Aix-Marseille I, Francia*. 2005.
- [107] J. F. Zhang and M. H. Chang, "An assessment of mobility variation during Negative Bias Temperature stress," in *ECS Transactions*, 2007, vol. 6, pp. 301–311.
- [108] T. Grasser, P.-Jü. Wagner, P. Hehenberger, W. Goes, and B. Kaczer, "A rigorous study of measurement techniques for Negative Bias Temperature Instability," *IEEE Trans. Device Mater. Reliab.*, vol. 8, no. 3, pp. 526–535, 2008.
- [109] M. a. Alam, H. Kufluoglu, D. Varghese, and S. Mahapatra, "A comprehensive model for PMOS NBTI degradation: Recent progress," *Microelectron. Reliab.*, vol. 47, no. 6, pp. 853–862, 2007.
- [110] S. Ogawa and N. Shiono, "Generalized diffusion-reaction model for the low-field charge-buildup instability at the Si-SiO₂ interface," *Phys. Rev. B*, vol. 51, no. 7, pp. 4218–4230, 1995.
- [111] B. Kaczer, T. Grasser, P. J. Roussel, J. Franco, R. Degraeve, L. a. Ragnarsson, E. Simoen, G. Groeseneken, and H. Reisinger, "Origin of NBTI variability in deeply scaled pFETs," in *IEEE International Reliability Physics Symposium (IRPS)*, 2010, p. 2A.3.1-2A.3.7.
- [112] T. Grasser, S. Member, B. Kaczer, W. Goes, H. Reisinger, T. Aichinger, P. Hehenberger, P. Wagner, F. Schanovsky, J. Franco, M. T. Luque, and M. Nelhiebel, "The paradigm shift in understanding the Bias Temperature Instability: From reaction – diffusion to switching oxide traps," *IEEE Trans. Device Mater. Reliab.*, vol. 58, no. 11, pp. 3652–3666, 2011.
- [113] S. Mahapatra, M. a. Alam, P. B. Kumar, T. R. Dalei, D. Varghese, and D. Saha, "Negative Bias Temperature Instability in CMOS devices," *Microelectron. Eng.*, vol. 80, pp. 114–121, 2005.
- [114] T. Grasser, B. Kaczer, W. Goes, T. Aichinger, P. Hehenberger, and M. Nelhiebel, "A two-stage model for negative bias temperature instability," in *IEEE International Reliability Physics Symposium (IRPS)*, 2009, pp. 33–44.
- [115] S. Gupta, B. Jose, K. Joshi, A. Jain, M. A. Alam, and S. Mahapatra, "A comprehensive and critical re-assessment of 2-stage energy level NBTI model," in *IEEE International Reliability Physics Symposium (IRPS)*, 2012, p. XT.3.1-XT.3.6.
- [116] J. Martin-Martinez, B. Kaczer, M. Toledano-Luque, R. Rodriguez, M. Nafria, X. Aymerich, and G. Groeseneken, "Probabilistic defect occupancy model for NBTI," in *IEEE International Reliability Physics Symposium (IRPS)*, 2011, p. XT.1-XT.4.6.
- [117] T. Grasser, H. Reisinger, P. J. Wagner, F. Schanovsky, W. Goes, and B. Kaczer, "The time dependent defect

- spectroscopy (TDDS) for the characterization of the bias temperature instability,” in *IEEE International Reliability Physics Symposium (IRPS)*, 2010, p. 2A.2.1-2A.2.10.
- [118] B. Kaczer, J. Franco, M. Toledano-Luque, P. J. Roussel, M. F. Bukhori, A. Asenov, B. Schwarz, M. Bina, T. Grasser, and G. Groeseneken, “The relevance of deeply-scaled FET threshold voltage shifts for operation lifetimes,” in *IEEE International Reliability Physics Symposium (IRPS)*, 2012, pp. 3–8.
- [119] J. Franco, B. Kaczer, M. Toledano-Luque, P. J. Roussel, J. Mitard, L. Å. Ragnarsson, L. Witters, T. Chiarella, M. Togo, N. Horiguchi, G. Groeseneken, M. F. Bukhori, T. Grasser, and A. Asenov, “Impact of single charged gate oxide defects on the performance and scaling of nanoscaled FETs,” in *IEEE International Reliability Physics Symposium (IRPS)*, 2012, pp. 1–6.
- [120] T. Grasser, P. J. Wagner, H. Reisinger, T. Aichinger, G. Pobegen, M. Nelhiebel, and B. Kaczer, “Analytic modeling of the bias temperature instability using capture/emission time maps,” in *IEEE International Electron Devices Meeting (IEDM)*, 2011, pp. 618–621.
- [121] R. Degraeve, G. Groeseneken, R. Bellens, M. Depas, and H. E. Maes, “A consistent model for the thickness dependence of intrinsic breakdown in ultra-thin oxides,” in *IEEE International Electron Devices Meeting (IEDM)*, 1995, pp. 863–866.
- [122] N. Ayala, “Variabilitat depenent del temps per BTI i Portadors Calents en MOSFETS ultraescalats,” *Tesis doctoral, Univ. Autònoma de Barcelona*. 2013.
- [123] L. Zhang, C. Liu, R. Wang, R. Huang, T. Yu, J. Zhuge, P. Kirsch, H.-H. Tseng, and Y. Wang, “Characteristics of Gate Current Random Telegraph Signal Noise in SiON/HfO₂/TaN p-Type Metal–Oxide–Semiconductor Field-Effect Transistors under Negative Bias Temperature Instability Stress Condition,” *Jpn. J. Appl. Phys.*, vol. 49, no. 4, p. 04DC08, Apr. 2010.
- [124] N. Ayala, J. Martin-Martinez, R. Rodriguez, M. Nafria, and X. Aymerich, “Unified characterization of RTN and BTI for circuit performance and variability simulation,” in *IEEE European Solid-State Device Research Conference (ESSDERC)*, 2012, pp. 266–269.
- [125] a. Avellán, D. Schroeder, and W. Krautschneider, “Modeling random telegraph signals in the gate current of metal-oxide-semiconductor field effect transistors after oxide breakdown,” *J. Appl. Phys.*, vol. 94, no. 1, pp. 703–708, 2003.
- [126] K. Zhao, J. H. Stathis, B. P. Linder, E. Cartier, and A. Kerber, “PBTI under dynamic stress: From a single defect point of view,” in *IEEE International Reliability Physics Symposium (IRPS)*, 2011, p. 4A.3.1-4A.3.9.
- [127] S. Realov and K. L. Shepard, “Analysis of random telegraph noise in 45-nm CMOS using on-chip characterization system,” *IEEE Trans. Electron Devices*, vol. 60, no. 5, pp. 1716–1722, 2013.
- [128] S. M. Amoroso, L. Gerrer, S. Markov, F. Adamu-Lema, and A. Asenov, “Comprehensive statistical comparison of RTN and BTI in deeply scaled MOSFETs by means of 3D atomistic simulation,” *IEEE Eur. Solid-State Device Res. Conf.*, pp. 109–112, 2012.
- [129] W. Goes, M. Walzl, Y. Wimmer, G. Rzepa, and T. Grasser, “Advanced modeling of Charge Trapping: RTN, 1/f noise, SILC, and BTI (Invited Paper),” in *IEEE International Conference on Simulation of Semiconductor Processes and Devices (SISPAD)*, 2014, pp. 77–80.
- [130] N. Tega, H. Miki, T. Osabe, A. Kotabe, K. Otsuga, H. Kurata, S. Kamohara, K. Tokami, Y. Ikeda, and R. Yamada, “Anomalously large threshold voltage fluctuation by complex random telegraph signal in floating gate flash memory,” in *IEEE International Electron Devices Meeting (IEDM)*, 2006, pp. 1–4.
- [131] S. O. Toh, Y. Tsukamoto, Z. Guo, L. Jones, T. J. King Liu, and B. Nikolić, “Impact of random telegraph signals on V_{min} in 45nm SRAM,” in *IEEE International Electron Devices Meeting (IEDM)*, 2009, pp. 767–770.
- [132] M. Tanizawa, S. Ohbayashi, T. Okagaki, K. Sonoda, K. Eikyu, Y. Hirano, K. Ishikawa, O. Tsuchiya, and Y. Inoue, “Application of a statistical compact model for Random Telegraph Noise to scaled-SRAM V_{min} analysis,” in *IEEE Symposium on VLSI Technology (VLSIT)*, 2010, pp. 95–96.
- [133] K. Ito, T. Matsumoto, S. Nishizawa, H. Sunagawa, K. Kobayashi, and H. Onodera, “The impact of RTN on performance fluctuation in CMOS logic circuits,” in *IEEE International Reliability Physics Symposium (IRPS)*, 2011, p. CR.5.1-CR.5.4.

- [134] M. Luo, R. Wang, S. Guo, J. Wang, J. Zou, and R. Huang, "Impacts of Random Telegraph Noise (RTN) on digital circuits," *IEEE Trans. Electron Devices*, vol. 62, no. 6, pp. 1725–1732, 2015.
- [135] K. V. Aadithya, A. Demir, S. Venugopalan, and J. Roychowdhury, "Accurate prediction of Random Telegraph Noise effects in SRAMs and DRAMs," *IEEE Trans. Comput. Des. Integr. Circuits Syst.*, vol. 32, no. 1, pp. 73–86, Jan. 2013.
- [136] D. J. DiMaria, "Defect generation in field-effect transistors under channel-hot-electron stress," *J. Appl. Phys.*, vol. 87, no. 2000, p. 8707, 2000.
- [137] K. W. Terrill, "Hot-electron-induced MOSFET degradation - Model, monitor, and improvement," *IEEE Trans. Electron Devices*, vol. 32, no. 2, pp. 375–385, Feb. 1985.
- [138] Esteve Amat, "Degradació del stack dielèctric de porta SiO₂/high-K en dispositius MOS: BTI i portadors calents," *Tesis doctoral, Univ. Autònoma de Barcelona*. 2009.
- [139] E. Amat, T. Kauerauf, R. Degraeve, R. Rodriguez, M. Nafria, X. Aymerich, and G. Groeseneken, "Competing degradation mechanisms in short-channel transistors under Channel Hot-Carrier stress at elevated temperatures," *IEEE Trans. Device Mater. Reliab.*, vol. 9, no. 3, pp. 454–458, Sep. 2009.
- [140] E. Li, E. Rosenbaum, J. Tao, G. C.-F. Yeap, M.-R. Lin, and P. Fang, "Hot Carrier Effects in nMOSFETs in 0.1 μ m CMOS Technology," in *IEEE International Reliability Physics Symposium (IRPS)*, 1999, pp. 253–258.
- [141] J. H. Sim, B. H. Lee, R. Choi, S. C. Song, and G. Bersuker, "Hot carrier degradation of HfSiON gate dielectrics with TiN electrode," *IEEE Trans. Device Mater. Reliab.*, vol. 5, no. 2, pp. 177–182, 2005.
- [142] P. Heremans, R. Bellens, G. Groeseneken, and H. E. Maes, "Consistent model for the hot-carrier degradation in N-channel and P-channel MOSFET's," *IEEE Trans. Electron Devices*, vol. 35, no. 12, pp. 2194–2208, 1988.
- [143] S. Tam, P.-K. Ko, and C. Hu, "Lucky-electron model of channel hot-electron injection in MOSFET'S," *IEEE Trans. Electron Devices*, vol. 31, no. 9, pp. 1116–1125, Sep. 1984.
- [144] C. Guerin, V. Huard, and A. Bravaix, "The Energy-Driven Hot Carrier degradation modes," in *IEEE International Reliability Physics Symposium (IRPS)*, 2007, pp. 692–693.
- [145] S. E. Rauch and G. La Rosa, "The energy driven paradigm of nMOSFET hot carrier effects," in *IEEE International Reliability Physics Symposium (IRPS)*, 2005, pp. 708–709.
- [146] S. E. Rauch, G. La Rosa, and F. J. Guarin, "Role of e-e scattering in the enhancement of channel hot carrier degradation of deep sub-micron NMOSFETs at high V/sub GS/ conditions," in *IEEE International Reliability Physics Symposium (IRPS)*, 2001, pp. 399–405.
- [147] K. Hess, B. Tuttle, F. Register, and D. K. Ferry, "Magnitude of the threshold energy for hot electron damage in metal-oxide-semiconductor field effect transistors by hydrogen desorption," *Appl. Phys. Lett.*, vol. 75, no. 20, p. 3147, 1999.
- [148] L. M. Procel, F. Crupi, J. Franco, L. Trojman, and B. Kaczer, "Defect-centric distribution of channel hot carrier degradation in nano-MOSFETs," *IEEE Electron Device Lett.*, vol. 35, pp. 1167–1169, 2014.
- [149] E. Amat, T. Kauerauf, R. Degraeve, R. Rodriguez, M. Nafria, X. Aymerich, and G. Groeseneken, "Gate voltage influence on the channel hot-carrier degradation of High-k based devices," *IEEE Trans. Device Mater. Reliab.*, vol. 11, no. 1, pp. 92–97, 2011.
- [150] A. I. Committee and M. Society, *IEEE Standard Codes, Formats, Protocols, and Common Commands for Use With IEEE Std 488.1-1987, IEEE Standard Digital Interface for Programmable Instrumentation*, vol. 1992. 1993.
- [151] "OrCAD PSpice Designer." [Online]. Available: <http://www.orcad.com/products/orcad-pspice-designer/overview>. [Accessed: 02-Oct-2015].
- [152] MathWorks, "Communications Toolbox For Use with MATLAB." 2001.
- [153] M. Moras, J. Martin-Martinez, R. Rodriguez, M. Nafria, X. Aymerich, and E. Simoen, "Negative Bias

- Temperature Instabilities induced in devices with millisecond anneal for ultra-shallow junctions,” *Solid. State. Electron.*, vol. 101, pp. 131–136, 2014.
- [154] J. Martin-Martinez, N. Ayala, R. Rodriguez, M. Nafria, and X. Aymerich, “Bias Temperature Instability: Characterization, modeling and circuit aging evaluation,” in *IEEE International Conference on Solid-State and Integrated Circuit Technology (ICSICT)*, 2012, pp. 1–4.
- [155] S. Kubicek, T. Schram, V. Paraschiv, R. Vos, M. Demand, C. Adelman, T. Witters, L. Nyns, L. Å. Ragnarsson, H. Yu, A. Veloso, R. Singanamalla, T. Kauerauf, E. Rohr, S. Brus, C. Vrancken, V. S. Chang, R. Mitsuhashi, A. Akheyar, H. J. Cho, J. C. Hooker, B. J. O’Sullivan, T. Chiarella, C. Kerner, A. Delabie, S. Van Elshocht, K. De Meyer, S. De Gendt, P. Absil, T. Hoffmann, and S. Biesemans, “Low VT CMOS using doped Hf-based oxides, TaC-based metals and laser-only anneal,” in *IEEE International Electron Devices Meeting (IEDM)*, 2007, pp. 49–52.
- [156] M. Toledano-Luque, B. Kaczer, E. Simoen, P. J. Roussel, A. Veloso, T. Grassler, and G. Groeseneken, “Temperature and voltage dependences of the capture and emission times of individual traps in high-k dielectrics,” *Microelectron. Eng.*, vol. 88, no. 7, pp. 1243–1246, 2011.
- [157] J. Martin-Martinez, M. Moras, N. Ayala, V. Velayudhan, R. Rodriguez, M. Nafria, and X. Aymerich, “Modeling of time-dependent variability caused by Bias Temperature Instability,” in *IEEE Spanish Conference on Electron Devices (CDE)*, 2013, pp. 241–244.
- [158] Keithley Instruments, “Model 4225-PMU Ultra-Fast I-V Module.” [Online]. Available: <http://www.keithley.com/products/dcac/sensitive/?mn=4225-PMU>. [Accessed: 17-Aug-2015].
- [159] N. Zanolla, D. Siprak, P. Baumgartner, E. Sangiorgi, and C. Fiegna, “Measurement and simulation of gate voltage dependence of RTS emission and capture time constants in MOSFETs,” *Int. Conf. Ultim. Integr. Silicon*, pp. 137–140, 2008.
- [160] G. La Rosa, F. Guarin, S. Rauch, A. Acovic, J. Lukaitis, and E. Crabbe, “NBTI-channel hot carrier effects in PMOSFETs in advanced CMOS technologies,” in *IEEE International Reliability Physics Symposium (IRPS)*, 1997, pp. 282–286.
- [161] B. S. Doyle, B. J. Fishbein, and K. Mistry, “NBTI- enhanced Hot Carrier Damage in p-Channel MOSFET’s,” in *IEEE International Electron Devices Meeting (IEDM)*, 1991, p. 19.2.1-19.2.5.
- [162] A. Masada, I. Hirano, S. Fukatsu, and Y. Mitani, “Method of decoupling the Bias Temperature Instability component from Hot Carrier degradation in ultrathin high-k metal-oxide-semiconductor Field-Effect Transistors,” *Jpn. J. Appl. Phys.*, vol. 49, no. 7 PART 1, p. 071102.1-071102.6, 2010.
- [163] Y. Mitani, S. Fukatsu, D. Hagishima, and K. Matsuzawa, “Separation of NBTI component from channel hot carrier degradation in pMOSFETs focusing on recovery phenomenon,” in *IEEE International Conference on Integrated Circuit Design and Technology (ICICDT)*, 2011, pp. 11–14.
- [164] A. Toro-Frias, R. Castro-Lopez, E. Roca, F. V. Fernandez, J. Martin-Martinez, R. Rodriguez, and M. Nafria, “A fast and accurate reliability simulation method for analog circuits,” *2015 Int. Conf. Synth. Model. Anal. Simul. Methods Appl. to Circuit Des. SMACD 2015*, no. 201350, 2015.
- [165] A. Toro-Frias, P. Martin-Lloret, J. Martin-Martinez, R. Castro-Lopez, E. Roca, R. Rodriguez, M. Nafria, and F. V. Fernandez, “Reliability simulation for analog ICs: Goals, solutions, and challenges,” *Integr. VLSI J.*, vol. 55, pp. 341–348, 2016.
- [166] S. F. Chu, K. W. Chew, P. R. Verma, C. H. Ng, C. H. Cheng, N. G. Toledo, Y. K. Yoo, W. B. Loh, K. C. Leong, S. Q. Zhang, B. G. Oon, Y. W. Poh, T. Zhou, K. K. Khu, and S. F. Lim, “Enabling wireless communications with state-of-the-art RF CMOS and SiGe BiCMOS technologies,” in *IEEE International Workshop on Radio-Frequency Integration Technology: Integrated Circuits for Wideband Communication and Wireless Sensor Networks (RFIT)*, 2005, pp. 115–118.
- [167] G. Boeck, “Design of CMOS integrated circuits for RF wireless communications,” in *National Radio Science Conference (NRSC)*, 2008.
- [168] B. Zhu, Y. Chen, J. B. Bemstein, and S. E. Division, “Negative Bias Temperature Instability of deep sub-micron p-mosfets under pulsed bias stress,” in *IEEE International Integrated Reliability Workshop Final Report*, 2002, pp. 125–129.

- [169] W. Abadeer and W. Ellis, "Dynamic Circuit Conditions," in *IEEE International Reliability Physics Symposium (IRPS)*, 2003, pp. 17–22.
- [170] S. Mahapatra, M. A. Alam, P. B. Kumar, T. R. Dalei, D. Saha, and W. Lafayette, "Mechanism of Negative Bias Temperature Instability in CMOS devices: degradation, recovery and impact of nitrogen," in *IEEE International Electron Devices Meeting (IEDM)*, 2004, p. 5.1.1-5.1.4.
- [171] S. S. Tan, T. P. Chen, and L. Chan, "Dynamic NBTI lifetime model for inverter-like waveform," *Microelectron. Reliab.*, vol. 45, no. 7–8, pp. 1115–1118, 2005.
- [172] J. Kim, R. M. Rao, J. Schaub, A. Ghosh, A. Bansal, K. Zhao, B. P. Linder, and J. Stathis, "PBTI/NBTI monitoring ring oscillator circuits with on-chip V_t characterization and high frequency AC stress capability," in *IEEE Symposium on VLSI Circuits*, 2011, pp. 410–411.
- [173] D. M. Pozar, *Microwave Engineering*, Third edit., vol. 53, no. 9. 2005.
- [174] M. He, "A simplified error model for accurate measurement of high -frequency transistor S parameters," *IEEE Trans. Instrum. Meas.*, vol. 34, no. 4, pp. 616–619, 1985.
- [175] H. J. Eul and B. Schiek, "A generalized theory and new calibration procedures for network analyzer self-calibration," *IEEE Trans. Microw. Theory Tech.*, vol. 39, no. 4, pp. 724–731, 1991.
- [176] H. Heuermann and B. Schiek, "Calibration of network analyser measurements with leakage errors," *Electron. Lett.*, vol. 30, no. 1, pp. 52–53, 1994.
- [177] H. Cho and D. E. Burk, "A three-step method for the de-embedding of high- frequency S-parameter measurements," *IEEE Trans. Electron Devices*, vol. 38, no. 6, pp. 1371–1375, 1991.
- [178] M. Koolen, J. Geelen, and M. Versleijen, "An improved deembedding technique for on-wafer high-frequency characterization," in *Bipolar Circuits and Technology Meeting*, 1991, pp. 188–191.
- [179] G. F. Engen and C. A. Hoer, "Thru-reflect-line: An improved technique for calibrating the dual six-port automatic network analyzer," *IEEE Trans. Microw. Theory Tech.*, vol. 27, no. 12, pp. 987–993, 1979.
- [180] J. Hee, J.-H. Lee, J. Lee, B. Oh, I. Song, Y. Yun, B.-G. Park, J.-D. Lee, and H. Shin, "Fmax improvement by controlling extrinsic parasitics in circuit-level MOS transistor," *IEEE Electron Device Lett.*, vol. 30, no. 12, pp. 1323–1325, Dec. 2009.
- [181] A. F. Tong and K. S. Yeo, "A Scalable RFCMOS Noise Model," *IEEE Trans. Microw. Theory Tech.*, vol. 57, no. 5, pp. 1009–1019, May 2009.
- [182] R. Banchuin and R. Chaisrichaen, "Analytical analysis and modelling of variation in maximum frequency of oscillation of subthreshold MOSFET," in *IEEE International Conference on Information and Communication Technology, Electronic and Electrical Engineering (JICTEE)*, 2014, pp. 1–4.
- [183] S. L. Siu, W. S. Tam, H. Wong, C. W. Kok, K. Kakusima, and H. Iwai, "Influence of multi-finger layout on the subthreshold behavior of nanometer MOS transistors," *Microelectron. Reliab.*, vol. 52, no. 8, pp. 1606–1609, 2012.
- [184] S. Lee, H. K. Yu, J. G. Koo, and K. S. Nam, "A novel approach to extracting small-signal model parameters of silicon MOSFET 's," *IEEE Microw. guided wave Lett.*, vol. 7, no. 3, pp. 75–77, 1997.
- [185] S. Lee, C. S. Kim, and H. K. Yu, "A small-signal RF model and its parameter extraction for substrate effects in RF MOSFETs," *IEEE Trans. Electron Devices*, vol. 48, no. 7, pp. 1374–1379, 2001.
- [186] R. Torres-Torres and R. Murphy-Arteaga, "Straightforward Determination of Small-Signal Model Parameters for Bulk RF-MOSFETs," in *IEEE International Caracas Conference on Devices, Circuits and Systems*, 2004, pp. 14–18.
- [187] R. Torres-Torres, R. Murphy-Arteaga, and J. A. Reynoso-Hernández, "Analytical model and parameter extraction to account for the pad parasitics in RF-CMOS," *IEEE Trans. Electron Devices*, vol. 52, no. 7, pp. 1335–1342, 2005.
- [188] C. Yu and J. S. Yuan, "MOS RF reliability subject to dynamic voltage stress - Modeling and analysis," *IEEE*

-
- Trans. Electron Devices*, vol. 52, no. 8, pp. 1751–1758, 2005.
- [189] C. H. Liu, R. L. Wang, Y. K. Su, C. H. Tu, and Y. Z. Juang, “DC and RF degradation induced by high RF power stresses in 0.18- μm nMOSFETs,” *IEEE Trans. Device Mater. Reliab.*, vol. 10, no. 3, pp. 317–323, 2010.
- [190] F. Zarate-Rincon, G. a. Alvarez-Botero, R. Torres-Torres, R. S. Murphy-Arteaga, and S. Decoutere, “Characterization of RF-MOSFETs in common-source configuration at different source-to-bulk voltages from S-parameters,” *IEEE Trans. Electron Devices*, vol. 60, no. 8, pp. 2450–2456, 2013.
- [191] F. Zarate-Rincon, G. A. Alvarez-Botero, R. S. Murphy-Arteaga, R. Torres-Torres, and A. Ortiz-Conde, “Impact of multi-finger geometry on the extrinsic parasitic resistances of microwave MOSFETs,” *IEEE MTT-S Int. Microw. Symp. Dig.*, pp. 1–3, 2014.
- [192] F. Zarate-Rincon, R. Torres-Torres, and R. S. Murphy-Arteaga, “Consistent DC and RF MOSFET modeling using an S-parameter measurement-based parameter extraction method in the linear region,” *IEEE Trans. Microw. Theory Tech.*, vol. 63, no. 12, pp. 4255–4262, 2015.
- [193] L. Negre, D. Roy, F. Cacho, P. Scheer, S. Jan, S. Boret, D. Gloria, and G. Ghibaudo, “Reliability characterization and modeling solution to predict aging of 40-nm MOSFET DC and RF performances induced by RF stresses,” *IEEE J. Solid-State Circuits*, vol. 47, no. 5, pp. 1075–1083, 2012.
- [194] L. Negre, D. Roy, F. Cacho, P. Scheer, S. Boret, A. Zaka, D. Gloria, and G. Ghibaudo, “Aging of 40nm MOSFET RF parameters under RF conditions from characterization to compact modeling for RF design,” in *IEEE Radio Frequency Integrated Circuits Symposium (RFIC)*, 2011, pp. 1–4.
- [195] L. Negre, D. Roy, S. Boret, P. Scheer, D. Gloria, and G. Ghibaudo, “Advanced 45nm MOSFET small-signal equivalent circuit aging under DC and RF hot carrier stress,” in *IEEE International Reliability Physics Symposium (IRPS)*, 2011, pp. 811–814.
- [196] L. Negre, D. Roy, S. Boret, P. Scheer, N. Kauffmann, D. Gloria, and G. Ghibaudo, “Hot carrier impact on the small signal equivalent circuit,” in *IEEE International Integrated Reliability Workshop Final Report (IIRW)*, 2010, pp. 72–75.
- [197] J. C. Tinoco and J. P. Raskin, “RF-extraction methods for mosfet series resistances: A fair comparison,” in *IEEE International Caribbean Conference on Devices, Circuits and Systems (ICCCDS)*, 2008.
- [198] Y. Cheng, “A study of figures of merit for high frequency behavior of MOSFETs in RF IC applications,” in *Workshop on Compact Modeling*, 2005, pp. 81–86.
- [199] M. T. Yang, P. P. C. Ho, Y. J. Wang, T. J. Yeh, and Y. T. Chia, “Broadband small-signal model and parameter extraction for deep sub-micron MOSFETs valid up to 110 GHz,” in *IEEE Radio Frequency Integrated Circuits Symposium (RFIC)*, 2003, pp. 369–372.
- [200] S. P. Voinigescu, M. Tazlauanu, P. C. Ho, and M. T. Yang, “Direct extraction methodology for geometry-scalable RF-CMOS models,” in *IEEE International Conference on Microelectronic Test Structures (ICMTS)*, 2004, pp. 235–240.
- [201] M. S. Alam and G. A. Armstrong, “Extrinsic parameter extraction and RF modelling of CMOS,” *Solid. State. Electron.*, vol. 48, no. 5, pp. 669–674, 2004.
- [202] D. Lovelace, J. Costa, and N. Camilleri, “Extracting small-signal model parameters of silicon MOSFET transistors,” in *IEEE International Microwave Symposium (MTT-S)*, 1994, pp. 865–868.
- [203] F. X. Pengg, “Direct parameter extraction on RF-CMOS,” in *IEEE Radio Frequency Integrated Circuits (RFIC)*, 2007, pp. 355–358.
- [204] Y. S. Chi, J. X. Lu, S. Y. Zhang, Z. J. Wu, and F. Y. Huang, “An analytical parameter extraction of the small-signal model for RF MOSFETs,” in *IEEE International Conference of Electron Devices and Solid-State Circuits (EDSSC)*, 2005, pp. 555–558.
- [205] F. Zarate-Rincon, R. S. Murphy-Arteaga, R. Torres-Torres, A. Ortiz-Conde, and F. J. Garcia-Sanchez, “Modeling the impact of multi-fingering microwave mosfets on the source and drain resistances,” *IEEE Trans. Microw. Theory Tech.*, vol. 62, no. 12, pp. 3255–3261, 2014.

-
-
- [206] A. F. Tong, K. S. Yeo, L. Jia, C. Q. Geng, J.-G. Ma, and M. . Do, "Simple and accurate extraction methodology for RF MOSFET valid up to 20GHz," *IEEE Circuits, Devices Syst.*, vol. 151, no. 6, pp. 587–592, 2004.
- [207] I. Kwon, M. Je, K. Lee, and H. Shin, "A simple and analytical parameter-extraction method of a microwave MOSFET," *IEEE Trans. Microw. Theory Tech.*, vol. 50, no. 6, pp. 1503–1509, 2002.
- [208] P. Klein, "A compact-charge ldd-mosfet model," *IEEE Trans. Electron Devices*, vol. 44, no. 9, pp. 1483–1490, 1997.
- [209] S. Naseh, M. J. Deen, and O. Marinov, "Effects of hot-carrier stress on the RF performance of 0.18 μm technology NMOSFETs and circuits," in *IEEE International Reliability Physics Symposium (IRPS)*, 2002, pp. 98–104.
- [210] J. T. Park, B. J. Lee, D. W. Kim, C. G. Yu, and H. K. Yu, "RF performance degradation in nMOS transistors due to hot carrier effects," *IEEE Trans. Electron Devices*, vol. 47, no. 5, pp. 1068–1072, 2000.
- [211] P. E. Allen and D. R. Holberg, *CMOS analog circuit design*. New York: Oxford University Press, USA, 2011.
- [212] B. Razavi, *Design of analog CMOS integrated circuits*. New York: McGraw Hill Education, 2017.

