

레이다용 L대역 디지털 송수신모듈 설계 및 제작

Design and Fabrication of an L-Band Digital TR Module for Radar

임재환 · 박세준 · 전상미 · 진형석 · 김관성* · 김태훈** · 김재민***

Jae-Hwan Lim · Se-Jun Park · Sang-Mi Jun · Hyung-Suk Jin ·

Kwan-Sung Kim* · Tae-Hun Kim** · Jae-Min Kim***

요약

현재 레이다의 발전 형태는 기존의 능동위상배열에서 디지털형 위상배열로 진화하고 있다. 디지털형 위상배열은 수신빔을 자유롭게 구성할 수 있는 장점이 있다. 이를 가능하게 하려면 각각의 복사소자별 수신신호가 디지털화되어야 한다. 본 논문에서는 이를 위한 디지털 송수신모듈을 설계 및 제작하고 시험결과를 제시하여 가능성을 확인하고자 한다. 디지털 송수신모듈은 4개의 송수신 채널을 포함한 쿼드팩 형태로 구성하였다. 고출력 송신을 위해 각 채널별로 GaN 소재의 고출력증폭소자(HPA)를 사용하였으며, 송신파형 발생과 수신신호 디지털변환을 위해 송수신 집적소자를 적용한 디지털 회로를 적용하였다. 제작한 결과, 각 채널별로 송신출력은 350 W 이상, 수신이득은 47 dB, 수신잡음지수 2 dB 이하를 만족하였다. 또한 모듈 내에서 최종 광신호로 변환된 수신출력을 저장하고, 분석하여 수신 특성을 확인하였다.

Abstract

Active array radar is evolving into digital active array radar. Digital active array radar has many advantages for making several simultaneous radar beams from the digital receive data of each element. A digital-type transceiver(TR) module is suitable for this goal in radar. In this work, the design results of an L-band digital TR module are presented to verify the possibility of fabrication for a digital active array antenna. This L-band digital TR module consists of a gallium-nitride-type HPA to achieve a more than 350-W peak output power and one-chip transceivers that include a digital waveform generator and analog digital converter. The receiving gain was 47 dB, the noise figure was less than 2 dB, and the final output type of the four channel receiving paths was one optic signal.

Key words: Digital, TR-Module, Active Array Antenna, GaN, Radar

I. 서론

레이다의 안테나 형태는 최근 능동위상배열에서 디지털형 위상배열로 발전하고 있는 추세이다. 디지털형 위상배열이란 능동위상배열의 궁극적인 형태로 각 배열소자

마다 ADC(Analog-Digital Converter)가 수신경로에 배치되어 있어 배열소자 개별로 수신신호가 디지털 데이터로 변환되어 처리되는 형태를 말한다. 기존의 위상배열에서는 수신신호를 RF단에서 결합하여 수신빔을 형성하거나 부배열 빔을 형성하는 구조로 구성되어 있었다^[1]. 하지만

LIG넥스원(주) 감시정찰연구소(Radar R&D Lab., LIGNex1)

*국방과학연구소(Agency for Defense Development)

**유텔(주)(UTEL)

***미래시스템(주)(MIRAE SYSTEM)

· Manuscript received August 27, 2018 ; Revised September 27, 2018 ; Accepted October 22, 2018. (ID No. 20180827-090)

· Corresponding Author: Jae-Hwan Lim (e-mail: limjaehwan@lignex1.com)

디지털형 위상배열에서는 앞에서 설명한 구조로 인해 각 배열소자의 수신신호가 디지털화되고, 이 디지털 수신신호를 디지털단에서 결합하여 자유롭게 빔합성이 가능하다. 디지털 처리를 통한 자유도는 다중빔을 자유롭게 생성한다든지, 적응빔을 생성한다든지 하는 여러 가지 장점과 활용성을 제공한다²⁾.

하지만 여러 가지 장점이 있음에도 기존에는 하드웨어적인 한계로 인해 실제 구현하는 것에 어려움이 있어 왔다. 우선 각 배열소자마다 ADC를 수행하기 위한 비용이 많이 드는 점과 물리적으로 소자를 배치할 공간 부족 등의 한계가 있었다³⁾. 또한 배열소자마다 생성되는 디지털 신호를 전송하고 처리하는 디지털 하드웨어의 처리능력에 한계가 있어 왔다⁴⁾.

그러나 현재는 하드웨어의 발전으로 인해 디지털형 능동위상배열을 구현할 수 있는 단계에 와 있다고 할 수 있다⁵⁾⁶⁾. 본 논문의 L대역 디지털 송수신모듈에서는 앞에서 제시한 한계들을 극복한 여러 가지 기술들을 적용하여 디지털형 능동위상배열을 구현할 수 있게 하였다. 각 배열소자마다 RF 송수신 경로를 간소화하기 위해 Single Conversion 방식과 ADC의 기능이 집적화된 송수신단일칩을 적용하였다⁷⁾. 또한, 대량의 디지털 신호를 전송하기 위해 광신호로 신호를 변환하고 전송하는 기술을 사용하였다. 레이더의 탐지성능 등을 위해서는 고출력으로 신호를 발생하는 것이 필요하므로 이를 작은 공간에 구현하기 위해 GaN(Gallium Nitride) 소재의 고출력증폭소자를 적용하고, 공랭 방식을 시스템에서 적용할 수 있도록 하였다.

본 논문에서 제시하고 있는 L대역 디지털 송수신모듈은 기존의 레이더용 TR 모듈(Transceiver Module)과 다르게 송신파형을 스스로 생성하고, 수신디지털데이터를 생성한다. 하나의 완벽한 기능을 담당하는 송수신기 4개를 모아 쿼드팩(Quad-pack) 구조의 디지털 송수신모듈을 구현하였다. 기존과 유사하지만 각 채널당 고효율, 고출력을 구현한 송신 경로와 저잡음 증폭을 위해 기본이 되는 RF 수신경로의 설계 및 제작 내용을 기술하였다. 이에 더하여 파형을 생성하고 수신신호를 디지털 신호로 변환하며 광신호로 전송하는 기능을 담당하는 디지털회로의 구성을 기술하였다. 각 회로에 적절한 전원을 공급하기 위한 전원공급기의 설계를 제시하고, 전체 디지털 송수신모

듈의 방열이 가능한 형태를 검토하였다. 모든 구성요소를 결합하여 디지털형 능동위상배열을 구성하기 위한 디지털 송수신모듈을 제작하였고, 주요 설계 목표치에 대해 시험, 측정하였다.

II. 디지털 송수신모듈 설계 및 제작

디지털 송수신모듈은 내부에서 파형을 직접 생성하고 신호를 상향변환하여 L대역으로 변환한다. 변환된 L대역 신호는 고출력으로 증폭하여 배열안테나로 출력하는 역할을 수행한다. 수신경로로 입력된 신호는 저잡음 증폭 후에 하향변환 후 디지털 신호로 변환된다. 변환된 수신 데이터는 4개 채널의 신호가 하나의 광데이터로 변환되어 디지털빔형성기로 전달된다. 하나의 디지털 송수신모듈은 송수신채널을 동일한 구성으로 4개를 보유하는 쿼드팩 형태로 설계하였다. 이 디지털 송수신모듈을 다수로 구성하여 면배열 안테나를 구현할 수 있다.

디지털 송수신모듈은 디지털변환회로, RF 회로, 전원공급기로 구성된다. 전원공급기는 디지털 송수신모듈에서 필요한 전원을 생성하기 위해, 외부에서 300 VDC 전원을 인가받아 내부 필요 DC 전원으로 변환하여 전달한다. 디지털변환회로는 제어명령을 외부로부터 입력받아 이에 해당하는 디지털파형을 생성한 후 송수신 단일 칩으로 전달하게 되면 송수신단일칩에서 아날로그 신호로 변환한 후 L대역으로 상향변환하게 되고 송신을 위해 RF 회로로 전달한다. 수신인 경우, RF 회로로부터 입력되는 수신 신호를 송수신단일칩에서 하향변환하고, 디지털변환한 후 이를 처리하여 광신호로 변환하는 역할을 수행한다. RF 회로는 디지털변환회로에서 전달되는 송신 아날로그 신호를 고출력으로 증폭하여 외부 RF포트를 통해 전달하고, 수신인 경우 수신신호가 인가되면 이를 저잡음 증폭한 이후 디지털변환회로로 전달한다. 전체 기능블록의 구성은 그림 1과 같다.

전체 형상은 그림 2에서 제시하고 있다. 고출력 증폭소자, DCDC 컨버터, 송수신단일칩 등이 내부에 배치되어 있어 방열이 꼭 필요한 구조이다. 이를 위해 외부에 방열핀을 배치하여 공랭 방식으로 방열이 가능하도록 구성하였다. 방열을 위해 가장 큰 열원인 고출력 증폭소자가 배치

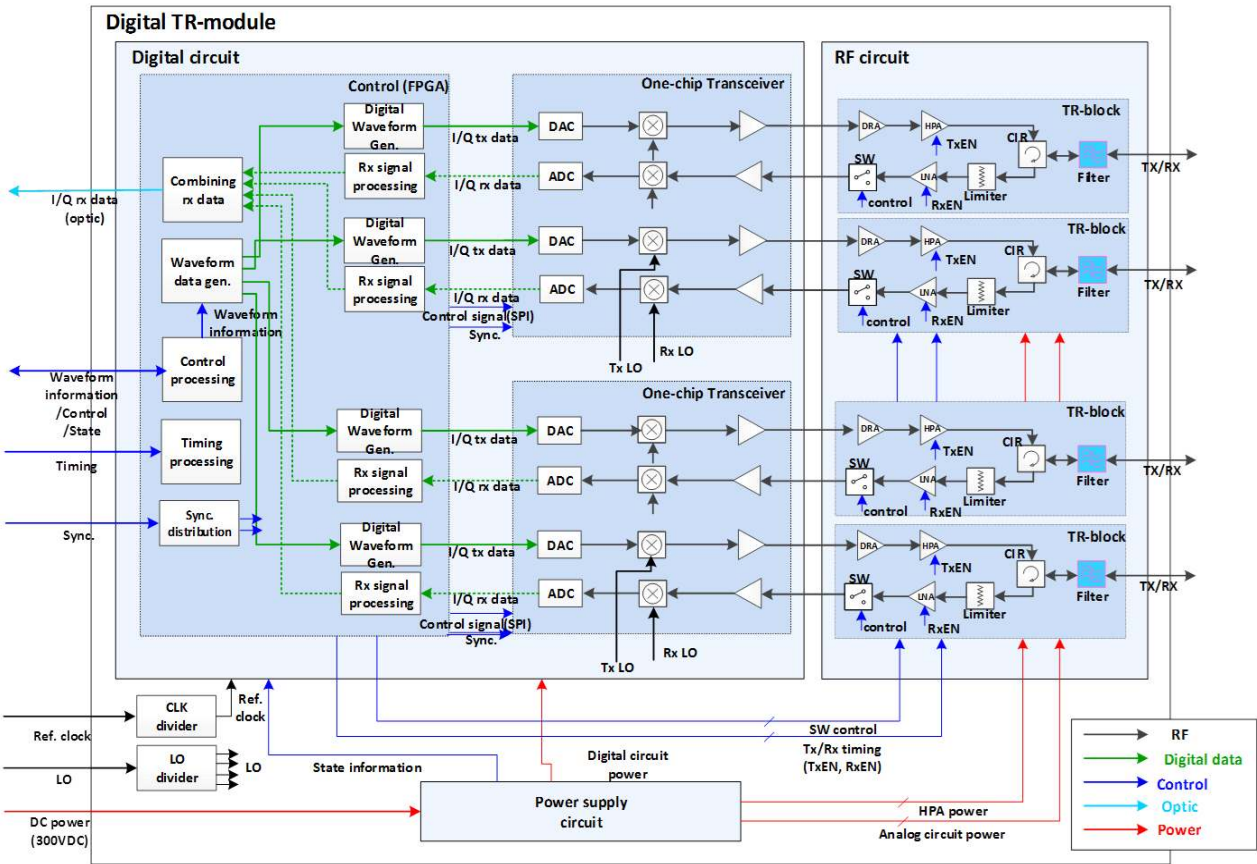


그림 1. 디지털 송수신모듈 기능블록도
Fig. 1. The block diagram of the digital TR-module.

된 RF 회로를 방열판이 구성된 바닥면에 배치하였고, 같은 이유로 전원공급기를 바닥에 배치하였다. 아날로그 회로를 격벽으로 격리하고, 그 위에 디지털변환회로를 배치하여 아날로그, 디지털회로 간의 신호 간섭이 최소화할 수 있도록 설계하였다. 디지털변환회로의 열적 안정성을 위해 발열소자인 FPGA(Field-Programmable Gate Array)나 송수신단일칩은 상단방향으로 방열 패드를 배치하여 방열경로가 구성될 수 있도록 설계하였다. 방열판 형태, 위치, 길이와 방열 패드 등의 성능은 열해석을 통해 설계를 수행하였고, 실제 제작 후 방열 성능을 통제된 환경을 모사하여 측정하여 검증하였다.

2-1 RF 회로 설계 및 제작

RF 회로는 디지털변환회로와 전원공급기를 제외한 RF

신호를 송신 및 수신하는 기능을 담당하는 회로이다. 구성도 상에서 표시된 것과 같이 송수신 4개 채널을 동일한 형태로 구성한다. 각 송수신채널은 그림 3 및 그림 4와 같이 송신경로, 수신경로로 구성된다. 송신의 경우, 디지털 변환회로로부터 입력되는 -10 dBm의 L대역 신호를 여러 단을 거쳐 증폭하여 최종 고출력증폭소자(HPA)로 전달한다. 최종 출력은 사용 주파수 대역에서 55.4 dBm 이상이며, 고출력 및 고효율을 구현하기 위해 GaN 소재의 고출력증폭소자를 적용하였다. 개별 고출력증폭소자의 드레인 효율은 60% 이상으로 다채널로 구성했을 때, 열적 안정성을 확보할 수 있도록 하였다. 수신은 해당 채널 커넥터로 수신 신호가 입력되면 LNA에서 저잡음 증폭 후에 대역필터를 통과하여 디지털변환회로 수신입력으로 전달되도록 하였다. 수신이득은 RF 회로에서 37 dB,

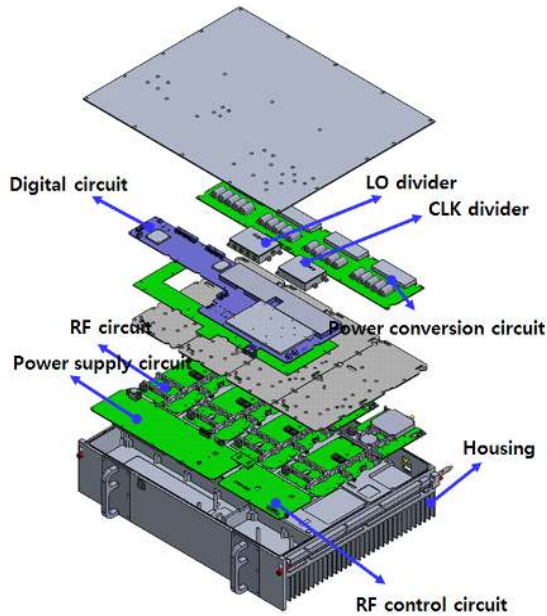


그림 2. 형상 및 내부 회로 배치도
Fig. 2. The shape of the digital TR-module.

디지털변환회로에서 10 dB를 가지도록 구성하였다. LNA로 수신신호가 입력되기 전단계는 리미터를 구성하여, 송신 출력 시 리키지 신호가 수신 경로에 손상을 주는 것을 방지하였다. 송신출력이 55.4 dBm 이상이므로 수신경로로 인가되는 송신리키지 신호의 크기는 약 30 dBm 이상으로 추정할 수 있으며, 이 신호가 수신경로에 손상을 주는 것을 방지할 수 있도록 설계하였다. 또한 LNA 앞단의 손실을 최소화하여 수신잡음지수가 2 dB 이하가 되도록 하였다. 송수신입출력이 되는 최종 RF커넥터 앞에는 대역필터를 구성하여 송신신호의 하모닉 성분 등이 방사되는 것을 방지하였다.

RF 회로를 제작하여 조립한 형상은 그림 5와 같다. 동일한 형상의 RF 회로 4개 채널과 전원공급기가 조립된 형상을 확인할 수 있다. 앞에서 제시한 것과 같이 회로 간에는 격벽을 두어 신호 격리도를 높이고자 하였다.

제작 후 각 채널 별로 시험한 결과는 표 1과 같다. 4개의 채널은 유사한 시험결과를 나타내므로 대표적으로 한 채널의 시험결과를 제시하였다. 송신출력은 56.3 dBm 이상, 송신 하모닉 63 dBc이고, 수신이득은 개별 채널에서 38 dB 이상, 수신잡음지수는 1.8 dB 이하로 설계 규격을

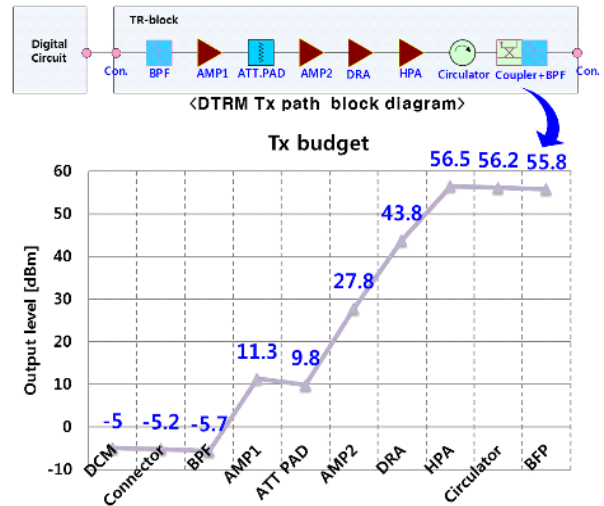


그림 3. 송신경로 버짓(전체송신출력)
Fig. 3. The transmit budget of the digital TR-module.

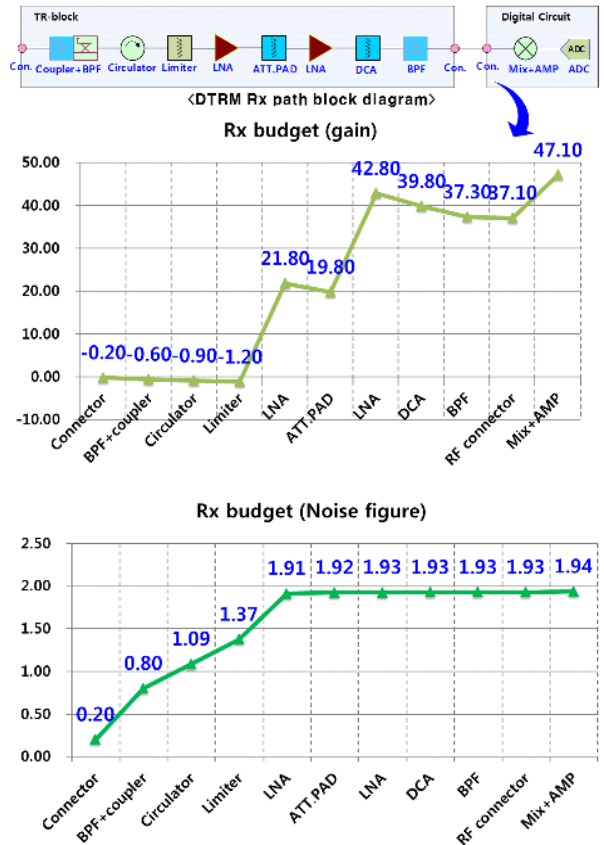


그림 4. 수신경로 버짓(전체이득, 잡음지수)
Fig. 4. The receiving budget of the digital TR-module.



그림 5. 구성품 제작 조립형상
Fig. 5. The shape of the RF circuit.

표 1. RF 회로 측정 결과
Table 1. The test results of the RF circuit.

Test item	Design goal	Measurement result
TX output level	More than 55.4 dBm	56.3 dBm
TX harmonics	Below -60 dBc	-63 dBc
RX gain	More than 37 dB	38.7 dB
Noise figure	Below 2.0 B	1.8 dB
Frequency	Fc	Fc

만족한다. 시험 조건은 송신펄스폭 500 us, 송신 듀티비 10 % 조건에서 수행하였다.

2-2 디지털변환회로 설계 및 제작

디지털변환회로는 송신파형을 생성하여 L대역 RF 신호로 변환하여 RF 회로로 전달한다. 또한 수신인 경우 수신신호를 하향변환하고 ADC를 수행하여 디지털 신호로 변환한다. 변환된 4개 채널의 디지털수신신호는 광인터페이스로 전송되기 위해 직렬화 과정을 거쳐 광라인을 통해 외부로 전달된다. 디지털변환회로에서는 또한 외부로부터 입력되는 제어신호를 변환하여 기능에 맞게 각 회로에서 필요한 신호로 전달하는 기능과 상태정보를 수집하고 전달하는 역할을 수행한다. 디지털 송수신모듈의 여러 가지 핵심기능을 수행하기 위해 내부 회로는 FPGA와 송수신단일칩으로 구성한다. FPGA에서는 디지털신호의 처

리와 타이밍 처리를 담당하고 송수신단일칩에서는 RF 신호를 생성하는 기능과 RF 신호를 디지털화하는 기능을 수행한다. 송수신단일칩은 기존에 여러 개의 개별 소자로 구현해야 했던 기능을 통합하여 소형화, 집적화를 가능하게 하고, 단일 모듈 내에서 다채널의 ADC 기능을 담당할 수 있게 한다.

그림 7은 디지털변환회로의 기능블록도이다. 파형은 FPGA 내부에서 디지털 파형을 생성한 후 디지털 신호가 송수신단일칩에서 아날로그 IF 신호로 변환된 후, 내부의 Single Conversion 방식의 상향변환 과정을 거쳐, RF 회로로 전달된다. 수신인 경우는 반대의 과정을 거치게 된다. 송수신단일칩은 두 개의 송수신채널이 집적되어 있으므로 모듈 내에서, 4개 채널을 구성하기 위해 두 개의 송수신단일칩을 적용하였다. 수신데이터는 각 채널당 6MSPS의 속도로 생성되며 4개 채널의 데이터를 외부로 전송하기 위해 데이터 양을 감안하여 광 인터페이스를 통해 외부로 전송한다.

그림 6은 디지털변환회로를 제작한 형상이다. 송수신단일칩의 RF 입출력 회로 쪽은 채널 간 격리와 고출력 송신이 이루어지는 RF 회로와의 격리를 위해 격벽과 내부 커버를 덮을 수 있는 구조로 구성하였다. 또한 외부에서 제어명령을 입력받기 위한 커넥터들은 회로기판 외곽에 배치하였다.

그림 8은 디지털변환회로를 시험한 결과이다. 시험은 송신신호를 다시 수신경로로 입력하는 루프백 구조로 수행하여 송신과 수신인 신호 동기를 일치시킨 상태에서 시험을 수행한다. 1 ms의 펄스 주기로 100 us의 펄스폭을 가지는 송신신호를 생성하고 이를 수신하였다. 송신파형



그림 6. 디지털변환회로 제작 형상
Fig. 6. The shape of the digital circuit.

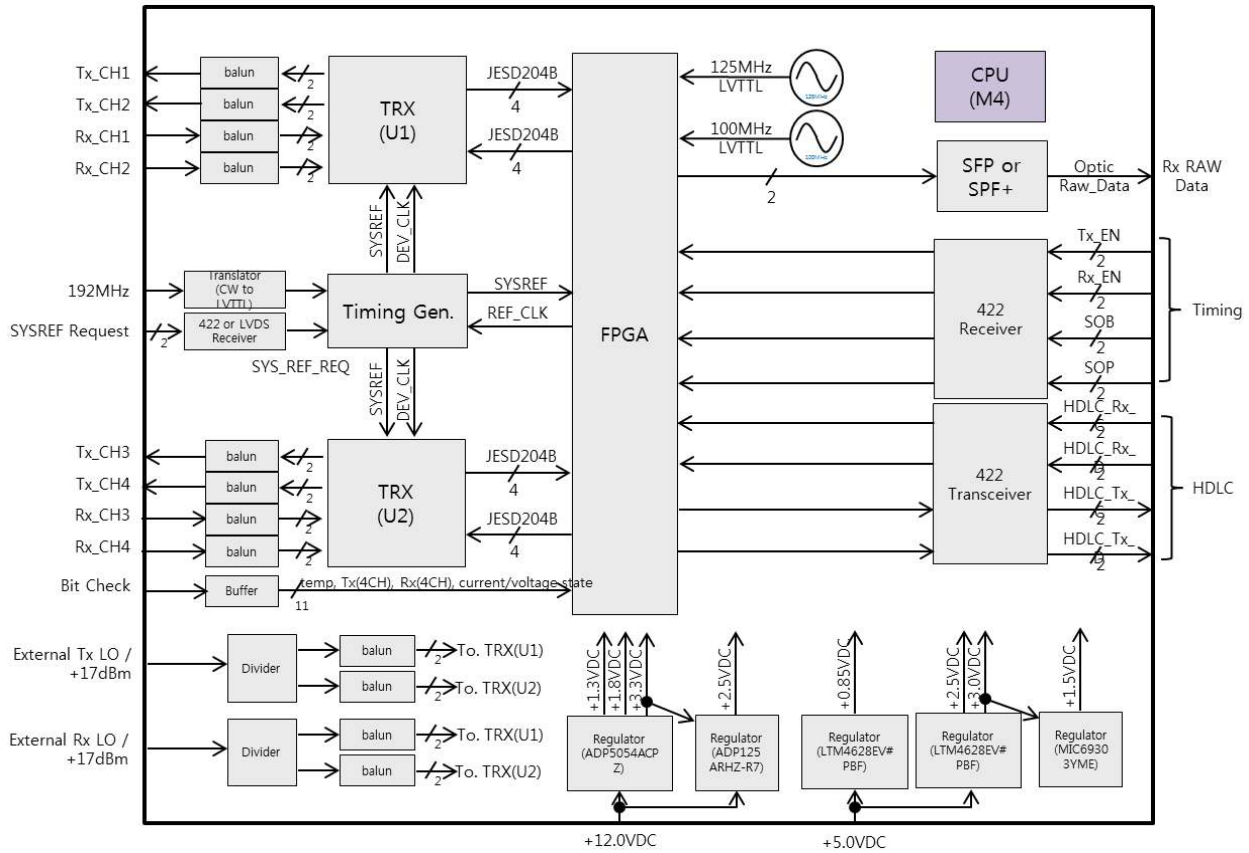


그림 7. 디지털변환회로 기능블록도
Fig. 7. The block diagram of the digital circuit.

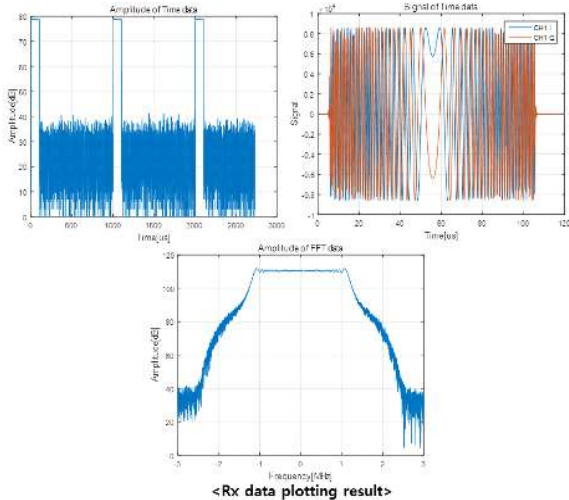


그림 8. 디지털변환회로 루프백 시험 결과
Fig. 8. The loopback test results of the digital circuit.

은 2.4 MHz 대역폭의 LFM 신호를 생성하였다. 수신하여 저장한 데이터를 시간축과 주파수축에서 확인하였으며, 대역 내에서 평탄한 수신신호의 결과를 얻을 수 있었다. 이를 통해 송수신경로의 정상동작 유무를 확인할 수 있었다.

2.3 전원공급기 설계 및 제작

전원공급기는 RF 회로 및 디지털변환회로에서 필요한 내부 전원을 외부로부터 입력받은 300 VDC 전원을 이용하여 변환 후 공급한다. 고출력증폭소자에 사용하는 46 VDC 전원과 그 외 타 회로에서 사용하는 12 VDC, 5 VDC 전원은 DCDC 컨버터를 분리하여 구성하였다. 고출력증폭소자의 소모 전력량이 가장 크므로 이로 인한 영향을 최소화하고, 고출력증폭소자에 의한 전원계통 고장이 발생

하더라도 디지털변환회로가 동작하여 항상 통신이 가능하도록 하였다. 그림 9는 전원공급기의 기능블록도를 나타내고 있다. 46 VDC 전원은 출력전류, 전압상태를 감시하고, 이상상태를 보고하도록 설계하였다.

그림10은 전원공급기를 제작한 형상이다. 전원공급기의 하단에 DCDC 컨버터를 배치하여 직접 디지털 송수신 모듈 하우징 바닥에 밀착될 수 있도록 구성하여 방열에 유리하도록 하였다. 또한 46 VDC 전원은 최대 듀티비에서 11 A 이하로 소모되므로, 소모 전류량이 많은 것을 감안하여 기관 상의 패턴 폭을 설계하였다.

표 2는 전원공급기의 시험 결과이다. 전원공급기를 직접 디지털 송수신모듈에 장착하고, 실제 전원을 소모하는 회로를 모두 조립한 후 전압과 전류 파형을 측정된 결과이다. 최대 듀티비에서 소모전류량은 최대 10.4 A로 측정되었으며, 46 VDC 전압은 펄스 송신 구간에서 46 VDC 이

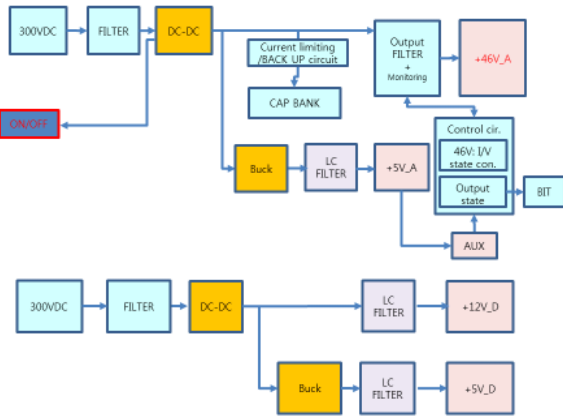


그림 9. 전원공급기 기능블록도
Fig. 9. The block diagram of the power circuit.



그림 10. 전원공급기 제작 형상
Fig. 10. The shape of the power circuit.

표 2. 전원공급기 측정 결과
Table 2. The test results of the power circuit.

Test item	Design goal	Measurement result
Inrush current	Below 10 A	1.3 A
Drain voltage	More than 46 V	46.1 V
Drain current (1 ch transmitting)	Below 2.5 A	2.3 A
Drain current (4 ch transmitting)	Below 11 A	10.4 A

※Measurement condition: Pulse width 500 us, duty 15 %

상을 유지함을 확인하였다. 또한, 초기 전원이 인가되었을 시 입력 300 VDC의 돌입전류를 측정된 결과, 출력단에 캐패시터가 모두 배치되어 있는 상태에서 최대 1.3 A로 제한됨을 확인하였다. 전류제한회로를 출력단에 배치하여 설계한 시험결과이며, 초기 동작 시 문제가 없음을 확인하였다.

III. 디지털 송수신모듈 측정

각 구성품을 제작하고 성능을 확인한 후 디지털 송수신모듈로 조립하여 제작하였으며, 시험을 통해 성능을 검증하였다.

3-1 디지털 송수신모듈 제작

디지털 송수신모듈은 크게 RF 회로, 디지털변환회로, 전원공급기로 구성되어 있다. RF 회로와 디지털변환회로 간의 RF 입출력은 동축케이블을 이용하여 연결하였다. 디지털 송수신모듈은 능동배열안테나 내에서 다수로 구성되어 있어 설치, 제거가 용이하여야 한다. 이를 위해 모듈한 면에 커넥터를 배치하고, 블라인드 메이트 타입으로 구성하여 제작하였다. 각 회로 간의 노이즈로 인한 간섭을 방지하기 위해 격벽과 내부 커버를 구성하여 격리하고자 하였다.

그림 11은 디지털 송수신모듈의 조립형상이다. 방열핀이 배치된 바닥면에는 발열량이 가장 큰 RF 회로, 전원회로부 등을 배치하였다. 디지털변환회로는 RF 회로의 커버가 설치된 상단에 배치하여 하나의 모듈 안에 구성될 수 있도록 하였다.



그림 11. 디지털 송수신모듈 전체 조립형상
Fig. 11. The complete inner shape of the TR-module.

3-2 디지털 송수신모듈 시험 및 측정

디지털 송수신모듈의 시험을 위해서 필요한 타이밍과 제어신호를 인가해주고 광수신신호를 저장하기 위한 시험치구를 구성하였다. 송신시험은 시험치구에서 출력되는 제어를 통해 송신 출력 신호를 계측기를 통해 측정한다. 수신시험은 출력된 송신신호를 감쇄기를 사용하여 수신경로가 포화되지 않는 레벨로 조정후 수신경로로 인가하여 시험한다. 수신시험데이터는 광데이터로 전송되는데, 이를 시험치구에서 저장한다.

그림 12는 디지털 송수신모듈을 시험하기 위한 시험구

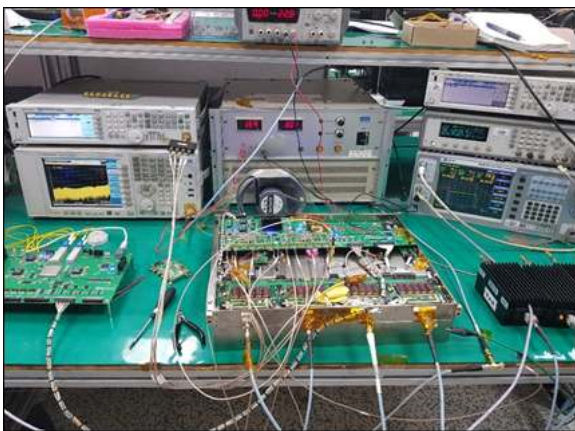


그림 12. 시험구성 및 측정 장면
Fig. 12. The test setting and measurement sight.

성을 나타내고 있다. 송신 시험 결과는 표 3, 그림 13과 같다. 각 송신출력의 크기는 1 dB 이내로 동등하므로 한 채널의 측정 결과 파형을 제시했다. 전 주파수 대역에서 56 dBm 이상 출력됨을 확인할 수 있다.

표 4는 송신위상을 변위하여 측정한 결과이다. 송신위상은 디지털변환회로 내부의 송신파형을 생성하는 디지털데이터 I, Q 신호에 산술적인 계산을 통해 위상을 변위한다. 식 (1)과 같이 I, Q로 표현되는 파형데이터에 식 (2)와 같이 변위하고자 하는 위상인 $e^{j\theta}$ 을 곱하면 디지털 회로 상에서 출력파형의 위상제어가 가능하다. FPGA에서는 이 기능을 로직으로 구현하여 입력되는 송신파형의 위상을 변경할 수 있도록 하였다. 위상 변위 제어명령을 8 bit 단위로 제어명령을 전달하게 구성하여 $360^\circ/2^8$ 인 1.4° 를 최소 위상변위 크기로 제어할 수 있다.

표 3. 송신출력레벨 측정결과

Table 3. The test results of the transmit output power.

TX output level	F _L (dBm)	F _C (dBm)	F _H (dBm)
CH1	56.4	56.7	56.6
CH2	56.6	56.7	56.2
CH3	56.1	56.5	56.6
CH4	56.2	56.7	56.5

※Measurement condition: Pulse width 100 us, duty 10 %.

※Design goal: More than 55.4 dBm.

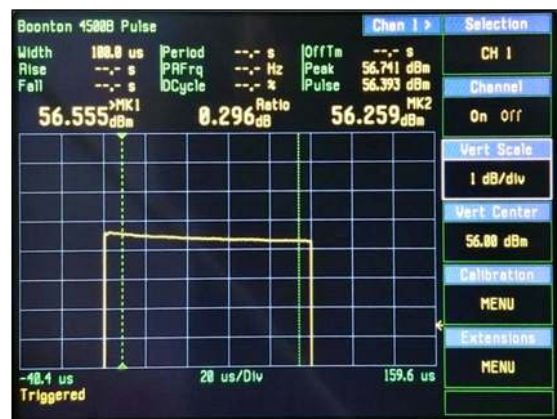


그림 13. CH1 중심주파수 송신출력 측정 파형

Fig. 13. The transmit output power measurement graph of TX CH1.

표 4. 송신위상변위 측정결과

Table 4. The test results of the transmit phase shift.

CH2 phase shifting	Measurement result	phase error
0°	0.009°	0.009°
1°	0.97°	0.03°
3°	2.98°	0.02°
10°	9.98°	0.02°
100°	99.97°	0.03°
359°	358.97°	0.03°

※Measurement condition: Pulse width 100 us, duty 10 %.

※Design goal: phase error - below 5.625°.

$$e^{jwt} = \cos(\omega t) + j \sin(\omega t) = I + jQ \quad (1)$$

$$e^{jwt} \cdot e^{j\theta} = e^{j(\omega t + \theta)} = \cos(\omega t + \theta) + j \sin(\omega t + \theta) \quad (2)$$

위상변위 소자를 사용하지 않기 때문에, 송신위상 변위의 오차는 1 bit 이내로 출력됨을 그림 14의 결과로부터 확인할 수 있다. 기존의 소자를 사용하는 경우 최대 10° 이상의 위상변위오차가 발생할 수 있는데, 이에 비해 각 소자마다 파형을 발행하는 디지털 송수신모듈은 위상변위 오차를 최소화 할 수 있는 구조이다.

그림 15는 100 us의 송신펄스를 루프백으로 수신한 결과이다. 파형은 2.4 MHz LFM(Linear Frequency Modulation)



그림 14. 100° 위상변위 측정 결과

Fig. 14. The measurement result of the transmit phase shift of 100°.

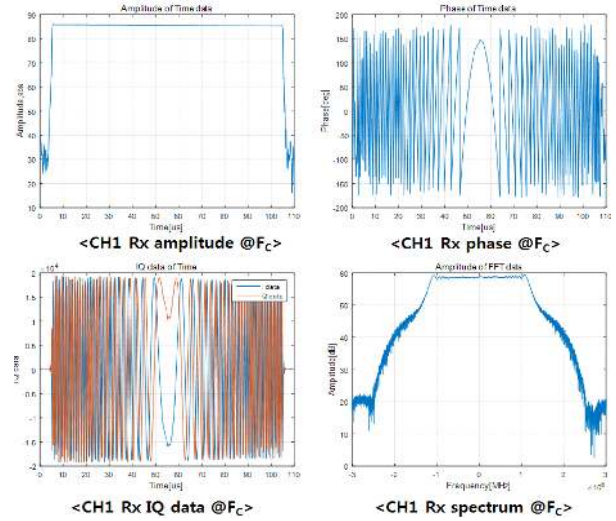


그림 15. 송수신 루프백 측정 파형 결과

Fig. 15. The transmit-receiving loopback test results of the digital TR-module.

으로 구성하여 최종 광데이터로 전송된 결과이다. 펄스 내의 크기 평탄도, 스펙트럼 특성을 확인할 수 있다. 표 5는 디지털 송수신모듈의 설계 대비 측정 결과를 정리한 것이다. 설계 시 목표했던 최종 출력 350 W 이상을 만족하였고, 수신성능을 만족하였으며, 각 개별 채널별로 디지털로 변환된 수신신호를 전송할 수 있는 구조를 검증하였다.

IV. 결 론

디지털 송수신모듈은 기존의 능동위상배열안테나용 TR 모듈과 구별되는 새로운 형태의 송수신모듈이다. 디지털 능동위상배열을 구현하기 위해서 꼭 필요한 구성품이므로, 이를 위한 모듈 구조를 설계하고 제작한 후 검증하는 것이 필요하다.

디지털 송수신모듈은 내부에 파형발생기능부터 고출력 증폭, 수신신호의 디지털변환 기능까지 모두 포함하는 독립적인 기능을 수행할 수 있는 송수신기이다. 그러므로 능동배열안테나 후면에 배치가 가능한 크기, 형상으로 집적할 수 있는 설계가 필요하다. 또한 수신경로의 최종 출력이 디지털화되므로 수신경로 설계가 이를 감안하여 이루어져야 한다. 기존 RF 회로와 다르게 이를 시험하는 방안도 고려하여야 한다.

표 5. 디지털 송수신모듈 측정 결과

Table 5. The test results of the L band digital T/R module.

	Test item	Design goal	Measurement result	Remarks
TX	1. Operation frequency	Fc-1 ~ Fc+1 GHz	Fc-1 ~ Fc+1 GHz	-
	2. TX output level	More than 350 W	More than 380W	-
	3. TX pulse flatness	Below 1 dB	Below 0.6 dB	Pulse width: 500 us
	4. Tx pulse rising/ falling time	Below 100 ns / 100 ns	Below 48 ns / 52 ns	From 10 % to 90 %
	5. duty	Below 10 %	Below 10 %	-
	6. TX waveform	PT, LFM	PT, LFM	-
	7. RMS phase error	Below 5.625°	Below 0.8°	-
	8. Efficiency	More than 30 %	More than 32.3 %	Input voltage: 300 V
RX	1. Noise figure	Below 2 dB	Below 1.9 dB	-
	2. RX gain	47±1 dB	46.4 ~ 47.8 dB	-

본 논문에서는 디지털형으로 구성된 TR 모듈을 처음으로 설계하고 제작하였으며, 시험결과를 제시하였다. 처음 설계한 목표를 달성하는데 필요한 구성품의 설계요소를 살펴보았다. 기존과 다르게 송수신회로 및 ADC, DAC가 집적화된 송수신단일칩을 이용하여 4개의 송수신채널을 하나의 모듈에 설계하고 구현하여 디지털레이다 설계의 예시가 될 수 있는 시험결과를 제시하였다는 것에 큰 의의가 있다고 할 수 있겠다.

디지털 송수신모듈을 동일하게 구성하고, 수량을 확장하면 디지털형배열안테나를 자유롭게 구성하는 것이 가능하다. 또한 수신데이터가 디지털데이터화되어 있으므로 출력되는 빔을 구성방식, 운용방식에 따라 자유롭게 구성할 수 있다. 이후 디지털형 능동위상배열안테나 시스템에 적용하면서 발생하는 개선점들을 도출하여 더 발전된 형태의 디지털 송수신모듈을 설계할 수 있을 것으로 판단한다.

References

[1] S. H. Talisa, K. W. O'Haver, T. M. Comberiate, M. D. Sharp, and O. F. Somerlock, "Benefits of digital phased array radars," in *Proceedings of the IEEE*, Mar. 2016, vol. 104, no. 3, pp. 530-543.

[2] H. Steyskal, "Digital beamforming: An emerging technology," in *MILCOM 88, 21st Century Military Communications - What's Possible?*. in *Conference Record. Military*

tary Communications Conference, San Diego, CA, Oct. 1988, vol. 2, pp. 399-403.

[3] D. Thompson, R. Kelley, M. Yeary, and J. Meier, "Direct digital synthesizer architecture in multichannel, dual-polarization weather radar transceiver modules," in *2011 IEEE RadarCon(RADAR)*, Kansas City, MO, May 2011, pp. 859-864.

[4] W. Chappell, C. Fulton, "Digital array radar panel development," in *2010 IEEE International Symposium on Phased Array Systems and Technology*, Waltham, MA, May 2010, pp. 50-60.

[5] D. Thomas, "Efficient, unified architecture for modern multi-channel digital radar processing," in *2016 IEEE Radar Conference(RadarConf)*, Philadelphia, PA, May 2016, pp. 1-6.

[6] Z. Duan, W. Lv, B. Wu, Q. Ma, and F. Lin, "An S-band CMOS transceiver front-end for digital array radars," in *2017 IEEE Asia Pacific Microwave Conference*, Kuala Lumpur, Nov. 2017, pp. 1219-1222.

[7] S. Mazumder, D. Upton, and S. Kunasani, "Element-level reconfigurable direct-sample receive module for digital radar," in *2013 IEEE International Symposium on Phased Array Systems and Technology*, Oct. 2013, pp. 456-459.

임 재 환 [LIG넥스원/수석연구원]



2006년 2월: 연세대학교 전기전자공학과 (공학석사)
2006년 2월~2008년 1월: 삼성전자 무선사업부
2008년 2월~현재: LIG넥스원 감시정찰연구소 수석연구원
[주 관심분야] 초고주파 능동 회로 및 송수신기 설계, 디지털레이다 시스템 등

김 관 성 [국방과학연구소/선임연구원]



2004년 2월: 한국과학기술원 전기/전자공학과 (공학석사)
2007년 2월~현재: 국방과학연구소 선임연구원
[주 관심분야] 레이더 시스템, 통제/신호처리

박 세 준 [LIG넥스원/ 선임연구원]



2013년 2월: 경북대학교 전자공학부 (공학사)
2013년 1월~현재: LIG넥스원 감시정찰연구소 선임연구원
[주 관심분야] RF Power Amplifier, 송수신모듈 회로설계, 디지털레이다 시스템 등

김 태 훈 [유텔/선임연구원]



2009년 2월: 인천대학교 전자공학과 (공학사)
2011년 2월: 인천대학교 전자공학과 (공학석사)
2011년 8월~현재: 유텔연구소 선임연구원
[주 관심분야] 초고주파 회로설계, 능동위상 배열 시스템

전 상 미 [LIG넥스원/수석연구원]



1999년 2월: 포항공과대학교 전자전기공학과 (공학사)
2006년 2월: 포항공과대학교 전자전기공학과 (공학박사)
2006년 5월~현재 : LIG넥스원 감시정찰연구소 수석연구원
[주 관심분야] 안테나 및 능동위상배열 레이다

김 재 민 [미래시스템/연구소장]



2004년 2월: 한밭대학교 전기공학과 (공학사)
2012년 2월: 한밭대학교 정보통신공학과 (공학석사)
2004년 8월~현재: (주)미래시스템 연구소장
[주 관심분야] 반도체송수신모듈, 능동 위상배열레이다

진 형 석 [LIG넥스원/수석연구원]



2000년 8월: 광운대학교 전파공학과 (공학석사)
2000년 8월~현재: LIG넥스원 감시정찰연구소 수석연구원
[주 관심분야] 초고주파 능동 회로 및 송수신기 설계, 디지털레이다 시스템 등