

## 개선된 전원 잡음 제거를 위한 전원 전압 감지용 위상 고정 루프의 설계

최혁환\* · 최영식

### Design of Phase Locked Loop with Supply Noise Detector for Improving Noise Reduction

Hyek-Hwan Choi\* · Young-Shig Choi

Department of Electronics Engineering, Pukyong National University, Busan 608-734, Korea

#### 요 약

이 논문에서는 기존의 위상고정루프에 전원 잡음 제거 회로를 추가한 위상고정 루프 회로를 제안한다. 제안한 구조는 주파수 전압 변환기를 변형한 전원 잡음 제거 회로를 사용하여 임의의 전원 잡음에 대해 보상하여 동작한다. 전원 잡음 제거 회로를 사용하여 전원 잡음에 의해 발생하는 지터의 크기를 1/3로 줄였다. 제안한 위상 고정 루프는 0.18um CMOS 공정을 사용하여 HSPICE 시뮬레이션을 통해 예측되는 결과를 검증하였다.

#### ABSTRACT

In this paper, a phase locked loop with suppressed power supply noise has been proposed. The added negative feedback loop of voltage controlled oscillator(VCO) and power noise detector suppresses the power noise induced jitter variation of VCO down to 1/3. The power noise detector is the modified circuit of frequency voltage converter. The proposed PLL has been designed based on a 1.8V 0.18um CMOS process and proved by HSPICE simulation.

**키워드** : 위상 고정 루프, 전원 잡음 제거 회로

**Key word** : PLL, Supply Noise Detector

접수일자 : 2014. 05. 30 심사완료일자 : 2014. 07. 01 게재확정일자 : 2014. 07. 15

\* **Corresponding Author** Hyek-Hwan Choi(E-mail: choihh@pknu.ac.kr, Tel: +82-51-629-6220)

Department of Electronic Engineering, Pukyong National University, Busan 608-734, Korea

**Open Access** <http://dx.doi.org/10.6109/jkiice.2014.18.9.2176>

print ISSN: 2234-4772 online ISSN: 2288-4165

©This is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0/>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.  
Copyright © The Korea Institute of Information and Communication Engineering.

## I. 서론

위상고정루프는 VLSI 설계에 중요한 역할을 한다. 고속의 클럭 신호에 의해 동작하는 디지털 칩에서 위상 고정루프는 주기가 일정한 클럭 신호를 생성하는 회로로 사용된다. 이 지터의 크기가 출력 신호의 정확도와 다른 주기를 가진 신호의 크기를 결정하기 때문에 흔들리지 않는 정확한 주기를 갖는 클럭 신호 (clock timing jitter)의 지터 크기는 중요하다. 오늘날의 미세 CMOS 공정에서는 전원전압의 크기는 전력소모를 줄이고 소자 및 회로의 신뢰성을 증가시키기 위하여 작아지고 있다. 이런 낮은 전원전압에서는 디지털 회로의 스위칭에 위한 잡음이 전압제어발진기(VCO)의 출력 신호에 다른 주파수 성분의 크기를 증가시켜 출력 신호의 정확도를 떨어뜨린다. 인버터 또는 차동 형태의 인버터를 사용한 링구조 VCO에서 조그마한 전원전압 변화는 지터 크기에 큰 영향을 준다[1, 2]. 전원전압 잡음은 링구조 VCO를 사용하는 위상고정루프가 디지털 칩에서 클럭 신호 생성기로 사용되는데 가장 큰 걸림돌이 된다[3]. 그러므로 링구조 VCO를 사용하는 위상고정루프가 디지털 칩에 집적화되기 위해서는 전압전압 변화에 둔감하게 반응하게 설계하여야 한다.

전원전압 잡음을 억제하기 위해 다양한 구조의 전원전압제어 기법이 사용되었다[4-6]. 이러한 구조에서는 전원전압은 연산증폭기와 구동 트랜지스터와 구성된 low-dropout 선형조절기로 통해 VCO로 전달된다. 그러므로 VCO 전원전압은 구동 트랜지스터의 VDS에 의해 VDD 보다 작은 값을 가지므로 VCO 동작 전압 범위가 좁아진다. 또한, low-dropout 선형조절기에 발생하는 극점으로 인하여 이 궤환 회로를 안정하게 위하여 보상회로가 필요하다. 논문 [7]에서는 잡음을 억제하기 위해서는 전력 소모가 많은 것을 피하기 위하여 조절기를 위상고정루프에서 분리하여 설계하였다. 이 구조에서는 조절기 궤환 회로와 위상고정루프 대역폭을 적절히 하여 전체 위상고정루프 잡음 특성을 좋게 하기 위해서는 큰 크기의 디커플링 커패시터가 필요하다. 디지털 위상고정루프에 사용하기 위해 PVT 변화에 둔감한 공급전압 잡음억제 조절기를 설계하였다[8]. SOI 공정을 이용하여 위상고정루프의 전원잡음의 크기를 줄인 구조도 발표되었다[9]. 이 구조는 SOI 공정의 deep trench 커패시터가 요구된다.

이 논문에서는 전원전압 잡음 감지 회로를 링구조 VCO에 연결하여 전원전압 잡음에 의한 지터 변화를 크게 줄였다. VCO의 전원전압 잡음을 억제하는 부궤환루프와 전체 위상고정루프 부궤환 루프로 구성되어 있다. 제안한 위상고정루프는 0.18 $\mu$ m CMOS 공정을 사용하여 HSPICE 시뮬레이션을 통해 결과를 검증하고자 한다.

## II. 제안한 위상 고정 루프

가장 기본적인 위상 고정 루프는 그림 1과 같이 위상 주파수 검출기, 전하 펌프, 루프 필터, 전압 제어 발진기, 주파수분주기로 이루어진다. 먼저 위상 주파수 검출기에서 전압제어 발진기 출력을 일정 분주비로 분주한 주파수분주기의 출력 주파수와 기준 주파수를 비교하여 위상 차이만큼 전압 펄스 형태로 신호를 출력한다. 전하 펌프에서는 펄스 폭 시간 동안 전류를 다음 단인 루프 필터에 공급한다. 루프 필터에서는 전류를 전압의 형태로 바꾸어 전압 제어 발진기의 전압 제어 입력으로 인가되고, 전압 제어 발진기는 그에 해당하는 주파수를 최종 출력 한다. 하지만 전원에 잡음이 발생하게 되면  $V_{LPF}$ 의 전압에 영향을 미치기 때문에 전압 제어 발진기의 출력 주파수에 지터가 더 발생하게 되고, 기본적인 구조의 위상 고정 루프에서는 이것을 보상하여 더 안정적인 주파수를 출력하는 것이 쉽지 않다.

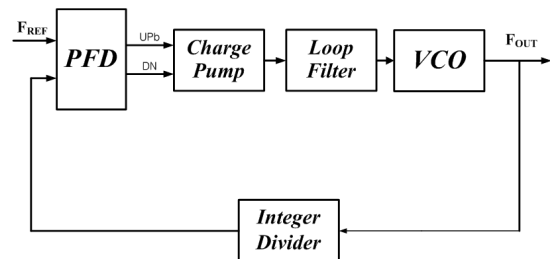


그림 1. 기본적인 위상 고정 루프 구조  
Fig. 1 Block diagram of a conventional PLL

본 논문에서 제안한 위상 고정 루프 회로는 전원에 잡음이 발생했을 경우, 잡음에 보상하는 회로를 부궤환 회로로 구성하여 잡음에 대해 보상하는 전원 전압 잡음 감지 회로(supply noise detector: SND) 부궤환 회로로 구성하여 잡음에 대해 보상하도록 동작하게 설계하

였다. 그림 2에서는 제안한 위상 고정 루프의 전체 블록 다이어그램을 나타내고 있다. 동작을 살펴보면, 만약 공급 전압이 잡음에 의해 하강하게 되면 전압 제어 발진기의 출력 주파수와 전원 잡음 제거 회로 내부의 전류는 낮아지고, VSND 전압도 낮아진다. VSND 전압이 낮아지면 전압 제어 발진기에서는 VSND 전압이 낮아진 만큼 다시 주파수를 상승하게 한다. 반대로, 공급 전압이 잡음에 의해 상승하게 된다면 전압 제어 발진기의 출력 주파수와 전원 잡음 제거 회로 내부 전류는 상승하게 되고 VSND 전압은 상승하게 된다. 그 후 전압 제어 발진기는 상승한 VSND 전압만큼 출력 주파수를 다시 낮추게 된다. 마지막으로, 공급 전압에 아무런 잡음이 인가되지 않고, 전압 제어 발진기의 내부 잡음에 의해 주파수가 상승 또는 하강한다면 위와 마찬가지로 동작으로 주파수의 흔들림을 억제한다.

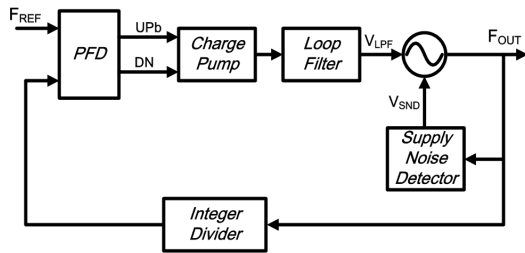


그림 2. 제안한 위상 고정 루프 블록 다이어그램  
Fig. 2 Block diagram of proposed phase locked loop

### III. 잡음 해석

그림 3은 제안한 위상 고정 루프의 내부 잡음과 부궤환 경로를 고려한 선형 모델이다.

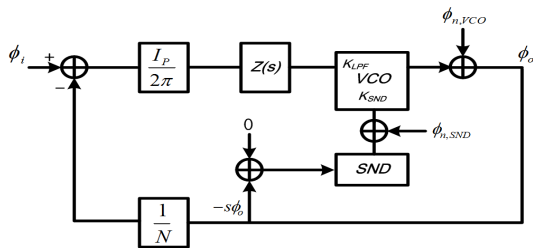


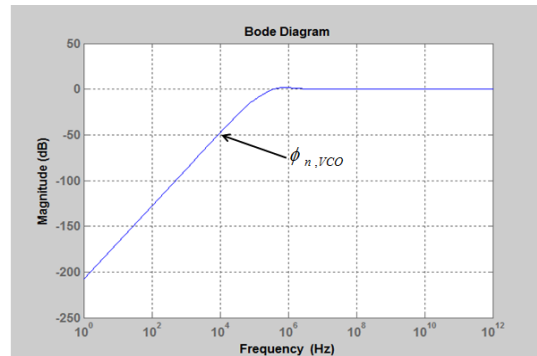
그림 3. 제안한 위상 고정 루프의 내부 잡음과 부궤환 경로를 고려한 선형 모델  
Fig. 3 Linear model of the PLL with two negative feedback loops and all the intrinsic noise sources

$$\phi_{n,SND} = \frac{\frac{K_{SND}}{s}}{1 + \frac{1}{N} \frac{I_P}{2\pi} \frac{1}{C_P} \frac{1}{s(s+p)} \frac{s+z}{s} \frac{K_{LPF}}{s} + N \frac{K}{C_{D2}} \frac{K_{SND}}{s}} \quad (1)$$

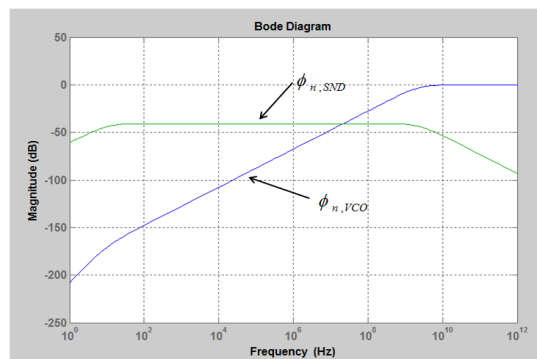
$$\phi_{n,VCO} = \frac{1}{1 + \frac{1}{N} \frac{I_P}{2\pi} \frac{1}{C_P} \frac{1}{s(s+p)} \frac{s+z}{s} \frac{K_{LPF}}{s} + N \frac{K}{C_{D2}} \frac{K_{SND}}{s}} \quad (2)$$

이 수식에서  $\Phi_{n,SND}$ 와  $\Phi_{n,VCO}$ 는 각각 전원 전압 잡음 감지 회로와 전원 전압의 잡음의 크기이다.

그림 4 (a)는 기존 구조에서 구한 전원 잡음 전달 함수이다. 그림 4 (b)는 식 (1)과 (2)를 이용하여 구한 전달 함수이다. 그림 4 (b)는 그림 (a)와 비교하여 전원 잡음이 크게 감소하는 것을 보여 주고 있다.



(a)



(b)

그림 4. 잡음 전달 특성 (a) 일반적인 위상 고정 루프 (b) 제안한 위상 고정 루프

Fig. 4 Noise transfer function, (a) conventional PLL (b) proposed PLL

전원 전압 잡음 감지 회로의 잡음인  $\Phi n_{SND}$ 는 절대 값이  $\Phi n_{VCO}$ 에 비해 아주 작으므로 지터 특성에 영향을 거의 주지 않는다.

#### IV. 회로 설계

전압 제어 발진기는 두 개의 입력을 받아 한 개의 출력이 발생하도록 설계하였다. 그림 5에는 사용된 전압 제어 발진기의 회로를 나타내었다. VCR은 전압 제어 저항으로써 전압에 따라 선형적으로 전류를 VCO Cell에 전달하는 역할을 한다.  $MN_3$ 와  $MN_3'$ 이 NMOS로 설계된 이유는  $V_{SND}$  전압이 감소하면  $Bias_2$  전압이 높아지게 되고,  $MN_3$ 와  $MN_3'$ 에 전류를 더 많이 흐르게 하여 전압 제어 발진기의 출력 주파수를 더 높이기 위해서이다.

루프 필터의 출력인  $V_{LPF}$ 와 전원 잡음 감지 회로의 출력인  $V_{SND}$ 를 입력으로 받아서 동작을 하는데,  $V_{LPF}$  전압에 대해서는 전압이 상승할수록 주파수가 더 높아지도록 설계하고,  $V_{SND}$  전압에 대해서는 하강할수록 주파수가 더 높아지게 설계하였다. 그림 6은 사용된 전압 제어 발진기의 전압 대 주파수 특성을 나타낸 것이다. 시뮬레이션 결과를 보면  $V_{LPF}$  전압이 점점 증가함에 따라 전압 제어 발진기의 주파수가 상승하고, 반대로  $V_{SND}$  전압에 대해서는 감소함에 따라 주파수가 상승한다.

그림 7에는 전원 잡음 감지 회로의 내부 구조를 나타내었다. 2개의 MOSFET과 2개의 스위치, 2개의 커패시터로 구성되어 있는데, 각각의 스위치는  $\phi_1$ 과  $\bar{\phi}_1$ 에 의해 제어 되는데,  $\phi_1$ 과  $\bar{\phi}_1$  신호는 전압 제어 발진기의 출력  $F_{OUT}$ 을 AND 게이트와 NOT 게이트를 이용하여 생성시킨다.  $\phi_1$ 과  $\bar{\phi}_1$  신호의 타이밍 다이어그램과 생성 회로는 그림 8과 같다.

전원 잡음 감지 회로에 쓰인  $C_{D1}$ 과  $C_{D2}$  커패시터의 관계는  $2C_{D1}=C_{D2}$  이다. 그리고  $V_{SND}$  전압이 전압 제어 발진기의 입력부에 인가되면서 전달특성에 문제가 생기지 않게 하기 위해  $C_{D2}$  커패시터의 최솟값을  $V_{SND}$  노드가 전압 제어 발진기 쪽을 바라보았을 때 커패시터 값의 10배로 정했다.  $V_{SND}$  노드에서 바라본 MOSFET 크기와 HSPICE 라이브러리에 있는 산화막 두께로 계산한 결과  $C_{D2}$ 의 최솟값은 65.32fF이 나왔다. 여기서는

$C_{D2}$ 를 1pF으로 해서 전압이 튀는 현상을 최대한 완화했다.

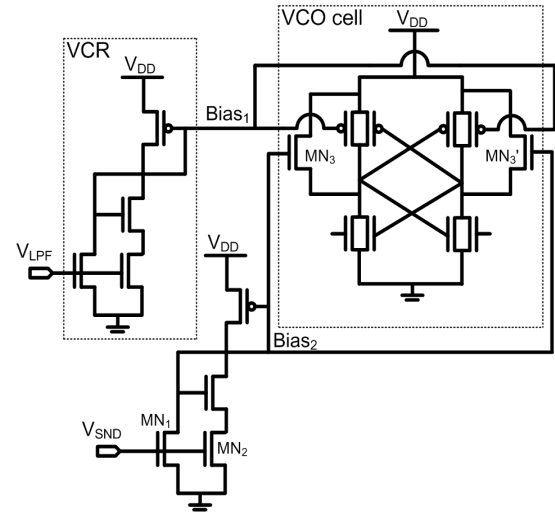


그림 5. 전압 제어 발진기의 구조  
Fig. 5 Structure of Voltage Controlled Oscillator

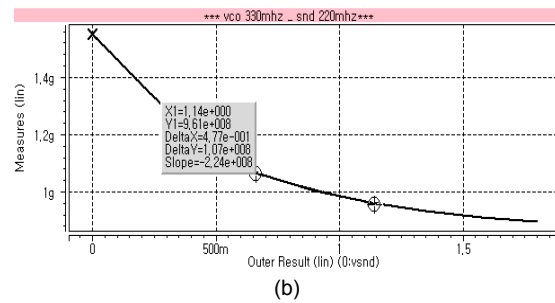
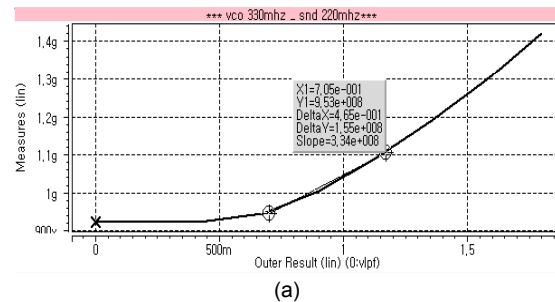


그림 6. 전압 제어 발진기의 이득. (a)  $V_{LPF}$  (b)  $V_{SND}$   
Fig. 6 Gain of Voltage controlled oscillator. for (a)  $V_{LPF}$  (b)  $V_{SND}$

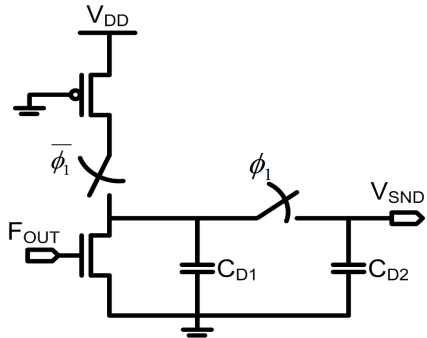


그림 7. 전원 잡음 감지 회로의 구조  
Fig. 7 Supply Noise Detector structure

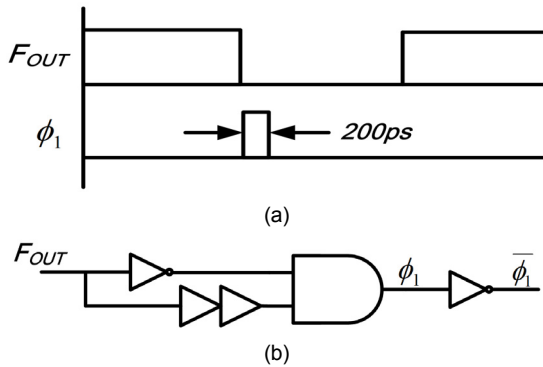


그림 8.  $\phi_1, \bar{\phi}_1$  (a) 타이밍 다이어그램과 (b) 생성기  
Fig. 8 (a) Timing diagram of  $\phi_1, \bar{\phi}_1$  (b)  $\phi_1, \bar{\phi}_1$  Signal generator

### V. 시뮬레이션

전원 잡음 감지 회로의 잡음에 대한 효과를 알아보기 위해 아래 표 1과 같이 공급 전압에 임의의 사인파를 잡음으로 인가하여 시뮬레이션을 수행하였다. 지터 감소를 좀 더 명확하게 알기 위해 전원 잡음 감지 회로가 있을 경우와 없을 경우로 나눠서 결과를 비교하였다. 추가로 그림 1과 같은 가장 기본적인 구조의 위상 고정 루프 같은 경우에는 지터가 상승 시간에는 4.92ps, 하강 시간에는 5.05ps로 나타났다. 상승과 하강 신호가 다른 지터 값을 가지는 이유는 그림 4의 VCO 내부 NMOSFET와 PMOSFET의 “on/off” 시간이 달라 발생 하는 것으로 추정된다.

표 1. 시뮬레이션 경우의 수  
Table. 1 Simulation case

| Case | V <sub>DD</sub> ,Hz | SND |
|------|---------------------|-----|
| 1    | 10MHz               | Off |
|      |                     | On  |
| 2    | 50MHz               | Off |
|      |                     | On  |

경우1의 전원 잡음 감지 회로 유무에 따른 지터 시뮬레이션 결과를 그림 9에 나타내었다. 먼저 전원에 인가된 사인파 형태의 잡음 때문에 지터의 모양이 일반적으로 나타나는 단일 형태가 아니고, 단일 형태의 지터가 여러 개로 나뉘어 그룹을 형성하고 있는 것을 알 수 있다. 그림 9(a)는 전원 잡음 감지 회로가 없는 경우를 나타낸 것인데, 단일 형태의 상승/하강 지터는 각각 7.10ps, 8.36ps로 나타나고, 그룹 형태의 상승/하강 지터는 204ps, 204ps로 나타난다.

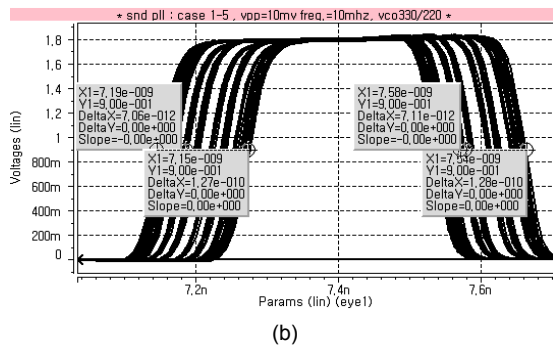
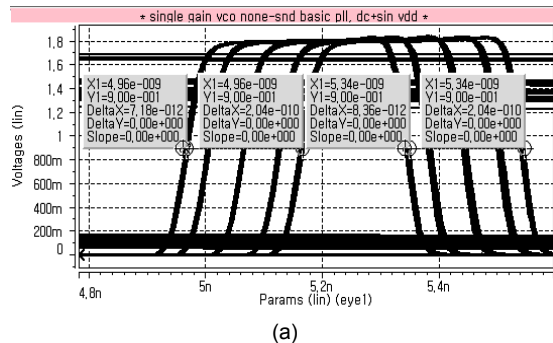


그림 9. 경우 1에 대한 지터 시뮬레이션. 전원 잡음 감지 회로가 (a) 있는 경우 (b) 없는 경우  
Fig. 9 Jitter simulation for Case 1. (a) without SND (b) with SND

그림 9(b)는 똑같은 조건에서 전원 잡음 감지 회로를 연결 했을 때를 나타낸 결과인데, 각각의 단일 형태의 상승/하강 지터가 7.06ps, 7.11ps로 나타나고, 그룹 형태의 상승/하강 지터는 127ps, 128ps로 전원 잡음 감지 회로가 없을 경우보다 더 작게 나타난 것을 알 수 있다.

마찬가지로 Case 2에는 앞선 경우보다 더 높은 주파수로 전원에 잡음을 인가하여 시뮬레이션 했는데, 그 결과는 그림 10과 같다. 이 경우, 단일 형태의 지터는 전원 잡음 감지 회로가 꺼져있을 경우보다 크게 나왔지만, 전체 그룹 형태의 지터를 측정 한 결과 1/3배로 줄어든 것을 확인 할 수 있다.

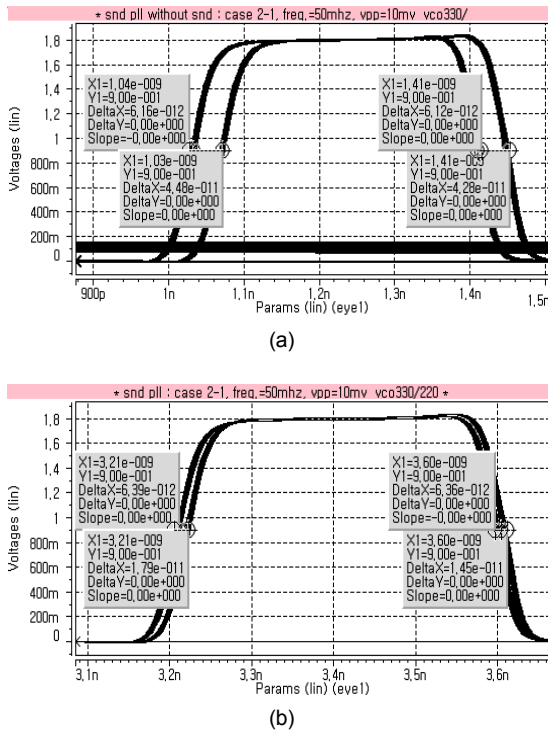


그림 10. 경우 2에 대한 지터 시뮬레이션. 전원 잡음 감지 회로가 (a) 있는 경우 (b) 없는 경우

Fig. 10 Fitter simulation for Case 2. (a) without SND (b) with SND

표 2는 경우의 수에 따른 시뮬레이션 결과를 정리해 놓은 것이다.

표 2. 시뮬레이션 결과표

Table. 2 Results of simulation

| Case | V <sub>DD</sub> Hz | Jitter            |                   |                   |                   |
|------|--------------------|-------------------|-------------------|-------------------|-------------------|
|      |                    | SND Off           |                   | SND On            |                   |
|      |                    | single            | group             | single            | group             |
| 1    | 10MHz              | 7.18ps/<br>8.36ps | 204ps/2<br>04ps   | 7.06ps/<br>7.11ps | 127ps/1<br>28ps   |
| 2    | 50MHz              | 6.16ps/<br>6.12ps | 44.8ps/<br>42.8ps | 6.36ps/<br>6.36ps | 17.9ps/<br>14.5ps |

## VI. 결론

본 논문에서 제안한 위상 고정 루프는 기본적인 구조에 전원 잡음 감지 회로를 부궤환으로 내부에 추가한 형태이다. 제안된 구조는 전력소모가 크고, 면적이 많이 요구되는 복잡한 기존구조와 다르게 간단하면서도 잡음제거 기능은 유사하다. 공급 전원에 잡음이 발생할 경우 전원 잡음 감지 회로는 잡음의 보상 형태로 출력을 발생시켜 전압 제어 발진기의 출력 주파수의 변동폭을 줄이도록 하였다. 잡음을 각각의 경우의 수로 시뮬레이션 한 결과 전압 제어 발진기의 지터 특성이 전원 잡음 감지 회로가 있을 경우 개선되는 것을 확인할 수 있다.

## 감사의 글

이 논문은 부경대학교 자율창의기술연구비(2014)에 의하여 연구되었음.

## REFERENCES

- [1] F. Herzel and B. Razavi, "A Study of Oscillator Jitter due to Supply and Substrate Noise", *IEEE Trans, Circuits Syst. II*, vol. 46, no. 1, pp. 56-62, Jan. 1999.
- [2] A. A. Abidi, "Phase Noise and Jitter in CMOS Ring Oscillators," *IEEE J. Solid-State Circuits*, vol. 41, no. 8, pp. 1803-1816, Aug. 2006.

- [3] V. von Kaenal, D. Aebischer, C. Piguet, and D. Dijkstra, "A 320MHz, 1.5 mW @ 1.35V CMOS PLL for Microprocessor Clock Generation" *IEEE J. Solid-State Circuits*, vol. 31, no. 11, pp. 1715-1722, Nov. 1996.
- [4] K. Chang, J. Wei, C. Huang, S. Li, K. Donnelly, M. Horowitz, and S. Sidiropoulos, "A 0.44-Gb/s CMOS Quad Transceiver Cell using on-chip Regulated Dual-Loop PLLs" *IEEE J. Solid-State Circuits*, vol. 38, no. 5, pp. 747-754, May 2003.
- [5] S. Sidiropoulos, D. Liu, J. Kim, G. Wei, and M. Horowitz, "Adaptive Bandwidth DLLs and PLLs using Regulated Supply CMOS Buffers" in *Symp. VLSI Circuits Dig.*, 2000, pp. 124-127.
- [6] E. Alon, J. Kim, S. Pamati, K. Chang, and M. Horowitz, "Replica Compensated Linear Regulators for Supply-Regulated Phase-Locked Loops" *IEEE J. Solid-State Circuits*, vol. 41, no. 2, pp. 413-424, Feb. 2006.
- [7] A. Arakali, S. Gondi, and P. K. Hanumolu "Low-Power Supply-Regulation Techniques for Ring Oscillators in Phase-Locked Loops using a Split-Tuned Architecture" *IEEE J. Solid-State Circuits*, vol. 44, no. 8, pp. 2169-2181, Aug. 2009.
- [8] A. Elshazly, R. Inti, W. Yin, B. Young, and P. K. Hanumolu "A 0.4-to-3 GHz Digital PLL with PVT Insensitive Supply Noise Cancellation using Deterministic background Calibration" *IEEE J. Solid-State Circuits*, vol. 46, no. 12, pp. 2759-2771, Dec. 2011.
- [9] B. Kim, W. Xu and Chris H. Kim "A Supply-Noise Sensitivity Tracking PLL in 32 nm SOI Featuring a Deep trench Capacitor Based Loop Filter" *IEEE J. Solid-State Circuits*, vol. 49, no. 4, pp. 1017-1026, Apr. 2014.



**최혁환(Hyek-Hwan Choi)**

1979년 : 경북대학교 전자공학과 공학사  
 1990년 : Arizona State University 전자공학과 공학석사  
 1993년 : Arizona State University 전자공학과 공학박사  
 1994년 ~ 현재 : 부경대학교 전자공학과 교수  
 ※ 관심분야 : RF 집적회로 설계, 아날로그 IC 설계



**최영식(Young-Shig Choi)**

1982년 경북대학교 전자공학과 공학사  
 1986년 Texas A&M University 전자공학과 공학석사  
 1993년 Arizona State University 전자공학과 공학박사  
 1987년 ~ 1999년 SK Hynix (구 현대전자)  
 1999년 ~ 2003년 동의대학교 전자공학과 교수  
 2003년 ~ 현재 부경대학교 전자공학과 교수  
 ※ 관심분야 : PLL, DLL, CDRC 설계