

VINICIUS MESQUITA DO NASCIMENTO

**ESTUDO DO PONTO INVARIANTE COM A TEMPERATURA (ZTC) EM  
SOI-FINFETS TENSIONADOS E RADIADOS**

Dissertação de mestrado apresentada à Escola  
Politécnica da Universidade de São Paulo  
como parte dos requisitos necessários para a  
obtenção do título de Mestre em Ciências.

São Paulo  
2017

VINICIUS MESQUITA DO NASCIMENTO

**ESTUDO DO PONTO INVARIANTE COM A TEMPERATURA (ZTC) EM  
SOI-FINFETS TENSIONADOS E RADIADOS**

Dissertação de mestrado apresentada à Escola Politécnica da Universidade de São Paulo como parte dos requisitos necessários para a obtenção do título de Mestre em Ciências.

Área de Concentração:

Engenharia Elétrica / Microeletrônica.

Orientador: Prof. Dr. João Antonio Martino

Coorientadora: Profa. Dra. Paula Ghedini Der Agopian

São Paulo  
2017

Este exemplar foi revisado e corrigido em relação à versão original, sob responsabilidade única do autor e com a anuência de seu orientador.

São Paulo, \_\_\_\_\_ de \_\_\_\_\_ de \_\_\_\_\_

Assinatura do autor: \_\_\_\_\_

Assinatura do orientador: \_\_\_\_\_

#### Catálogo-na-publicação

Nascimento, Vinicius Mesquita do

ESTUDO DO PONTO INVARIANTE COM A TEMPERATURA (ZTC) EM SOI-FINFETS TENSIONADOS E RADIADOS / V. M. Nascimento – versão corr. -- São Paulo, 2017.

98 p.

Dissertação (Mestrado) - Escola Politécnica da Universidade de São Paulo. Departamento de Engenharia de Sistemas Eletrônicos.

1.Transistores 2.Semicondutores 3.Silício 4.FinFET 5.SOI I.Universidade de São Paulo. Escola Politécnica. Departamento de Engenharia de Sistemas Eletrônicos II.t.

## AGRADECIMENTOS

Primeiramente à Deus, por permitir-me tal realização.

Ao Prof. Dr. João Antonio Martino, pelos conhecimentos passados e incentivo durante sua orientação para a realização deste projeto. Assim como à Profa. Dra. Paula Ghedini Der Agopian, pela experiência compartilhada e suporte para alcançar os resultados desejados.

Ao CNPq junto ao PPGEE, pelo auxílio financeiro fornecido para permanência exclusiva ao trabalho.

À minha mãe Renata, por ter empenhado sua vida em me educar e suportar minha carreira, acreditando nas minhas escolhas para a vida, junto ao meu padrasto Daniel. Também à minha irmã Johanne Célie, a quem tento ser exemplo.

À minha noiva, que acompanhou todo o período do meu mestrado me incentivando em todos os momentos.

Aos amigos que fiz durante o projeto, Luis, Sivieri, Rangel, Caio, Tatsuo, Christian, Katia, Luciano, Alberto e Ferrari, pelo compartilhamento de conhecimentos, experiências e incentivo à execução das tarefas.

E a todos do grupo SOI e vinculados ao mesmo, que contribuíram direta e indiretamente para a elaboração deste estudo.

Aquele que nunca desiste, com uma forte determinação para realizar o seu trabalho  
– mesmo cometendo falhas ou sendo ridicularizado pelos outros – certamente  
crescerá bastante.

Meishu-Sama

## RESUMO

Este trabalho foi realizado tendo como objetivo o estudo do ponto invariante com a temperatura (*ZTC – Zero Temperature Coefficient*) para transistores com estrutura SOI FinFET em relação aos efeitos de tensionamento e radiação, através da utilização de dados experimentais e de um modelo analítico. Foram analisados primeiramente os parâmetros básicos de tensão de limiar e transcondutância, nos quais está baseado todo o modelo e verificado a influência dos efeitos do tensionamento e da radiação nos mesmos, para analisar o comportamento da tensão de porta no ponto ZTC em dispositivos do tipo n. Foram utilizados dispositivos com três dimensões de largura de aleta (fin) diferentes, 20nm, 120nm e 370nm e comprimento de canal de 150nm e de forma comparativa em dispositivos de 900nm, em quatro lâminas diferentes, sem/com tensionamento e/ou sem/com radiação. A tensão de limiar sofre grande influência do tensionamento, enquanto a radiação tem menor efeito na tensão de limiar na faixa estudada, passando a ter maiores significâncias nos dispositivos tensionados com maior largura de aleta. A transcondutância também sofre maior influência do efeito de tensionamento, sendo neste parâmetro a alteração pelo efeito da radiação muito menor. Contudo estes dois parâmetros geram outros dois parâmetros essenciais para análise do ZTC, que são obtidos através das suas variações em relação a temperatura. A variação da tensão de limiar em relação à temperatura e a degradação da transcondutância também pela temperatura (ou fator  $\mu$ : degradação da mobilidade pela temperatura), influenciam diretamente na eventual variação do ponto de ZTC com a temperatura. Quando estas influências são pequenas ou atuam de forma a compensarem-se mutuamente, resultam em valores de ZTC mais constantes com a temperatura. A tensão de limiar influencia direta e proporcionalmente no valor da tensão de ZTC em amplitude, enquanto a degradação da mobilidade (transcondutância) atua mais na constância do ZTC com a temperatura. Com base nestes mesmos parâmetros e com ajustes necessários no modelo foram estudados dispositivos com as mesmas características físicas, porém, do tipo p, onde os resultados encontrados tiveram relação a característica de funcionamento deste outro tipo, ficando claro a inversão da significância dos efeitos quanto a variação da temperatura. O modelo simples e analítico utilizado para o estudo do ZTC foi validado para esta tecnologia, já que foi encontrado valores de erro entre valores experimentais e calculados com um máximo

de 13% incluindo toda a faixa de temperatura e a utilização dos efeitos de radiação e tensionamento, tendo mostrado valores discrepantes somente para alguns casos de largura da aleta maiores, que mostraram ter uma pequena condução pela interface canal/óxido enterrado antes da condução na primeira interface, não prevista no modelo.

Palavras chaves: FinFET, SOI, Ponto invariante com a temperatura, ZTC, influência do tensionamento, influência da radiação.

## ABSTRACT

This work was performed with the aim of the study of the invariant point with temperature (called ZTC – Zero temperature Coefficient) for transistors made with SOI FinFET structure in relation to the mechanical stress and irradiation effects, through of the use of experimental data and an analytical model. Were first analyzed the basics parameters as threshold voltage and transconductance, in which all the model is based and was verified the influence of the mechanical stress and irradiation effects on these parameters, for analyze the gate voltage's behavior on ZTC point in n type devices. Were used devices with three different width fin dimensions, 20nm 120nm and 370nm and channel length of 150nm and in a comparative way with 900nm length devices, in four different waffles, with/without mechanical stress and/or with/without irradiation. The threshold voltage suffers big influence from stress, while the irradiation has less effect on the threshold voltage in the studied band, becoming to have more significance on the stressed devices with larger fin width. The transconductance also suffers more influence of the stress effect, being on this parameter the variation caused by irradiation effect smaller. However, these two parameters generate others two essentials parameters for the ZTC analysis, they are obtained through of the previous parameters variation by the temperature. The threshold voltage variation by the temperature and the tranconductance degradation by the temperature (or c factor: mobility degradation by the temperature), influence directly on the eventual variation of the ZTC point by the temperature. When these influences are small or act by the way to compensate mutually, result at ZTC values more constant with the temperature. The threshold voltage influence direct proportionality on the ZTC voltage's value at amplitude, while the mobility (transconductance) degradation act more on ZTC stability with the temperature. Based in these same parameters and with necessaries adjusts on the model, were studied devices with the same physic characteristics, but of the p type, where the founded results had relation with the work characteristics of this other type, becoming clear the inversion of significance of the effects by the temperature variation. The simple and analytical model used for the ZTC study was validated for this technology, since it was found error values between experimental data and calculated data with a maximum of 13%, shown discrepant values only for some cases of larger fin widths, that shown to have a small conduction by the channel/buried oxide interface before of the first interface's conduction, not previewed in the model.



Key words: FinFET, SOI, zero temperature coefficient, ZTC, strain influence, radiation influence.

## LISTA DE FIGURAS

FIGURA 1.1 – EVOLUÇÃO ESTRUTURAL TECNOLÓGICA AO LONGO DO TEMPO.....	24
FIGURA 1.2 – PRIMEIRO FINFET SOI BRASILEIRO FABRICADO NA USP COM FEIXE DE ELÉTRONS EM 2012. ....	25
FIGURA 1.3 – ILUSTRAÇÃO DE DIFERENÇA DE TEMPERATURA EM UM CHIP. ....	27
FIGURA 2.1 – ILUSTRAÇÃO ESTRUTURAL DO TRANSISTOR SOI MOSFET PLANAR. ....	30
FIGURA 2.2 – ILUSTRAÇÃO DA ASSOCIAÇÃO DE CAPACITÂNCIAS NOS TRANSISTORES SOI. A) TRANSISTOR MOSFET CONVENCIONAL; B) TRANSISTOR SOI PD; C) TRANSISTOR SOI FD COM A SEGUNDA INTERFACE EM DEPLEÇÃO; D) TRANSISTOR SOI FD COM A SEGUNDA INTERFACE EM ACUMULAÇÃO.....	37
FIGURA 2.3 – ILUSTRAÇÃO ESTRUTURAL DO TRANSISTOR SOI FINFET. ....	38
FIGURA 2.4 – ILUSTRAÇÃO DO EFEITO DE TENSIONAMENTO MECÂNICO NA ESTRUTURA DO SILÍCIO. ....	40
FIGURA 3.1 – CURVA EXPERIMENTAL DE $I_D$ EM FUNÇÃO DE $V_G$ PARA AS TEMPERATURAS ESTUDADAS, PARA $W_{FIN} = 120\text{NM}$ E $L=150\text{NM}$ , ONDE (A) REGIÃO LINEAR E (B) REGIÃO DE SATURAÇÃO.....	46
FIGURA 3.2 – CURVA EXPERIMENTAL DE $GM$ EM FUNÇÃO DE $V_G$ PARA AS TEMPERATURAS ESTUDADAS, PARA $W_{FIN} = 120\text{NM}$ E $L=150\text{NM}$ ONDE A REGIÃO LINEAR E B REGIÃO DE SATURAÇÃO. ....	46
FIGURA 4.1 – CURVA EXPERIMENTAL DE $I_D$ EM FUNÇÃO DE $V_G$ EM $20^\circ\text{C}$ , PARA $W_{FIN} = 20\text{NM}$ E $L=150\text{NM}$ NA REGIÃO LINEAR. ....	55
FIGURA 4.2 – CURVA EXPERIMENTAL DE $dGM/dV_G$ EM FUNÇÃO DE $V_G$ EM $20^\circ\text{C}$ , PARA $W_{FIN} = 20\text{NM}$ E $L=150\text{NM}$ NA REGIÃO LINEAR. ....	55
FIGURA 4.3 – CURVA EXPERIMENTAL DE $GM$ EM FUNÇÃO DE $V_G$ EM $20^\circ\text{C}$ , PARA $W_{FIN}=20\text{NM}$ E $L=150\text{NM}$ NA REGIÃO LINEAR. ....	56
FIGURA 4.4 – CURVA EXPERIMENTAL DE $I_D$ EM FUNÇÃO DE $V_G$ EM $20^\circ\text{C}$ , PARA $W_{FIN} = 20\text{NM}$ E $L=150\text{NM}$ NA REGIÃO DE SATURAÇÃO. ....	57
FIGURA 4.5 – CURVA EXPERIMENTAL DE $GM$ EM FUNÇÃO DE $V_G$ EM $20^\circ\text{C}$ , PARA $W_{FIN} = 20\text{NM}$ E $L=150\text{NM}$ NA REGIÃO DE SATURAÇÃO. ....	58
FIGURA 4.6 – CURVA EXPERIMENTAL DE $V_{TH}$ EM FUNÇÃO DE $T$ , PARA $W_{FIN} = 20\text{NM}$ E $L=150\text{NM}$ NA REGIÃO LINEAR. ....	59

FIGURA 4.7 – CURVA EXPERIMENTAL E CALCULADA DO FATOR C EM FUNÇÃO DE T, PARA $W_{FIN} = 20\text{NM}$ E $L=150\text{NM}$ NA REGIÃO LINEAR. ....	60
FIGURA 5.1 – CURVA EXPERIMENTAL DE $V_{TH}$ EM FUNÇÃO DA TEMPERATURA, PARA DISPOSITIVOS nFINFET COM $W_{FIN}=20\text{NM}$ E $L=150\text{NM}$ NA REGIÃO LINEAR, PARA OS QUATRO TIPOS DE LÂMINA ANALISADOS. ....	62
FIGURA 5.2 – CURVA EXPERIMENTAL DE $V_{TH}$ EM FUNÇÃO DA TEMPERATURA, PARA DISPOSITIVOS nFINFET COM $W_{FIN}=20\text{NM}$ E $L=150\text{NM}$ NA REGIÃO DE SATURAÇÃO, PARA OS QUATRO TIPOS DE LÂMINA ANALISADOS. ....	63
FIGURA 5.3 – CURVA EXPERIMENTAL DE $V_{TH}$ EM FUNÇÃO DA TEMPERATURA NA REGIÃO LINEAR EM DISPOSITIVOS nFINFET COM $L=150\text{NM}$ PARA OS QUATRO TIPOS DE LÂMINA ANALISADOS, ONDE A) $W_{FIN}=120\text{NM}$ E B) $W_{FIN}=370\text{NM}$ . ....	64
FIGURA 5.4 – CURVA EXPERIMENTAL DE $V_{TH}$ EM FUNÇÃO DA TEMPERATURA, PARA DISPOSITIVOS nFINFET COM $W_{FIN}=20\text{NM}$ E $L=900\text{NM}$ NA REGIÃO LINEAR, PARA OS QUATRO TIPOS DE LÂMINA ANALISADOS. ....	66
FIGURA 5.5 – CURVA EXPERIMENTAL DE $V_{TH}$ EM FUNÇÃO DA TEMPERATURA, PARA DISPOSITIVOS nFINFET COM $W_{FIN}=370\text{NM}$ E $L=900\text{NM}$ NA REGIÃO LINEAR, PARA OS QUATRO TIPOS DE LÂMINA ANALISADOS. ....	67
FIGURA 5.6 – CURVA EXPERIMENTAL DE GM EM FUNÇÃO DA TEMPERATURA EM DISPOSITIVOS nFINFET COM $W_{FIN}=20\text{NM}$ E $L=150\text{NM}$ PARA OS QUATRO TIPOS DE LÂMINA ANALISADOS, ONDE A) REGIÃO LINEAR E B) REGIÃO DE SATURAÇÃO. ....	68
FIGURA 5.7 – CURVA EXPERIMENTAL DE GM EM FUNÇÃO DA TEMPERATURA NA REGIÃO LINEAR EM DISPOSITIVOS nFINFET COM $L=150\text{NM}$ PARA OS QUATRO TIPOS DE LÂMINA ANALISADOS, ONDE A) $W_{FIN}=120\text{NM}$ E B) $W_{FIN}=370\text{NM}$ . ....	69
FIGURA 5.8 – CURVA EXPERIMENTAL DE GM EM FUNÇÃO DA TEMPERATURA NA REGIÃO DE SATURAÇÃO PARA DISPOSITIVO nFINFET NOS QUATRO TIPOS DE LÂMINA ANALISADOS PARA $W_{FIN}=370\text{NM}$ . ....	70
FIGURA 5.9 – CURVAS EXPERIMENTAIS PARA O TRANSISTOR nFINFET DE $W_{FIN}=370\text{NM}$ E $L=150\text{NM}$ NA TEMPERATURA DE $20\text{ }^{\circ}\text{C}$ OPERANDO NA REGIÃO DE TRÍODO, A) $DGM \times DV_G$ ; B) $GM \times V_G$ . ....	71
FIGURA 5.10 – CURVA EXPERIMENTAL DE GM EM FUNÇÃO DA TEMPERATURA NA REGIÃO DE SATURAÇÃO PARA DISPOSITIVO nFINFET NOS QUATRO TIPOS DE LÂMINA ANALISADOS PARA $W_{FIN}=370\text{NM}$ . ....	72

FIGURA 5.11 – CURVA EXPERIMENTAL DO FATOR C EM FUNÇÃO DA TEMPERATURA EM DISPOSITIVOS NFINFET COM $L=150\text{NM}$ PARA OS TRÊS VALORES DE $W_{\text{FIN}}$ ANALISADOS, ONDE A) REGIÃO LINEAR E B) REGIÃO DE SATURAÇÃO. ....	73
FIGURA 5.12 – CURVA EXPERIMENTAL DO FATOR C EM FUNÇÃO DA TEMPERATURA NA REGIÃO LINEAR PARA OS QUATRO TIPOS DE LÂMINA ANALISADOS, ONDE A) $W_{\text{FIN}} = 20\text{NM}$ E B) $W_{\text{FIN}} = 370\text{NM}$ . ....	74
FIGURA 5.13 – CURVA EXPERIMENTAL DE $V_{\text{ZTC}}$ EM FUNÇÃO DA TEMPERATURA PARA DISPOSITIVOS NFINFET NA REGIÃO LINEAR PARA OS QUATRO TIPOS DE LÂMINA ANALISADOS, ONDE AS LINHAS QUE SEGUEM OS PONTOS SÃO OS VALORES DO MODELO. ....	75
FIGURA 5.14 – CURVA EXPERIMENTAL DE $V_{\text{TH}}$ EM FUNÇÃO DA TEMPERATURA, PARA DISPOSITIVOS PFINFET COM $W_{\text{FIN}}=20\text{NM}$ E $L=150\text{NM}$ NA REGIÃO LINEAR, PARA OS QUATRO TIPOS DE LÂMINA ANALISADOS. ....	78
FIGURA 5.15 – CURVA EXPERIMENTAL DE $V_{\text{TH}}$ EM FUNÇÃO DA TEMPERATURA, PARA DISPOSITIVOS PFINFET COM $W_{\text{FIN}}=20\text{NM}$ E $L=150\text{NM}$ NA REGIÃO DE SATURAÇÃO, PARA OS QUATRO TIPOS DE LÂMINA ANALISADOS. ....	79
FIGURA 5.16 – CURVA EXPERIMENTAL DE $V_{\text{TH}}$ EM FUNÇÃO DA TEMPERATURA NA REGIÃO LINEAR EM DISPOSITIVOS PFINFET COM $L=150\text{NM}$ PARA OS QUATRO TIPOS DE LÂMINA ANALISADOS, ONDE A) $W_{\text{FIN}}=120\text{NM}$ E B) $W_{\text{FIN}}=370\text{NM}$ . ....	80
FIGURA 5.17 – CURVA EXPERIMENTAL DE $V_{\text{TH}}$ EM FUNÇÃO DA TEMPERATURA, PARA DISPOSITIVOS PFINFET COM $W_{\text{FIN}}=20\text{NM}$ E $L=900\text{NM}$ NA REGIÃO LINEAR, PARA OS QUATRO TIPOS DE LÂMINA ANALISADOS. ....	81
FIGURA 5.18 – CURVA EXPERIMENTAL DE GM EM FUNÇÃO DA TEMPERATURA EM DISPOSITIVOS PFINFET COM $W_{\text{FIN}}=20\text{NM}$ E $L=150\text{NM}$ NA REGIÃO DE TRIODO PARA OS QUATRO TIPOS DE LÂMINA ANALISADOS. ....	82
FIGURA 5.19 – CURVA EXPERIMENTAL DE GM EM FUNÇÃO DA TEMPERATURA EM DISPOSITIVOS PFINFET COM $W_{\text{FIN}}=370\text{NM}$ E $L=150\text{NM}$ NA REGIÃO DE TRIODO PARA OS QUATRO TIPOS DE LÂMINA ANALISADOS. ....	83
FIGURA 5.20 – CURVA EXPERIMENTAL DE GM EM FUNÇÃO DA TEMPERATURA EM DISPOSITIVOS PFINFET COM $W_{\text{FIN}}=370\text{NM}$ E $L=150\text{NM}$ NA REGIÃO DE SATURAÇÃO PARA OS QUATRO TIPOS DE LÂMINA ANALISADOS. ....	84
FIGURA 5.21 – CURVA EXPERIMENTAL DO FATOR C EM FUNÇÃO DA TEMPERATURA NA REGIÃO LINEAR PARA OS QUATRO TIPOS DE LÂMINA ANALISADOS EM DISPOSITIVOS PFINFET DE $W_{\text{FIN}}=20\text{NM}$ E $L=150\text{NM}$ . ....	85

FIGURA 5.22 – CURVA EXPERIMENTAL DE  $V_{ZTC}$  EM FUNÇÃO DA TEMPERATURA PARA DISPOSITIVOS PFINFET DE  $W_{FIN}=120\text{NM}$  E  $L=150\text{NM}$  NA REGIÃO LINEAR PARA OS QUATRO TIPOS DE LÂMINA ANALISADOS, ONDE AS LINHAS QUE SEGUEM OS PONTOS SÃO OS VALORES DO MODELO.....86

## LISTA DE TABELAS

TABELA 5.1 – VALORES DE $V_{ZTC}$ EXPERIMENTAL E DO MODELO ANALÍTICO NA REGIÃO LINEAR PARA DISPOSITIVOS NFINFET $L=150\text{NM}$ , PARA AS QUATRO LÂMINAS ANALISADAS E AS TRÊS LARGURAS DE CANAL, ASSIM COMO SEUS RESPECTIVOS ERROS. ....	76
TABELA 5.2 – VALORES DE $V_{ZTC}$ EXPERIMENTAL E DO MODELO NA REGIÃO SATURAÇÃO, PARA DISPOSITIVOS NFINFET $L=150\text{NM}$ PARA AS QUATRO LÂMINAS ANALISADAS E AS TRÊS LARGURAS DE CANAL, ASSIM COMO SEUS RESPECTIVOS ERROS. ....	77
TABELA 5.3 – VALORES DE $V_{ZTC}$ EXPERIMENTAL E DO MODELO NA REGIÃO LINEAR PARA DISPOSITIVOS PFINFET $L=150\text{NM}$ , PARA AS QUATRO LÂMINAS ANALISADAS E AS TRÊS LARGURAS DE CANAL, ASSIM COMO SEUS RESPECTIVOS ERROS. ....	87
TABELA 5.4 – VALORES DE $V_{ZTC}$ EXPERIMENTAL E DO MODELO NA REGIÃO SATURAÇÃO, PARA DISPOSITIVOS PFINFET $L=150\text{NM}$ PARA AS QUATRO LÂMINAS ANALISADAS E AS TRÊS LARGURAS DE CANAL, ASSIM COMO SEUS RESPECTIVOS ERROS. ....	88

## LISTA DE SIGLAS E ABREVIATURAS

BOX	<i>Buried Oxide</i>
CESL	<i>Contact Etch Stop Layer</i>
CI	Circuitos Integrados.
CMOS	<i>Complementary Metal-Oxide-Semiconductor</i>
DIBL	<i>Drain Induced Barrier Lowering</i>
EOT	<i>Effective Oxide Thickness</i>
FD	<i>Fully Depleted</i>
FinFET	<i>Fin Field Effect Transistor</i>
Imec	<i>Interuniversity Microelectronics Centre</i>
MOS	<i>Metal-Oxide-Semiconductor</i>
MOSFET	<i>Metal-Oxide-Semiconductor Field-Effect Transistor</i>
MuGFET	<i>Multiple Gate Field Effect Transistor</i>
NFD	<i>Near Fully Depleted</i>
nMOS	<i>N channel Metal-Oxide-Semiconductor</i>
PD	<i>Partially Depleted</i>
pMOS	<i>P channel Metal-Oxide-Semiconductor</i>
SCE	<i>Short Effect Channel</i>
SEE	<i>Single Event Effects</i>
Si	Silício
SiO <sub>2</sub>	Dióxido de Silício.
SOI	<i>Silicon-on-Insulator</i>
sSOI	<i>strained Silicon-On-Insulator</i>
ZTC	Ponto Invariante com a Temperatura ( <i>Zero Temperature Coefficient</i> )

## LISTA DE SÍMBOLOS

$c$	Coeficiente de degradação da transcondutância
$C_{ox}$	Capacitância do óxido de porta [F/cm <sup>2</sup> ].
$C_{ox1}$	Capacitância do óxido de porta por unidade de área [F/cm <sup>2</sup> ].
$C_{ox2}$	Capacitância do óxido enterrado por unidade de área [F/cm <sup>2</sup> ].
$C_{Si}$	Capacitância da camada de silício por unidade de área [F/cm <sup>2</sup> ].
$g_m$	Transcondutância [S].
$g_{m_{max}}$	Valor máximo da transcondutância [S]
$\hbar$	Constante de Planck [4,136 x 10 <sup>-15</sup> eV.s]
$H_{Fin}$	Altura da aleta no transistor FinFET [nm]
$I_D$	Corrente de dreno [A].
$I_{DS}$	Corrente entre dreno e fonte [A].
$K$	Constante de Boltzmann [1,38066 x 10 <sup>-23</sup> J/K].
$L$	Comprimento do canal do transistor [μm].
$L_{Fin}$	Comprimento de canal no transistor FinFET [nm]
$n$	Fator de corpo.
$N_A$	Concentração de impurezas aceitadoras [cm <sup>-3</sup> ].
$N_D$	Concentração de impurezas doadoras [cm <sup>-3</sup> ].
$n_i$	Concentração intrínseca de portadores [cm <sup>-3</sup> ].
$P$	Espaçamento entre as aletas no FinFET [nm]
$q$	Carga do elétron [1,6 x 10 <sup>-19</sup> C].
$Q_{BOX}$	Densidade de carga fixa no óxido enterrado do transistor SOI [C/cm <sup>2</sup> ]
$Q_{depl}$	Carga de depleção total na camada de silício por unidade de área [C/cm <sup>2</sup> ].



$Q_{\text{depl}}$	Carga total de depleção do canal do transistor por unidade de área [C/cm <sup>2</sup> ]
$Q_{\text{inv}}$	Carga de inversão por unidade de área [C/cm <sup>2</sup> ].
$Q_{\text{inv1}}$	Densidade de carga de inversão na primeira interface do transistor SOI [C/cm <sup>2</sup> ]
$Q_{\text{ox}}$	Densidade de carga fixa no óxido [C/cm <sup>2</sup> ].
$Q_{\text{ox}}$	Densidade de carga fixa no óxido de porta do transistor MOS [C/cm <sup>2</sup> ]
$Q_{\text{ox1}}$	Densidade de carga fixa no óxido de porta [C/cm <sup>2</sup> ].
$Q_{\text{ox2}}$	Densidade de carga fixa no óxido enterrado [C/cm <sup>2</sup> ].
$Q_{\text{S2}}$	Carga de inversão na interface camada de silício/óxido enterrado por unidade de área [C/cm <sup>2</sup> ].
$Q_{\text{S2}}$	Densidade de carga na segunda interface do transistor SOI [C/cm <sup>2</sup> ]
$T$	Temperatura [K].
$t_{\text{box}}$	Espessura do óxido enterrado [nm].
$t_{\text{ox}}$	Espessura do óxido de porta [nm].
$t_{\text{si}}$	Espessura da camada de silício [nm].
$V_{\text{D}}$	Tensão aplicada ao dreno [V].
$V_{\text{DS}}$	Tensão aplicada entre dreno e fonte [V].
$V_{\text{FB}}$	Tensão de faixa plana [V].
$V_{\text{G}}$	Tensão aplicada à porta do transistor [V].
$V_{\text{GB}}$	Tensão aplicada ao substrato (ou porta de trás) do transistor [V].
$V_{\text{GB,acc2}}$	Tensão aplicada ao substrato do transistor SOI para a segunda interface acumulada [V]
$V_{\text{GS}}$	Tensão aplicada entre porta e fonte [V].
$V_{\text{S}}$	Tensão aplicada à fonte [V].
$V_{\text{T}}$	Tensão de limiar [V].

$V_{T1,acc2}$	Tensão de limiar da primeira interface do transistor FD SOI para a segunda interface acumulada [V]
$V_{T1,depl2}$	Tensão de limiar da primeira interface do transistor FD SOI para a segunda interface depletada [V]
$V_{T1,inv2}$	Tensão de limiar da primeira interface do transistor FD SOI para a segunda interface invertida [V]
$V_{TH}$	Tensão de limiar [V].
$V_{ZTC}$	Tensão do ponto de ZTC [V]
$W$	Largura do canal do transistor [nm].
$W_{eff}$	Largura efetiva do canal do transistor [nm].
$W_{Fin}$	Largura da aleta no transistor FinFET [nm]
$X_{dm\acute{a}x}$	Espessura da camada de depleção máxima [nm].
$\Phi_F$	Potencial de Fermi do semiconductor [V].
$\Phi_{MS}$	Diferença da função trabalho entre metal e Silício [V].
$\Phi_{MS1}$	Diferença da função trabalho entre metal de porta/camada de silício [V].
$\Phi_{MS2}$	Diferença da função trabalho entre camada de silício/substrato [V].
$\Phi_S$	Potencial da superfície na interface óxido de porta/camada de silício [V].
$\Phi_{S1}$	Potencial da superfície na interface óxido de porta/camada de silício [V].
$\Phi_{S2}$	Potencial da superfície na interface camada de silício/óxido enterrado [V].
$\Phi_{SUB}$	Queda de potencial no substrato [V].
$\epsilon_{OX}$	Permissividade do óxido de silício [ $3,45 \times 10^{-13}$ F/cm]
$\epsilon_{Si}$	Permissividade do silício [ $1,06 \times 10^{-12}$ F/cm]
$\mu$	Mobilidade [ $cm^2/V.s$ ]

$\theta$	Constante de variação entre porta dupla e porta tripla [adimensional]
$\frac{\Delta V_{TH}}{\Delta T}$	Varição da tensão de limiar com a variação da temperatura [V/K] ou [V/C°]

# SUMÁRIO

<b>RESUMO</b> .....	<b>6</b>
<b>ABSTRACT</b> .....	<b>8</b>
<b>LISTA DE FIGURAS</b> .....	<b>10</b>
<b>LISTA DE TABELAS</b> .....	<b>14</b>
<b>LISTA DE SIGLAS E ABREVIATURAS</b> .....	<b>15</b>
<b>LISTA DE SÍMBOLOS</b> .....	<b>16</b>
<b>SUMÁRIO</b> .....	<b>20</b>
<b>1 INTRODUÇÃO</b> .....	<b>23</b>
1.1 Histórico e motivação .....	23
1.2 Objetivo .....	28
1.3 Estrutura do trabalho .....	28
<b>2 CONCEITOS GERAIS</b> .....	<b>30</b>
2.1 Tecnologia SOI.....	30
2.1.1 Classificação dos Transistores SOI .....	31
2.1.1.1 SOI Parcialmente Depletado .....	32
2.1.1.2 SOI Totalmente Depletado .....	32
2.1.2 Parâmetros Elétricos.....	33
2.1.2.1 Tensão de Limiar .....	33
2.1.2.1.1 MOS Convencional.....	33
2.1.2.1.2 SOI MOSFET.....	34
2.1.2.2 Transcondutância .....	35
2.2 Transistores SOI FinFET .....	38
2.2.1 Parâmetros Elétricos.....	38
2.2.1.1 Tensão de Limiar .....	38
2.2.1.2 Transcondutância .....	39
2.3 Tensionamento Mecânico .....	40

2.3.1	Tensionamento Bidirecional.....	41
2.3.2	Tensionamento Unidirecional .....	41
2.4	Radiação .....	42
2.4.1	Efeitos de Evento Único.....	42
2.4.2	Efeitos de Dose Ionizante Total .....	43
2.4.3	Comparação entre SOI MOSFET e MOSFET convencional .....	44
<b>3</b>	<b>PONTO INVARIANTE COM A TEMPERATURA .....</b>	<b>45</b>
3.1	Conceito .....	45
3.2	Modelo.....	47
3.2.1	Região Linear .....	47
3.2.2	Região de Saturação .....	49
<b>4</b>	<b>MATERIAIS E MÉTODOS.....</b>	<b>53</b>
4.1	Dispositivos Estudados .....	53
4.2	Medidas experimentais.....	54
4.3	Extração de Parâmetros.....	54
4.3.1	Obtenção de parâmetros básicos .....	54
4.3.1.1	Região Linear .....	54
4.3.1.1.1	Tensão de Limiar .....	54
4.3.1.1.2	Transcondutância .....	56
4.3.1.2	Região de Saturação .....	56
4.3.1.2.1	Tensão de Limiar .....	56
4.3.1.2.2	Transcondutância .....	57
4.3.2	Obtenção de parâmetros variáveis com a temperatura .....	58
4.3.2.1	Variação da tensão de limiar com a temperatura .....	58
4.3.2.2	Fator de degradação da transcondutância (c) .....	59
<b>5</b>	<b>Resultados Experimentais .....</b>	<b>61</b>
5.1	Obtenção de dados .....	61

5.1.1	Medidas experimentais .....	61
5.2	Resultados Obtidos .....	61
5.2.1	Dispositivos nFinFET .....	62
5.2.1.1.1	Tensão de Limiar .....	62
5.2.1.1.2	Transcondutância .....	67
5.2.1.1.3	Fator de degradação da transcondutância (c) .....	72
5.2.1.1.4	Tensão de ZTC .....	74
5.2.2	Dispositivos pFinFET .....	78
5.2.2.1.1	Tensão de Limiar .....	78
5.2.2.1.2	Transcondutância .....	81
5.2.2.1.3	Fator de degradação da transcondutância (c) .....	84
5.2.2.1.4	Tensão de ZTC .....	85
<b>6</b>	<b>CONCLUSÕES DO TRABALHO .....</b>	<b>89</b>
6.1	Trabalhos Futuros .....	90
	<b>PUBLICAÇÕES GERADAS DURANTE O MESTRADO .....</b>	<b>91</b>
	<b>REFERÊNCIAS .....</b>	<b>92</b>

# 1 INTRODUÇÃO

## 1.1 Histórico e motivação

Desde a criação do primeiro circuito integrado em 1959 [1] e do primeiro transistor de composição Metal-Óxido-Semicondutor (MOSFET - *Metal-Oxide-Silicon Field Effect Transistor*) em 1960 [2], a eletrônica entrou em um ciclo evolutivo maior do que estava anteriormente.

Verificando a evolução sistemática destes dispositivos, Gordon Moore publicou em 1965 [3], o que viria a ser intitulada como Lei de Moore, uma tendência evolutiva desses dispositivos. Inicialmente a mesma tratava que a quantidade de dispositivos incorporados em um chip dobraria a cada 12 meses, porém, verificando as barreiras evolutivas, foi corrigida para 18 meses posteriormente. Mesmo com as dificuldades encontradas é possível verificar que a indústria eletrônica seguiu o que foi previsto por Moore.

Estas barreiras se deram principalmente pela redução das dimensões dos transistores, encontrando efeitos não considerados nos dispositivos maiores, que já eram amplamente estudados. A maior preocupação foi na presença dos efeitos no funcionamento dos dispositivos ocasionados pela redução do comprimento de canal, chamados efeitos de canal curto ou SCE (*Short Chanel Effects*). Isto fez com que obrigatoriamente fosse repensado as características físicas utilizadas na construção dos dispositivos MOSFETs para que evoluíssem não mais somente na dimensão, como havia sido feito com o avanço dos processos, porém em sua estrutura, de forma que continuasse o escalamento das dimensões.

Com essa premissa, desenvolveu-se a estrutura de silício sobre isolante [4;5;6;7], hoje amplamente conhecida como SOI (*Silicon on Insulator*), que possibilitou uma redução significativa dos efeitos que atrapalhavam o avanço do transistor MOS convencional, tendo sua primeira implementação industrial em 1998 pela empresa IBM (*International Business Machine*)[8].

Porém, somente esta evolução estrutural não possibilitou o escalamento previsto por Moore e esperado pela indústria, de forma que com o tempo foram

desenvolvidas novas tecnologias baseadas em novos materiais e estruturas. Na figura 1.1 é apresentada algumas destas tecnologias a partir do nó tecnológico de 130 nm.

Figura 1.1 – Evolução estrutural tecnológica ao longo do tempo.



Fonte: adaptado de Claeys, C. (2009)

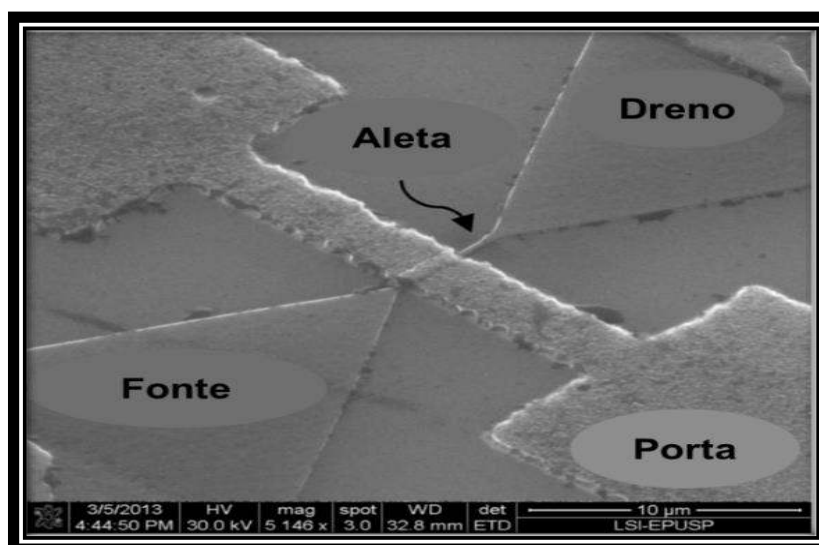
Uma destas alternativas estruturais foi a criação de estruturas tridimensionais com múltiplas portas como os MugFETs (*Multiple Gate Field Effect Transistors*), onde a porta do dispositivo apresenta uma maior área ao redor de seu canal, havendo um maior controle eletrostático da porta sobre o canal [9]. A partir disso, foi necessário a redução da dimensão da largura da aleta ( $W_{Fin}$ ) do dispositivo (FinFET) para se manter o controle da porta sobre o canal com a diminuição do comprimento de canal. Devido à sua baixa capacidade de corrente de dreno (em relação aos dispositivos anteriores) foram agrupados em paralelo a outros dispositivos (sendo considerados aletas (Fin)) de mesmas dimensões e características para se obter valores de corrente de dreno desejados. Há diversos dispositivos de múltiplas portas que são descritos de acordo com o número de portas (porta dupla, tripla, quadrupla).

Dentre as estruturas existentes no mercado atual, este trabalho se destinará ao estudo da estrutura SOI – FinFET de porta tripla, devido a sua ampla utilização comercial e acadêmica.



Desde 2006, a Escola Politécnica da Universidade de São Paulo (USP) vem estudando transistores avançados para futuros nós tecnológicos. Inicialmente dedicando-se ao estudo, caracterização elétrica e modelagem de transistores FinFET fabricados no centro de pesquisas imec na Bélgica [10]. Em seguida, concentrou esforços em pesquisas com o objetivo de fabricar dispositivos FinFETs como prova de conceito. Em 2008 foi submetido e aprovado um projeto temático da FAPESP (Processo 2008/05792-4) intitulado “Projeto, Fabricação e Caracterização de Transistores FinFETs”, reunindo pesquisadores da Escola Politécnica da Universidade de São Paulo (USP), Universidade Estadual de Campinas (UNICAMP) e do Centro Universitário da FEI, sob a coordenação geral do Prof. Dr. João Antonio Martino. Como um dos resultados deste projeto, foi apresentado o primeiro FinFET da América Latina em um Workshop em Salamanca, Espanha, em 12 de dezembro de 2012 [11]. A primeira divulgação na imprensa sobre este trabalho foi feita em 13 de dezembro de 2012 [12]. A figura 1.2 mostra uma foto obtida através de um microscópio eletrônico do primeiro FinFET fabricado na USP utilizando feixe de elétrons. Este dispositivo apresenta de 50 a 100 nm de largura de aleta ( $W_{Fin}$ ), 100 nm de altura de aleta ( $H_{Fin}$ ), 200 nm de óxido enterrado ( $t_{box}$ ), 4,5 nm de óxido de porta ( $t_{ox}$ ) e 1  $\mu\text{m}$  de comprimento de canal ( $L$ ). Detalhes técnicos do projeto e caracterização elétrica do FinFET com feixe de elétrons para definir o dispositivo podem ser consultados nas referências [13;14].

Figura 1.2 – Primeiro FinFET SOI brasileiro fabricado na USP com feixe de elétrons em 2012.



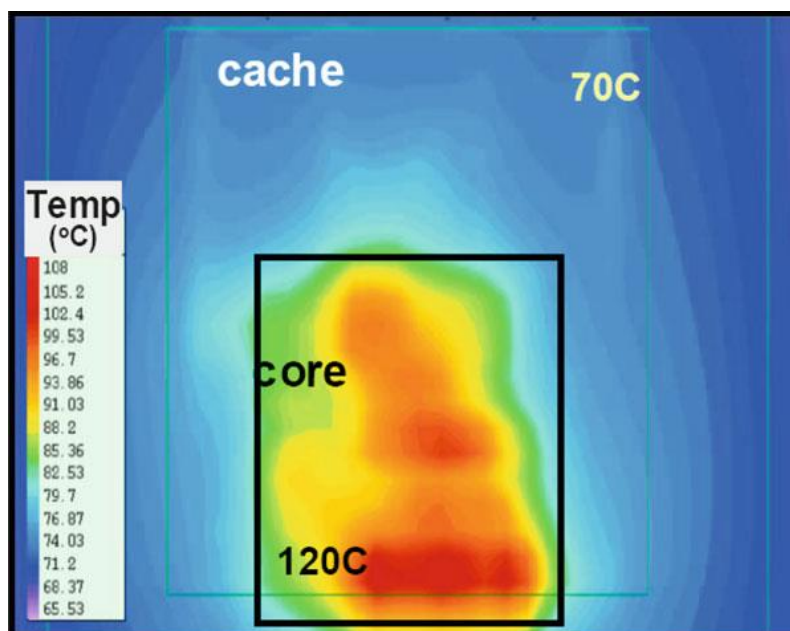
Neste mesmo projeto temático, outra metodologia de fabricação de FinFET foi desenvolvida pela UNICAMP, utilizando-se neste caso o feixe de íons (FIB) para definição da aleta de silício [15].

Embora ambos os dispositivos fabricados no Brasil tenham um perfil mais acadêmico, os pesquisadores brasileiros mostraram que, além da capacidade de fabricação de dispositivos avançados, está investindo em estudos de dispositivos de alta tecnologia mundial. Quando o projeto foi iniciado em 2008, não havia nenhuma tecnologia comercial com este tipo de transistor. Em 2011, a Intel apresentou pela primeira vez uma tecnologia de fabricação comercial utilizando dispositivo não planar (FinFET, também conhecido por transistor 3D), mostrando que a proposta do projeto temático tinha um alvo correto. Além da formação de recursos humanos em alta tecnologia, o conhecimento deste tipo de transistor é fundamental também para os projetistas de circuitos integrados, já que a tecnologia se tornou comercial para aplicações avançadas.

A ideia de polarizar os dispositivos em um ponto constante com a temperatura em corrente de dreno e tensão de porta, já vem sendo estudada desde pouco antes a década de 1990 [16] e teve dificuldade de se estabelecer inicialmente, devido às altas tensões de operação dos transistores, que não justificavam a utilização de uma polarização tão baixa, próxima à tensão de limiar. Porém, a redução das dimensões dos dispositivos, trouxe consigo a redução das tensões de operação do mesmo, viabilizando a polarização nas proximidades do ponto de ZTC (*Zero Temperature Coefficient*).

Este ponto invariante com a temperatura (ZTC) é relevante pois cada vez mais os seguimentos que motivam a evolução da microeletrônica (militar, espacial e médico) trabalham com amplas faixas de temperatura, e necessitam assegurar o mesmo funcionamento eficiente dos equipamentos nas diversas temperaturas em que atuam, além do mais o próprio circuito no qual os dispositivos estão inseridos geram um aumento e diferenciação da temperatura como pode ser visto na figura 1.3, onde há diferenciação de temperatura em regiões de um mesmo chip. Logo, um ponto que tem suas características de funcionamento com pouca ou nenhuma variação em relação à temperatura, auxilia no acoplamento do circuito como um todo e também na qualidade de operação entregue pelo sistema.

Figura 1.3 – Ilustração de diferença de temperatura em um chip.



Fonte: SATO et al. (2005) [17].

Em circuitos analógicos, com o intuito de manter suas características, é mais utilizado no ponto ZTC em relação a corrente de dreno, porém pode ser utilizado o ponto ZTC em relação à transcondutância, onde para circuitos como amplificadores, depende deste parâmetro para manter-se o ganho.

Porém os seguimentos que lideram a evolução da microeletrônica são afetados ou devem estar preparados para enfrentar ambientes desfavoráveis, com grande variação de temperatura [18;19] e a presença de radiação. Esta segunda, sendo um grande problema à estabilidade dos dispositivos, devido à sua influência em alteração das características físicas do dispositivo.

Os dispositivos SOI já são utilizados nestes seguimentos, tais como militar e aeroespacial, com o intuito de reduzir os efeitos sofridos pela radiação ionizante presente nos locais de sua operação. Sendo desta forma, a invariância em relação aos efeitos da radiação um fator sempre importante de ser estudado.

## 1.2 Objetivo

Este trabalho teve como objetivo analisar o comportamento da tensão do ponto invariante com a temperatura (ZTC) em dispositivos SOI-FinFET de porta tripla, dos tipos P e N, sob efeito de tensionamento e radiação. As análises foram feitas com o auxílio de medidas experimentais e modelo analítico [20].

Para isso, foram feitas as análises da tensão de limiar e da transcondutância para dispositivos com e sem tensionamento (uniaxial e biaxial) e com e sem radiação de prótons.

Foi utilizado o modelo melhorado de obtenção de  $V_{ZTC}$  [21] a fim de se verificar sua adequação ao caso de utilização de tensionamento e radiação nos dispositivos SOI FinFETs.

## 1.3 Estrutura do trabalho

O trabalho está apresentado em sete capítulos, cujas descrições estão apresentadas abaixo:

Capítulo 1 – INTRODUÇÃO: Capítulo destinado a apresentar a evolução histórica e tecnológica dos transistores, e a Lei de Moore, a qual previa esta evolução. Junto ao mesmo, são apresentados a motivação e o objetivo do trabalho, assim como sua estrutura.

Capítulo 2 – CONCEITOS GERAIS: Neste capítulo são apresentadas as características da tecnologia SOI relevantes ao estudo, suas vantagens e parâmetros elétricos. O dispositivo SOI-FinFET é apresentado e também os efeitos estudados no mesmo.

Capítulo 3 – PONTO INVARIANTE COM A TEMPERATURA: Neste capítulo é apresentado o que é o ponto invariante com a temperatura, a vantagem de seu uso e os modelos para cálculo do mesmo para as regiões de operação linear e saturação.

Capítulo 4 – MATERIAIS E MÉTODOS: Neste capítulo são apresentadas as características físicas dos dispositivos analisados, os equipamentos utilizados para

medidas, as condições sob as quais foram obtidos os valores experimentais e o modo de extração dos parâmetros utilizados.

Capítulo 5 – RESULTADOS EXPERIMENTAIS: Neste capítulo são analisados os dados experimentais dos dispositivos operando na região linear e na região de saturação, sob influência das diversas temperaturas. Os valores obtidos são aplicados ao modelo e comparados ao valor de ZTC gráfico.

Capítulo 6 – CONCLUSÕES DO TRABALHO: Neste último capítulo, são apresentadas as conclusões obtidas com o desenvolvimento do trabalho.

Na sequência, são apresentadas as publicações geradas e as referências bibliográficas do estudo.

## 2 CONCEITOS GERAIS

Neste capítulo são apresentados os principais conceitos e parâmetros necessários para a realização do estudo, estrutura e efeitos contidos nos dispositivos estudados.

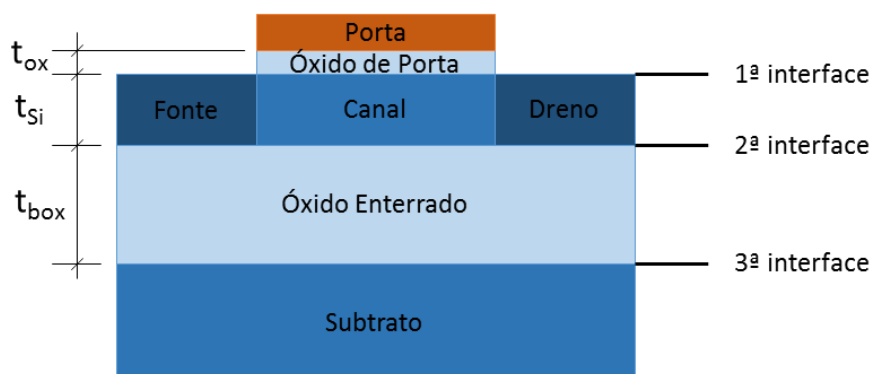
### 2.1 Tecnologia SOI

A tecnologia SOI utiliza lâminas de Silício sobre Isolante (SOI – Silicon on Insulator), onde são construídos os transistores SOI MOSFET (Fig 2.1).

Em comparação com a tecnologia MOS convencional, apresenta vantagens, com a finalidade de solucionar os problemas encontrados na tecnologia anterior para continuação da escalabilidade, iniciando pela maior facilidade nas etapas do processo de fabricação devido a isolação dos dispositivos auxiliada pelo óxido enterrado; aumento na densidade de integração devido a menores intervenções estruturais para isolação; eliminação do efeito tiristor parasitário encontrado na estrutura CMOS devido a presença das cavidades [22;23]; maior transcondutância, redução do efeito de canal curto e também melhor inclinação de sublimiar.

Contudo, algumas desvantagens estão presentes também nesta tecnologia, como o efeito transistor parasitário [24]; a elevação abrupta de corrente [25]; efeito de auto aquecimento (*self-heating*) [26]; e também o alto valor associado à fabricação da lâmina SOI.

Figura 2.1 – Ilustração estrutural do transistor SOI MOSFET planar.



Fonte: Autor

A Fig. 2.1 apresenta a estrutura e parâmetros de um transistor SOI, onde  $t_{ox}$  é a espessura do óxido de porta,  $t_{Si}$  a espessura da camada de silício e  $t_{box}$  é a espessura da camada de óxido enterrado; e 1ª interface é a interface entre óxido de porta e o canal, 2ª interface é a interface entre canal e óxido enterrado e 3ª interface é a interface entre o óxido enterrado e o substrato.

### 2.1.1 Classificação dos Transistores SOI

Os transistores SOI são classificados conforme seu modo de operação e este depende da sua espessura do filme de silício ( $t_{Si}$ ) e da profundidade máxima de depleção ( $x_{dmax}$ ), que depende da variação da temperatura ( $T$ ) e da concentração de dopantes na região do canal ( $N_A$ ). Conforme equação 2.1 [27].

$$x_{dmax} = \sqrt{\frac{4 \cdot \epsilon_{Si} \cdot \phi_F}{q \cdot N_A}}, \text{ onde } \phi_F = \frac{K \cdot T}{q} \cdot \ln\left(\frac{N_A}{n_i}\right) \quad (2.1)$$

Onde:

$\epsilon_{Si}$  é a permissividade do silício

$\phi_F$  é o potencial de Fermi

$q$  é a carga elementar do elétron

$N_A$  é a concentração de dopantes do tipo aceitadores na região do canal

$n_i$  a concentração intrínseca de portadores

$K$  é a constante de Boltzmann

$T$  a temperatura em Kelvin.

Com isso os transistores SOI podem ser classificados como SOI parcialmente depletado (Partially Depleted SOI) e SOI totalmente depletado (Fully Depleted SOI).

### 2.1.1.1 SOI Parcialmente Depletado

Esta classificação ocorre quando se tem um dispositivo com a espessura da camada de silício, maior que duas vezes a profundidade máxima de depleção ( $t_{Si} > 2X_{dmáx}$ ). Desta forma, a camada de depleção proveniente da primeira interface não interage com a de depleção proveniente da segunda interface, existindo assim uma região neutra que, quando flutuante, poderá acarretar efeitos indesejados no dispositivo, tais como: o efeito de elevação abrupta da corrente (efeito *kink*) e o efeito do transistor bipolar parasitário [28]. Devido a não interação entre as camadas de depleção, o comportamento do transistor SOI parcialmente depletado se assemelha muito ao transistor MOSFET convencional, principalmente quando o canal é aterrado.

### 2.1.1.2 SOI Totalmente Depletado

Neste dispositivo, a espessura da camada de silício é menor do que a profundidade máxima de depleção da primeira interface ( $t_{Si} < X_{dmáx}$ ), de forma que depende somente da inversão da primeira interface para que o dispositivo esteja com seu canal totalmente depletado, sendo afetada pela polarização da segunda interface, podendo estar na região de acumulação, depleção ou inversão [29;30;31;32], sendo a região de inversão da segunda interface, uma forma de operação não desejada, pela falta de controle pela tensão aplicada à porta.

Este é o modo de operação mais utilizado, uma vez que apresenta as melhores características elétricas, como: menor influência de efeito de canal curto; maior transcondutância; inclinações de sublimar próximas ao limite teórico de 60 mV/déc; e a eliminação do efeito *kink* [33;34].



## 2.1.2 Parâmetros Elétricos

### 2.1.2.1 Tensão de Limiar

#### 2.1.2.1.1 MOS Convencional

A tensão de limiar ( $V_T$ ) é dada como a tensão aplicada à porta que induz a formação de uma camada de inversão com os portadores minoritários na interface com o óxido de porta no canal do transistor de forma a permitir a passagem da corrente entre fonte e dreno. Para transistores planares, esta condição ocorre quando o potencial de superfície atinge o valor próximo a duas vezes o potencial de Fermi ( $\phi_S = 2\phi_F$ ), podendo ser descrita na equação (2.2) para um transistor nMOSFET (substrato do tipo p) [35].

$$V_T = V_{FB} + 2 \cdot \phi_F - \frac{Q_{\text{depl,MOS}}}{C_{OX}} \quad (2.2)$$

Sendo,  $V_{FB}$  a tensão de faixa plana (eq. 2.3),  $\phi_F$  o potencial de Fermi (eq. 2.1),  $Q_{\text{depl,MOS}}$  a densidade de carga de depleção (eq. 2.4) no canal e  $C_{OX}$  a capacitância do óxido de porta por unidade de área do mesmo (eq. 2.5). Descritas nas equações (2.3) (2.4) e (2.5) respectivamente.

$$V_{FB} = \phi_{MS} - \frac{Q_{OX}}{C_{OX}} \quad (2.3)$$

$$Q_{\text{depl,MOS}} = -q \cdot N_A \cdot x_{d\text{max}} \quad (2.4)$$

$$C_{OX} = \frac{\epsilon_{OX}}{t_{OX}} \quad (2.5)$$

Onde,  $\phi_{MS}$  é a diferença da função trabalho entre o metal de porta e o semiconductor,  $Q_{OX}$  é a densidade de cargas fixas no óxido,  $\epsilon_{OX}$  a permissividade do óxido e  $t_{OX}$  a espessura do mesmo.

### 2.1.2.1.2 SOI MOSFET

Como em um transistor PD SOI não existe a interação entre as camadas de depleção da primeira e segunda interface, suas características se assemelham ao MOSFET convencional. A forma de cálculo de tensão de limiar pode ser feita através da equação (2.2).

Porém o transistor FD SOI, devido a interação entre as camadas de depleção, é necessário considerar a polarização da segunda interface, como mostrado nas equações (2.6) e (2.7) que seguem o modelo [36].

$$V_{GS} = \phi_{MS1} - \frac{Q_{OX}}{C_{OX}} + \left(1 + \frac{C_{Si}}{C_{OX}}\right) \cdot \phi_{S1} - \frac{C_{Si}}{C_{OX}} \cdot \phi_{S2} - \frac{\frac{1}{2}Q_{depl,SOI} + Q_{inv1}}{C_{OX}} \quad (2.6)$$

$$V_{GB} = \phi_{MS2} - \frac{Q_{BOX}}{C_{BOX}} + \left(1 + \frac{C_{Si}}{C_{BOX}}\right) \cdot \phi_{S2} - \frac{C_{Si}}{C_{BOX}} \cdot \phi_{S1} - \frac{\frac{1}{2}Q_{depl,SOI} + Q_{S2}}{C_{BOX}} \quad (2.7)$$

Este modelo despreza a queda de potencial no substrato.

Onde,  $\phi_{MS1}$  e  $\phi_{MS2}$  são as diferenças das funções trabalhos entre metal de porta e o canal e entre o substrato e o canal, respectivamente;  $C_{BOX}$  é a capacitância por unidade de área do óxido enterrado e  $C_{Si}$  é a capacitância do filme de silício por unidade de área;  $Q_{inv1}$  é a densidade de carga na inversão na primeira interface;  $Q_{S2}$  a densidade de carga na segunda interface e  $Q_{depl,SOI}$  é a densidade de carga na camada de silício do transistor para um totalmente depletado, descrita pela equação (2.8).

$$Q_{depl,SOI} = -q \cdot N_A \cdot t_{Si} \quad (2.8)$$

A tensão de limiar da primeira interface ( $V_{TH1}$ ) é descrita através da análise das equações 2.6 e 2.7 em relação as condições de operação conforme polarização da segunda interface ou substrato ( $V_{GB}$ ). Sendo três polarizações distintas, acumulação, inversão e depleção.

Com isso, leva-se em consideração os potenciais de superfície e as cargas de inversão e interface para as duas interfaces do canal.

Com a segunda interface em modo acumulação sabe-se que  $\phi_{S1}=2\phi_F$ ,  $\phi_{S2}=0$  e  $Q_{inv1}=0$ , logo, substituindo estes valores na equação 2.6, temos:

$$V_{T1,acc2} = \phi_{MS1} - \frac{Q_{OX}}{C_{OX}} + \left(1 + \frac{C_{Si}}{C_{OX}}\right) \cdot 2\phi_F - \frac{\frac{1}{2}Q_{depl,SOI}}{C_{OX}} \quad (2.9)$$

Utilizando a mesma análise para a segunda interface em inversão, sabendo que  $\phi_{S1}=2\phi_F$ ,  $\phi_{S2}=2\phi_F$  e  $Q_{inv1}\approx 0$  e substituindo na equação (2.6) temos a equação (2.10).

$$V_{T1,inv2} = \phi_{MS1} - \frac{Q_{OX}}{C_{OX}} + 2\phi_F - \frac{\frac{1}{2}Q_{depl,SOI}}{C_{OX}} \quad (2.10)$$

Para esta análise para a segunda interface na região de depleção sabemos que  $\phi_{S1}=2\phi_F$ ,  $0 < \phi_{S2} < 2\phi_F$  e  $Q_{inv1}=0$ , porém agora haverá influência da segunda interface no canal. Substituindo estes valores agora em 2.6, temos:

$$V_{T1,depl2} = V_{T1,acc2} - \frac{C_{Si} \cdot C_{BOX}}{C_{OX} \cdot (C_{Si} + C_{BOX})} \cdot (V_{GB} - V_{GB,acc2}) \quad (2.11)$$

Para qual  $V_{GB,acc2}$  deverá ser calculado com as características da segunda interface em acumulação ( $\phi_{S1}=2\phi_F$ ,  $\phi_{S2}=0$  e  $Q_{S2}=0$ ) na equação 2.7.

$$V_{GB,acc2} = \phi_{MS2} - \frac{Q_{BOX}}{C_{BOX}} - \frac{C_{Si}}{C_{BOX}} \cdot 2\phi_F - \frac{\frac{1}{2}Q_{depl,SOI}}{C_{BOX}} \quad (2.12)$$

### 2.1.2.2 Transcondutância

A transcondutância é o parâmetro que expressa o controle das cargas do canal através da tensão de porta e pode ser definida pela equação (2.13).

$$gm = \frac{dI_{DS}}{dV_{GS}} \quad (2.13)$$

Através da resolução da equação (2.13) em conjunto com a utilização da equação da corrente de dreno na região de saturação do dispositivo (2.14) é possível encontrar a equação da transcondutância em saturação conforme equação (2.15).

$$I_{Dsat} = \frac{\mu_N \cdot C_{OX}}{2(1 + \alpha)} \cdot \frac{W}{L} (V_{GS} - V_T)^2 \quad (2.14)$$

$$gm_{sat} = \frac{\mu_N \cdot C_{OX}}{(1 + \alpha)} \cdot \frac{W}{L} (V_{GS} - V_T) \quad (2.15)$$

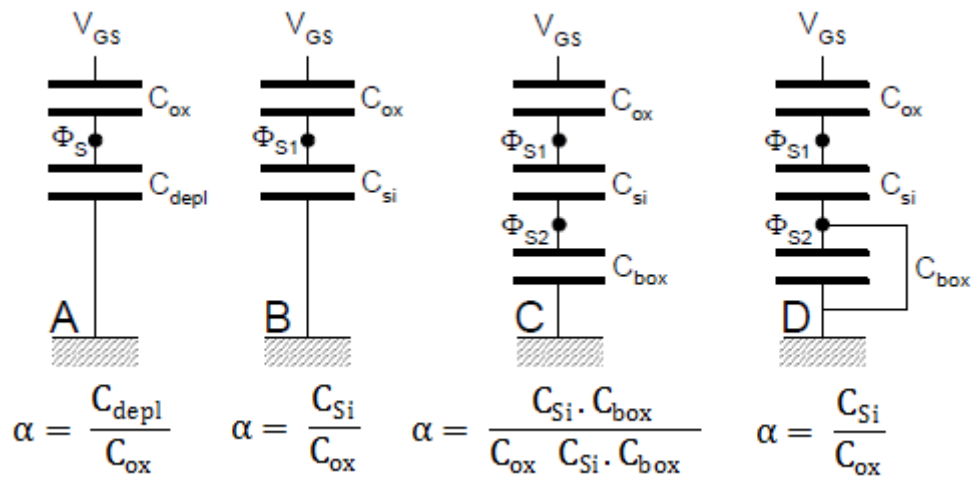
Onde  $\mu_N$  é a mobilidade dos portadores e  $\alpha$  é a associação de capacitâncias do transistor, como é descrito a seguir.

Conhecido como modelo de Lim & Fossum, este relaciona a associação das capacitâncias do canal do transistor entre a porta e o substrato.

Para SOI PD, como a segunda interface não interage com a primeira o valor de  $\alpha$  é dado por,  $\alpha = \frac{C_{Si}}{C_{Ox}}$ . Semelhante ao MOSFET convencional, que só tem interação da primeira interface  $\alpha = \frac{C_{depl}}{C_{Ox}}$ .

O FD SOI, depende da forma de operação em que se encontra a segunda interface. Para a mesma em depleção, há influência da capacitância do óxido enterrado de forma que a mesma seja associada em série, como,  $\alpha = \frac{C_{Si} \cdot C_{box}}{C_{Ox}(C_{Si} + C_{box})}$ . Porém com a segunda interface operando em acumulação, faz com que seja anulada a interação da capacitância do óxido enterrado, voltando o valor de  $\alpha$  a ser  $\alpha = \frac{C_{Si}}{C_{Ox}}$ .

Figura 2.2 – Ilustração da associação de capacitâncias nos transistores SOI. A) Transistor MOSFET convencional; B) Transistor SOI PD; C) Transistor SOI FD com a segunda interface em depleção; D) Transistor SOI FD com a segunda interface em acumulação.



Fonte: Adaptado de [33].

Desta equação (2.15) é possível se observar a proporção da transcondutância com a mobilidade, que será utilizada posteriormente neste trabalho.

Este equacionamento utilizado na região de tríodo, obtém-se através da equação da corrente nesta região (2.16) e chegando a equação de transcondutância (2.17).

$$I_{D\text{tríodo}} = \frac{\mu_N \cdot C_{OX} \cdot W}{L} \left( (V_{GS} - V_T) \cdot V_{DS} - \frac{(1 + \alpha)V_{DS}^2}{2} \right) \quad (2.16)$$

$$g_{m\text{tríodo}} = \frac{\mu_N \cdot C_{OX} \cdot W}{L} \cdot V_{DS} \quad (2.17)$$

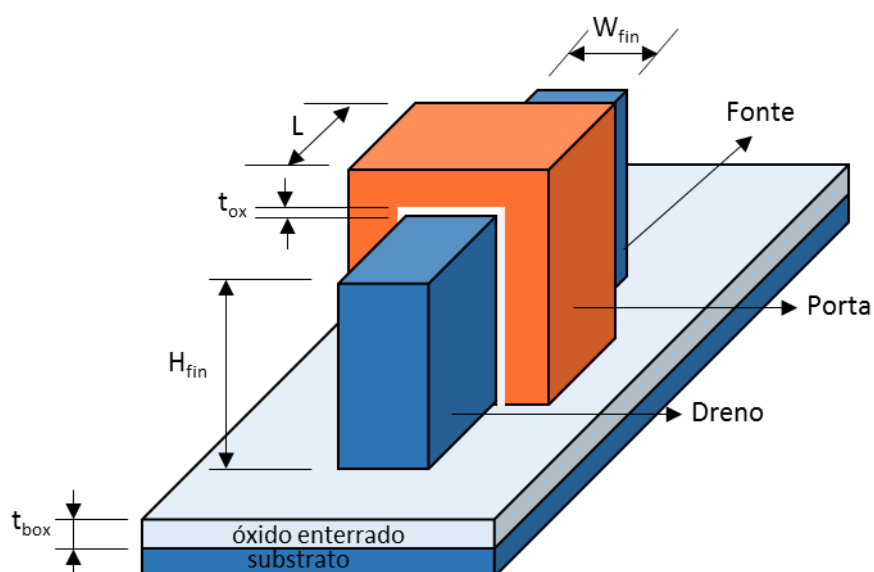
É comumente utilizado o valor de  $g_m$  máximo utilizando para isso a mobilidade livre da influência de campos verticais provenientes da porta, sendo o valor da mobilidade para esta situação ( $\mu_0$ ).

## 2.2 Transistores SOI FinFET

Com o avanço da tecnologia foi necessário melhorar o acoplamento eletrostático entre porta e canal para minimizar os efeitos de canal curto, através dos transistores de múltiplas portas (MuGFETs), também conhecido como FinFET de porta tripla ou transistor 3D.

Uma exemplificação do mesmo, segue na figura 2.3

Figura 2.3 – Ilustração estrutural do transistor SOI FinFET.



Fonte: Autor

### 2.2.1 Parâmetros Elétricos

#### 2.2.1.1 Tensão de Limiar

Devido às múltiplas portas, a tensão de limiar se difere da tensão de limiar de um SOI MOSFET planar, devido a inversão poder ocorrer primeiramente em alguma parte do canal e não no canal por inteiro, desta forma a condução podendo ocorrer até mesmo em inversão fraca ( $\phi_s < 2\phi_F$ ) [37]. Podendo então ser expressa pela equação 2.18 [38].

$$V_{T_{\text{MuGFET}}} = \phi_{\text{MS}} + \frac{KT}{q} \ln \left( \frac{2C_{\text{OX}}KT}{q^2 n_i t_{\text{Si}}} \right) + \frac{\pi^2 \hbar^2}{2q m_r t_{\text{Si}}^2} \quad (2.18)$$

Para dimensões de  $t_{\text{Si}}$  maiores

que 20 nm o efeito quântico pode ser desprezado, que é o último termo da equação (2.18).

### 2.2.1.2 Transcondutância

Como explicado no item 2.1.1.2, a transcondutância é um parâmetro totalmente dependente da corrente de dreno que para o caso de transistores de múltiplas portas se torna dependente não da relação da largura pelo comprimento de canal, porém da relação da largura ( $W_{\text{Fin}}$ ) da aleta ( $Fin$ ) em conjunto com sua altura ( $H_{\text{Fin}}$ ).

Como se objetiva ter aletas mais altas e mais finas para um melhor acoplamento eletrostático [39], o  $W_{\text{eff}}$  (largura efetiva de canal) pode ser aproximada pela soma do perímetro da porta em torno do canal.

$$W_{\text{eff}} = W_{\text{Fin}} + 2 \cdot H_{\text{Fin}} \quad (2.19)$$

Devido à redução da largura da aleta, tem-se uma redução considerável da capacidade de corrente fornecida pelo dispositivo. Desta forma é necessário a utilização de múltiplos dispositivos agrupados em paralelo, os quais devem manter uma distância de passo que não interfira no funcionamento um do outro.

Devido ao processo de fabricação, a mobilidade que influencia diretamente na corrente é diferente para o topo e para as laterais devido à orientação cristalográfica do silício [40] nas laterais e no topo.

A corrente para estes dispositivos pode ser calculada através da equação 2.20.

$$I_{\text{DFinFET}} = I_{\text{DPlanar}} \frac{\theta \cdot \mu_{\text{topo}} \cdot W + 2 \cdot \mu_{\text{lateral}} \cdot H_{\text{Fin}}}{\mu_{\text{topo}} \cdot P} \quad (2.20)$$

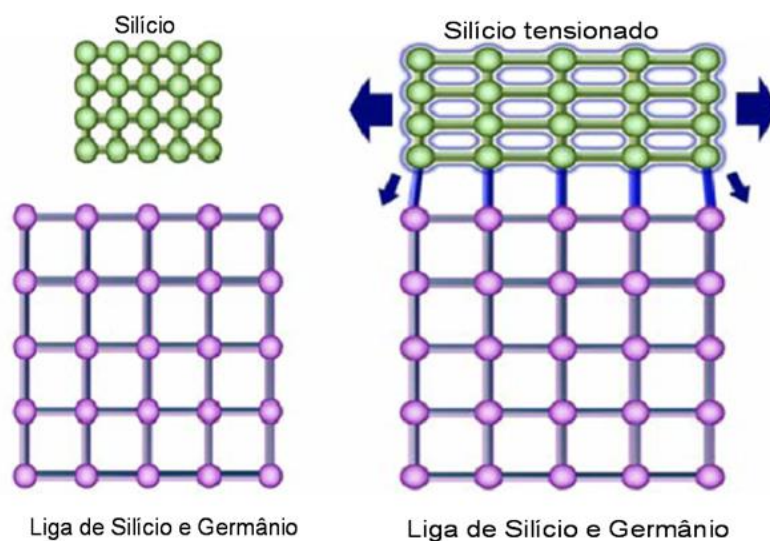
Onde,  $I_{DPlanar}$  é a corrente calculada para um transistor planar hipotético de mesma área que o FinFET;  $\theta$  é um fator que indica se o transistor tem duas ou três portas, sendo seu valor 0 ou 1 respectivamente;  $P$  é o passo entre as aletas;  $\mu_{topo}$ ,  $\mu_{lateral}$  as mobilidades das interfaces de topo e laterais.

## 2.3 Tensionamento Mecânico

O tensionamento mecânico é uma técnica desenvolvida para aumento da mobilidade e, conseqüentemente, da corrente e da transcondutância, através da alteração da largura da banda proibida do semiconductor. Como nos transistores FinFETs há uma redução indesejável da corrente de dreno devido a condução ocorrer mais concentrada nas interfaces laterais (onde a mobilidade é menor), esta técnica de tensionamento [41], mostrou que há um aumento significativo da corrente de dreno de estado ligado ( $I_{ON}$ ) [42].

Este tensionamento pode ocorrer de duas formas, o tensionamento bidirecional que provém de um tensionamento de toda a lâmina, e o tensionamento unidirecional, que é um tensionamento localizado nos dispositivos na direção do canal.

Figura 2.4 – Ilustração do efeito de tensionamento mecânico na estrutura do silício.





### 2.3.1 Tensionamento Bidirecional

Para obtenção do tensionamento bidirecional é crescido o filme de silício sobre uma liga de silício e germânio ( $\text{Si}_x\text{Ge}_x$ ), de forma que o crescimento epitaxial deste filme de silício seja tensionado devido ao maior espaçamento da rede de germânio, átomos mais espaçados uns dos outros na rede cristalográfica. O silício crescido sobre a liga terá um tensionamento em ambas as direções [43] devido à rede da liga de silício/germânio.

O espaçamento dos átomos com esse tensionamento é benéfico à mobilidade dos elétrons devido a ter menos atrito na passagem do mesmo, porém prejudicial a mobilidades das lacunas.

### 2.3.2 Tensionamento Unidirecional

O tensionamento unidirecional é obtido através da deposição de uma camada de um material com a constante de dilatação por temperatura diferente da do silício.

Pode ser obtido através da deposição de nitreto sobre a região de porta do dispositivo, esta técnica é chamada de CESL (*Contact Etch Stop Layer*), na qual sua efetividade depende do comprimento do canal. Quanto menor mais eficaz a técnica será. Esta técnica é utilizada para um tensionamento do tipo tensivo [44] da região do canal em seu sentido longitudinal de forma a facilitar a passagem de elétrons, sendo melhor utilizada em dispositivos nMOS.

Porém, para melhor mobilidade para lacunas, é necessário a realização da técnica de compressão da rede de silício, que pode ser obtida através da deposição de uma liga de germânio/silício dentre as regiões de dreno e fonte, com o propósito de gerar um efeito parecido com o bidirecional, porém localizado e somente em um sentido. Desta forma facilitando a passagem de lacunas pelo canal, sendo melhor aproveitada em dispositivos pMOS.

Entre as duas formas de tensionamento (bidirecional e unidirecional), a segunda possui a vantagem de ser implantada de forma localizada, permitindo a

utilização de suas duas formas, tensiva e compressiva, em uma mesma lâmina, dependendo das características do filme depositado.

## 2.4 Radiação

A radiação é a propagação de energia entre dois pontos, e a radiação de prótons dos dispositivos aqui estudados é ionizante, as quais tem energia suficiente para provocar o deslocamento de elétrons em um átomo e ainda há a possibilidade de deslocamentos atômicos, alterando a rede cristalina do silício, este efeito é diretamente associado a redução da mobilidade do dispositivo.

A radiação de partículas ocorre devido a partículas com grande quantidade de energia chocar-se contra o dispositivo, e a outra forma possível, a por ondas eletromagnéticas ocorre devido ao efeito fotoelétrico que ocorre devido a penetração dessas.

Devido à essa radiação ionizante, ocorre o efeito de geração de pares elétron-lacunas, que podem ainda influenciar a geração de mais pares e ocasionar outros efeitos na dissociação dos pares [45].

Os efeitos associados à radiação são divididos em duas categorias, os efeitos de evento único (*SEE – Single Event Effects*), acarretados pela incidência de uma única partícula, e os efeitos de dose ionizante total (*Total Dose Effects*), que são ocasionados pela exposição contínua dos dispositivos à radiação.

### 2.4.1 Efeitos de Evento Único

Ocorridos devido a geração de pares elétron-lacunas na região ativa do transistor com a penetração de uma partícula ionizante, os elétrons dos pares tendem ao maior potencial polarizado, criando uma corrente elétrica anormal que adicionada à de fonte e dreno pode causar efeitos de mudança de estado lógico do dispositivo, chegando em algumas delas, inutilizar o dispositivo.

Estes eventos são conhecidos também como eventos transitórios da radiação, pois depois de um período de tempo, os pares elétron-lacuna criados na região ativa do dispositivo tendem a se reagrupar.

#### **2.4.2 Efeitos de Dose Ionizante Total**

Estes efeitos são mais associados à penetração das partículas no óxido e em sua interface com o filme de silício, que afetam diretamente as características elétricas do transistor.

Os pares elétron-lacuna são criados também pela passagem da partícula no óxido, devido à maior mobilidade dos elétrons, na dissociação dos pares alguns dos elétrons não se recombinam com as lacunas e saem pela porta, porém as lacunas que sobram, ficam armadilhadas devido sua baixa mobilidade [46], originando um aumento de cargas fixas no óxido, já que possuem carga positiva.

Com o aumento das cargas fixas no óxido altera-se a tensão de limiar, devido à dependência da equação da mesma por  $Q_{ox}$ . Por esta carga ser positiva, a mesma gera um deslocamento da tensão de limiar no sentido de redução da mesma.

Outro efeito da radiação é a criação de armadilhas na interface  $SiO_2/Si$  [47], que são cargas que se comportam conforme seu nível de energia. Estas se tiverem seu nível de energia abaixo da banda proibida serão doadoras, desta forma se o nível da energia for maior que o de nível de Fermi da interface, a armadilha cederá um elétron ao silício.

Adotando uma armadilha de nível de energia acima da banda proibida, será uma armadilha aceitadora, que com o nível de Fermi acima do nível de energia da armadilha, a armadilha aceitará um elétron.

Para um dispositivo de canal n, as armadilhas de interface que atuam primeiro são as de nível de energia acima da banda proibida, logo, serão em sua maioria de natureza aceitadora, isso em uma análise direta à tensão de limiar, mostra um deslocamento para o lado de maior potencial.

Os dois efeitos atuando juntos são diferentes para um dispositivo de canal n e de canal p. No de canal n, os dois tendem a se anular, porém as cargas no óxido são mais significativas, deslocando a tensão de limiar negativamente. Em um dispositivo de canal p, os efeitos se somam, de forma que os dois influenciam negativamente a tensão de limiar.

Em [48], é exemplificado que com o tempo e a temperatura as cargas fixas do óxido, tendem a migrar para a interface, aumentando a quantidade de armadilhas de interface, este efeito é chamado de rebatimento (*rebound*).

### **2.4.3 Comparação entre SOI MOSFET e MOSFET convencional**

A grande vantagem do SOI MOSFET é sua menor área susceptível à efeitos da radiação na região ativa de silício, onde o MOSFET tem todo seu substrato para proporcionar a penetração das partículas.

Em contrapartida, o dispositivo SOI mesmo sofrendo menos influencia na região de silício do canal, possui o óxido enterrado, que como visto anteriormente, está susceptível a instalação de cargas no óxido e armadilhas de interface que são efeitos permanentes e que podem alterar parâmetros de funcionamento do dispositivo.

### 3 PONTO INVARIANTE COM A TEMPERATURA

Neste capítulo é apresentado o conceito do ponto invariante com a temperatura (ZTC), seu método de extração gráfica e o modelo matemático para obtenção do mesmo.

#### 3.1 Conceito

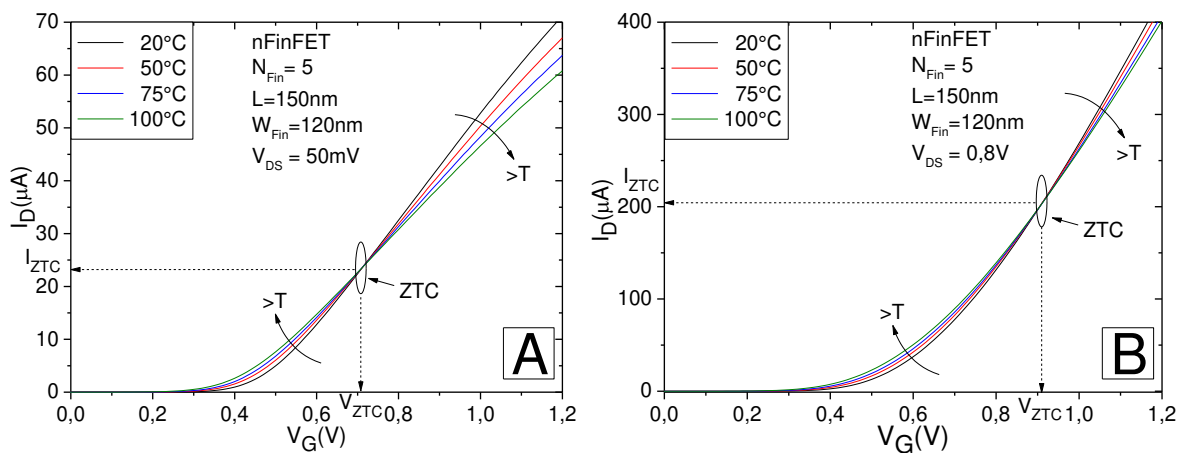
O ponto invariante com a temperatura (ZTC) é o ponto de polarização ( $V_G=V_{ZTC}$  e  $I_{DS}=I_{ZTC}$ ) do transistor que é constante (ou quase constante) com a variação da temperatura [49].

Este ponto pode ser estudado em relação a tensão de polarização da porta, onde é denominado  $V_{ZTC}$  e/ou com relação a variação da corrente de dreno ( $I_{ZTC}$ ). Pode ser observado tanto no dispositivo operando na região linear, quanto operando na região de saturação, no cruzamento das curvas das diferentes temperaturas estudadas.

Para entender o fenômeno, é necessário compreender que com o aumento da temperatura a mobilidade dos portadores sofre uma redução proporcional [48], reduzindo a corrente de dreno, o que é facilmente visto na figura 3.1 após o ponto de cruzamento. Enquanto a parte que antecede o ponto de cruzamento é justificada através da concentração de portadores intrínsecos, onde com o aumento da temperatura a concentração é aumentada proporcionalmente e isso gera uma redução do potencial de Fermi e conseqüentemente a redução da tensão de limiar.

Logo, a existência deste ponto de cruzamento (ZTC) ocorre devido à compensação destas alterações sofridas na tensão de limiar e na mobilidade (e conseqüentemente na transcondutância) dos dispositivos [50], dando origem a um ponto (ZTC), onde a corrente  $I_{ZTC}$  e tensão  $V_{ZTC}$  são praticamente constantes com a variação temperatura.

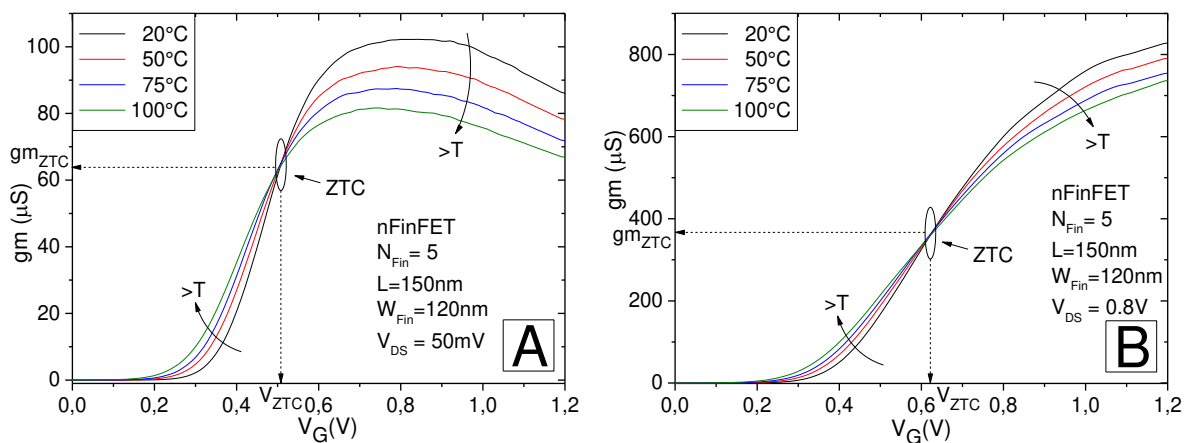
Figura 3.1 – Curva experimental de  $I_D$  em função de  $V_G$  para as temperaturas estudadas, para  $W_{Fin} = 120\text{nm}$  e  $L=150\text{nm}$ , onde (A) região linear e (B) região de saturação.



Fonte: Autor

O mesmo efeito pode ser observado nas curvas de transcondutância ( $g_m \times V_G$ ), nas regiões linear e saturação, como mostrado na figura 3.2.

Figura 3.2 – Curva experimental de  $g_m$  em função de  $V_G$  para as temperaturas estudadas, para  $W_{Fin} = 120\text{nm}$  e  $L=150\text{nm}$  onde A região linear e B região de saturação.



Fonte: Autor

Este fenômeno é chamado comumente de ponto, porém na maioria dos casos, o mesmo é uma região, devido às curvas cruzarem muito próximas, porém não são todas necessariamente juntas.

### 3.2 Modelo

O modelo analítico utiliza como referência a igualdade das correntes de dreno dos dispositivos ( $I_{ZTC}$ ), na faixa de temperatura estudada, para uma certa polarização de porta ( $V_{ZTC}$ ) constante. Logo, há uma diferenciação no modelo para o transistor operando na região linear e na região de saturação.

O modelo de Camilo-Martino [51] utilizados neste estudo é baseado nos parâmetros básicos do transistor tipo n, tensão de limiar e transcondutância, onde este último é utilizado no lugar da mobilidade devido à relação proporcional entre estes parâmetros e a maior facilidade de extração da transcondutância.

Neste trabalho estendemos o modelo da referência [51] para ser utilizado também em transistores tipo p, completando assim a sua abrangência.

#### 3.2.1 Região Linear

A corrente de dreno no transistor nMOS operando na região linear é dada na equação 3.1:

$$I_{DS1} = \frac{\mu_{n1} \cdot C_{ox} \cdot W}{L} \left[ (V_G - V_{TN1}) \cdot V_{DS} - \frac{n_1 \cdot V_{DS}^2}{2} \right] \quad (3.1)$$

Onde:

As medidas referenciadas em 1, são as medidas na temperatura  $T_1$ , trabalhada aqui como 293 K, ou 20 °C.

$I_{DS1}$ : é a corrente de dreno na temperatura  $T_1$ ;

$\mu_{n1}$ : mobilidade do canal na temperatura  $T_1$ ;

$V_{TN1}$ : tensão de limiar na temperatura  $T_1$ ;

$n_1$  ( $= 1 + \alpha_1$ ): fator de corpo na temperatura  $T_1$ .

Como o ponto de ZTC é obtido através das características do dispositivo para duas ou mais temperaturas, é adotado uma temperatura  $T_2$ , onde  $T_2 > T_1$ , e aplicada à equação 3.1 de  $I_{DS}$  para esta temperatura:

$$I_{DS2} = \frac{\mu_{n2} \cdot C_{ox} \cdot W}{L} \left[ (V_G - V_{TN2}) \cdot V_{DS} - \frac{n_2 \cdot V_{DS}^2}{2} \right] \quad (3.2)$$

Considerando que o ponto de ZTC é representado através de um ponto onde a corrente do dispositivo é constante para a tensão aplicada na porta, temos então,  $V_{ZTC} = V_G$  e  $I_D = I_{ZTC}$ . Obtendo a seguinte igualdade de  $I_{DS1}$  e  $I_{DS2}$ .

$$\frac{\mu_{n1} \cdot C_{ox} \cdot W}{L} \left[ (V_G - V_{TN1}) \cdot V_{DS} - \frac{n_1 \cdot V_{DS}^2}{2} \right] = \frac{\mu_{n2} \cdot C_{ox} \cdot W}{L} \left[ (V_G - V_{TN2}) \cdot V_{DS} - \frac{n_2 \cdot V_{DS}^2}{2} \right] \quad (3.3)$$

Simplificando a equação, levando em consideração que a variação do fator de corpo ( $n$ ) é desprezível com a temperatura, ou seja,  $n = n_1 = n_2$ , temos a equação de  $V_{ZTC}$  para a região linear (3.4) [51].

$$V_{ZTC_N} = \frac{\mu_{n1} \cdot V_{TN1} - \mu_{n2} \cdot V_{TN2}}{\mu_{n1} - \mu_{n2}} + \frac{n \cdot V_{DS}}{2} \quad (3.4)$$

A mobilidade é um parâmetro mais trabalhoso de ser obtido, com isso, foi proposto em um modelo aprimorado [51] a utilização da transcondutância, seguindo o argumento:

$$gm_1 = \mu_{n1} C_{ox} \frac{W}{L} V_{DS} \quad (3.5)$$

Os parâmetros  $C_{ox}$ ,  $W$ ,  $L$  e  $V_{DS}$ , não sofrem influência da variação da temperatura, logo é possível dizer que:

$$\frac{gm_2}{gm_1} = \frac{\mu_{n2}}{\mu_{n1}} = \left( \frac{T_1}{T_2} \right)^c \quad (3.6)$$

Isso permite reescrever a equação 3.4 ( $V_{ZTC}$ ) e suas sucessoras em função não mais da mobilidade e sim da transcondutância, da seguinte maneira:

$$V_{ZTC_N} = \frac{gm_1 \cdot V_{TH1} - gm_2 \cdot V_{TH2}}{gm_1 - gm_2} + \frac{n \cdot V_{DS}}{2} \quad (3.7)$$

Porém, para o cálculo da tensão de ZTC ( $V_{ZTC}$ ) é necessário ainda, considerar o comportamento da tensão de limiar e da transcondutância, em função da



temperatura. Sendo necessário a obtenção dos parâmetros de variação da tensão de limiar pela temperatura  $\left(\frac{\Delta V_{TN}}{\Delta T}\right)$  e o fator de degradação da transcondutância (c).

$$\frac{\Delta V_{TN}}{\Delta T} = \frac{V_{TN2} - V_{TN1}}{T_2 - T_1} \quad (3.8)$$

$$c = \frac{\log(gm_2) - \log(gm_1)}{\log(T_1) - \log(T_2)} \quad (3.9)$$

Isolando os parâmetros para obtenção dos valores de  $V_{TN2}$  e  $gm_2$ , temos:

$$V_{TN2} = V_{TN1} + \frac{\Delta V_{TN}}{\Delta T} \cdot (T_2 - T_1) \quad (3.10)$$

$$gm_2 = \left(\frac{T_1}{T_2}\right)^c \cdot gm_1 \quad (3.11)$$

Substituindo as equações 3.10 e 3.11 na equação 3.7, podemos reescrever a equação de  $V_{ZTC}$  para a transistor nMOS na região linear:

$$V_{ZTC_N} = \frac{V_{TN1} - \left(\frac{T_1}{T_2}\right)^c \cdot \left(V_{TN1} + \frac{\Delta V_{TN}}{\Delta T} \cdot (T_2 - T_1)\right)}{1 - \left(\frac{T_1}{T_2}\right)^c} + \frac{n \cdot V_{DS}}{2} \quad (3.12)$$

Onde, de forma equivalente, temos a equação para um transistor pMOS:

$$V_{ZTC_P} = \frac{V_{TP1} - \left(\frac{T_1}{T_2}\right)^c \cdot \left(V_{TP1} + \frac{\Delta V_{TP}}{\Delta T} \cdot (T_2 - T_1)\right)}{1 - \left(\frac{T_1}{T_2}\right)^c} + \frac{n \cdot V_{DS}}{2} \quad (3.13)$$

### 3.2.2 Região de Saturação

A corrente de dreno no transistor nMOS operando na região de saturação é dada na equação 3.14:

$$I_{DS1} = \frac{\mu_{n1} \cdot C_{ox} \cdot W}{L} \cdot \frac{(V_G - V_{TN1})^2}{2 \cdot n_1} \quad (3.14)$$

Sendo a mesma para a temperatura de referência  $T_1$ . Para a temperatura  $T_2$ , onde  $T_2 > T_1$ , temos:

$$I_{DS2} = \frac{\mu_{n2} \cdot C_{ox} \cdot W}{L} \cdot \frac{(V_G - V_{TN2})^2}{2 \cdot n_2} \quad (3.15)$$

Dado que para o ponto de ZTC,  $V_{ZTC} = V_G$  e  $I_D = I_{ZTC}$ , temos a seguinte igualdade:

$$\frac{\mu_{n1} \cdot C_{ox} \cdot W}{L} \cdot \frac{(V_G - V_{TN1})^2}{2 \cdot n_1} = \frac{\mu_{n2} \cdot C_{ox} \cdot W}{L} \cdot \frac{(V_G - V_{TN2})^2}{2 \cdot n_2} \quad (3.16)$$

Simplificando a equação, levando em consideração que a variação do fator de corpo ( $n$ ) é desprezível com a temperatura, ou seja,  $n = n_1 = n_2$ , podemos equacionar da seguinte forma:

$$\mu_{n1} \cdot \frac{C_{ox} \cdot W}{L \cdot 2 \cdot n} \cdot (V_G - V_{TN1})^2 = \mu_{n2} \cdot \frac{C_{ox} \cdot W}{L \cdot 2 \cdot n} \cdot (V_G - V_{TN2})^2 \quad (3.17)$$

$$V_G^2 \cdot \mu_{n1} - 2 \cdot V_G \cdot V_{TN1} \cdot \mu_{n1} + V_{TN1}^2 \cdot \mu_{n1} = V_G^2 \cdot \mu_{n2} - 2 \cdot V_G \cdot V_{TN2} \cdot \mu_{n2} + V_{TN2}^2 \cdot \mu_{n2} \quad (3.18)$$

Com isso chegamos à uma equação do segundo grau:

$$(\mu_{n1} - \mu_{n2})V_G^2 + (2 \cdot V_{TN2} \cdot \mu_{n2} - 2 \cdot V_{TN1} \cdot \mu_{n1})V_G + (V_{TN1}^2 \cdot \mu_{n1} - V_{TN2}^2 \cdot \mu_{n2}) = 0 \quad (3.19)$$

E a equacionaremos pela fórmula de Bhaskara:

$$\Delta = b^2 - 4 \cdot a \cdot c \quad (3.20)$$

$$\Delta = (2 \cdot V_{TN2} \cdot \mu_{n2} - 2 \cdot V_{TN1} \cdot \mu_{n1})^2 - 4 \cdot (\mu_{n1} - \mu_{n2}) \cdot (V_{TN1}^2 \cdot \mu_{n1} - V_{TN2}^2 \cdot \mu_{n2}) \quad (3.21)$$

$$\Delta = 4(-2 \cdot V_{TN1} \cdot V_{TN2} \cdot \mu_{n1} \cdot \mu_{n2} + V_{TN1}^2 \cdot \mu_{n1} \cdot \mu_{n2} + V_{TN2}^2 \cdot \mu_{n1} \cdot \mu_{n2}) \quad (3.22)$$

$$V_G = \frac{-b \pm \sqrt{\Delta}}{2 \cdot a} \quad (3.23)$$

$$V_G = \frac{-2 \cdot V_{TN2} \cdot \mu_{n2} - 2 \cdot V_{TN1} \cdot \mu_{n1} \pm \sqrt{4(-2 \cdot V_{TN1} \cdot V_{TN2} \cdot \mu_{n1} \cdot \mu_{n2} + V_{TN1}^2 \cdot \mu_{n1} \cdot \mu_{n2} + V_{TN2}^2 \cdot \mu_{n1} \cdot \mu_{n2})}}{2 \cdot (\mu_{n1} - \mu_{n2})} \quad (3.24)$$

$$V_G = \frac{V_{TN1} \cdot \mu_{n1} - V_{TN2} \cdot \mu_{n2}}{\mu_{n1} - \mu_{n2}} \pm \sqrt{\left(\frac{V_{TN1} \cdot \mu_{n1} - V_{TN2} \cdot \mu_{n2}}{\mu_{n1} - \mu_{n2}}\right)^2 - \frac{V_{TN1}^2 \cdot \mu_{n1} - V_{TN2}^2 \cdot \mu_{n2}}{\mu_{n1} - \mu_{n2}}} \quad (3.25)$$

Recordando que a tensão de ZTC é o ponto para o qual a tensão de polarização da porta gera a menor variação da corrente de dreno do dispositivo para diferentes

temperaturas, temos  $V_{ZTC} = V_G$ . O modelo [51] anteriormente estudado, trata apenas de transistores nMOS, desta forma a equação da tensão de ZTC se dá da seguinte forma:

$$V_{ZTC} = A + \sqrt{A^2 - B} \quad (3.26)$$

Onde os termos A e B são calculados pelas equações 3.27 e 3.28 respectivamente.

$$A = \frac{V_{TN1} \cdot \mu_{n1} - V_{TN2} \cdot \mu_{n2}}{\mu_{n1} - \mu_{n2}} \quad (3.27)$$

$$B = \frac{V_{TN1}^2 \cdot \mu_{n1} - V_{TN2}^2 \cdot \mu_{n2}}{\mu_{n1} - \mu_{n2}} \quad (3.28)$$

Como visto no item 3.2.1 deste capítulo, é possível reescrever estas equações em função da transcondutância (gm).

$$A = \frac{V_{TN1} \cdot g_{m1} - V_{TN2} \cdot g_{m2}}{g_{m1} - g_{m2}} \quad (3.29)$$

$$B = \frac{V_{TN1}^2 \cdot g_{m1} - V_{TN2}^2 \cdot g_{m2}}{g_{m1} - g_{m2}} \quad (3.30)$$

Substituindo as equações 3.8 e 3.9 nas equações 3.29 e 3.30, teremos os termos A e B reescritos da seguinte forma:

$$A = \frac{V_{TN1} - \left( V_{TN1} + \frac{\Delta V_{TN}}{\Delta T} \cdot (T_2 - T_1) \right) \cdot \left( \frac{T_1}{T_2} \right)^c}{1 - \left( \frac{T_1}{T_2} \right)^c} \quad (3.31)$$

$$B = \frac{V_{TN1}^2 - \left( V_{TN1} + \frac{\Delta V_{TN}}{\Delta T} \cdot (T_2 - T_1) \right)^2 \cdot \left( \frac{T_1}{T_2} \right)^c}{1 - \left( \frac{T_1}{T_2} \right)^c} \quad (3.32)$$

Onde os parâmetros  $\frac{\Delta V_{TN}}{\Delta T}$  e c, são dados nas pelas equações 3.8 e 3.9 respectivamente.

Para que se estenda a validade do modelo também para transistor tipo p, foi proposto neste trabalho a análise e ajuste do modelo para contempla também este

tipo de dispositivo, sendo assim, necessário deduzir novamente a expressão 3.26, resultando para transistores tipo p o indicado na expressão 3.35.

Desta forma, retornando às equações 3.24 e 3.25, é necessário recordar o princípio matemático da equação de segundo grau, onde a mesma entrega dois números reais e possíveis para o valor da variável em evidência, nesse caso  $V_{ZTC}$ . Sabendo isso, podemos reescrever o modelo encontrado de forma a atender ambos os tipos de transistores, nMOS e pMOS.

$$V_{ZTC} = A \pm \sqrt{A^2 - B} \quad (3.33)$$

A diferenciação ocorre na condicional do dispositivo para estar em modo de saturação, que para nMOS é  $V_{DS} \geq V_{GS} - V_{TN} \geq 0$ ; e para pMOS  $V_{DS} \leq V_{GS} - V_{TN} \leq 0$ . Obedecendo isso, pode ser reescrito o modelo para cada tipo de dispositivo como nas equações 3.34 para nMOS e 3.35 para pMOS.

$$V_{ZTC_N} = A + \sqrt{A^2 - B} \quad (3.34)$$

$$V_{ZTC_P} = A - \sqrt{A^2 - B} \quad (3.35)$$

Os termos A e B para transistores tipo n são mantidos conforme equações 3.31 e 3.32, porém para transistores tipo p, podem ser reescritos conforme as equações 3.36 e 3.37.

$$A = \frac{V_{TP1} - \left( V_{TP1} + \frac{\Delta V_{TP}}{\Delta T} \cdot (T_2 - T_1) \right) \cdot \left( \frac{T_1}{T_2} \right)^c}{1 - \left( \frac{T_1}{T_2} \right)^c} \quad (3.36)$$

$$B = \frac{V_{TP1}^2 - \left( V_{TP1} + \frac{\Delta V_{TP}}{\Delta T} \cdot (T_2 - T_1) \right)^2 \cdot \left( \frac{T_1}{T_2} \right)^c}{1 - \left( \frac{T_1}{T_2} \right)^c} \quad (3.37)$$

## 4 MATERIAIS E MÉTODOS

Neste capítulo são apresentados detalhadamente os dispositivos estudados, o equipamento utilizado para medidas elétricas e as condições de obtenção das medidas.

### 4.1 Dispositivos Estudados

Os dispositivos utilizados para a realização deste estudo foram fabricados pelo *Interuniversity Microelectronics Centre – Imec*, Leuven, Bélgica, e são transistores de estrutura SOI-FinFET.

Todos os dispositivos analisados têm as dimensões a seguir: comprimento de canal  $L = 150$  nm; altura do canal  $H_{Fin} = 65$  nm; dielétrico de porta com EOT = 1,5 nm, onde é composto por 2 nm de HfSiON sobre 1 nm de SiO<sub>2</sub>; espessura do óxido enterrado de  $t_{box} = 145$  nm; a dopagem de canal de aproximadamente  $1 \times 10^{15}$  cm<sup>-3</sup>; número de estruturas no conjunto  $N_{Fin} = 5$  espaçadas com passo de 1 μm entre elas. Mais informações em [52;53;54].

Foram utilizados dispositivos de canal tipo n e tipo p de quatro lâminas, que se diferem somente pelos efeitos aplicados: referência (sem tensionamento e sem radiação), referência radiada (sem tensionamento e com radiação), tensionada (com tensionamento e sem radiação) e tensionada com radiação (com ambos os efeitos).

Onde o tensionamento usado foi uniaxial mais biaxial, biaxial a partir do crescimento epitaxial sobre lâminas sSOI (substrato crescido acima de uma liga Si/Ge) e uniaxial através de CESL (contact etch stop layer) (proporcionado através da deposição de material dielétrico tensivo sobre o dispositivo na orientação do canal).

As lâminas radiadas, possuem radiação de prótons que foi realizada no laboratório Cyclone, em Louven-la-Neuve, Bélgica, sem polarização durante a radiação, com um potencial de 60 MeV em uma fluência de  $10^{12}$  p/cm<sup>2</sup>.

Além disso, em todas as lâminas, foram analisados dispositivos com um valor da largura da aleta variada, com os seguintes valores:  $W_{Fin} = 20$ nm, 120nm e 370nm

e uma variação ao comprimento de canal inicial de  $L=150$  nm para 900 nm à fim de comparação e extrapolação dos efeitos encontrados.

## **4.2 Medidas experimentais**

As medidas experimentais foram feitas com a utilização do equipamento Agilent B1500, localizado no laboratório de caracterização II, sala de caracterização em função da temperatura, na Universidade de São Paulo.

As medidas foram extraídas com a lâmina em seis temperaturas ( $25^{\circ}\text{C}$ ,  $50^{\circ}\text{C}$ ,  $75^{\circ}\text{C}$ ,  $100^{\circ}\text{C}$ ,  $125^{\circ}\text{C}$  e  $150^{\circ}\text{C}$ ) para todos os dispositivos, utilizando o método de aquecer o suporte onde a lâmina é apoiada e esperando o tempo necessário para que a temperatura de ambos seja a mesma.

## **4.3 Extração de Parâmetros**

### **4.3.1 Obtenção de parâmetros básicos**

Para utilização do modelo é necessário a extração dos parâmetros básicos, parâmetros esses que servirão para extração dos outros parâmetros a serem inseridos.

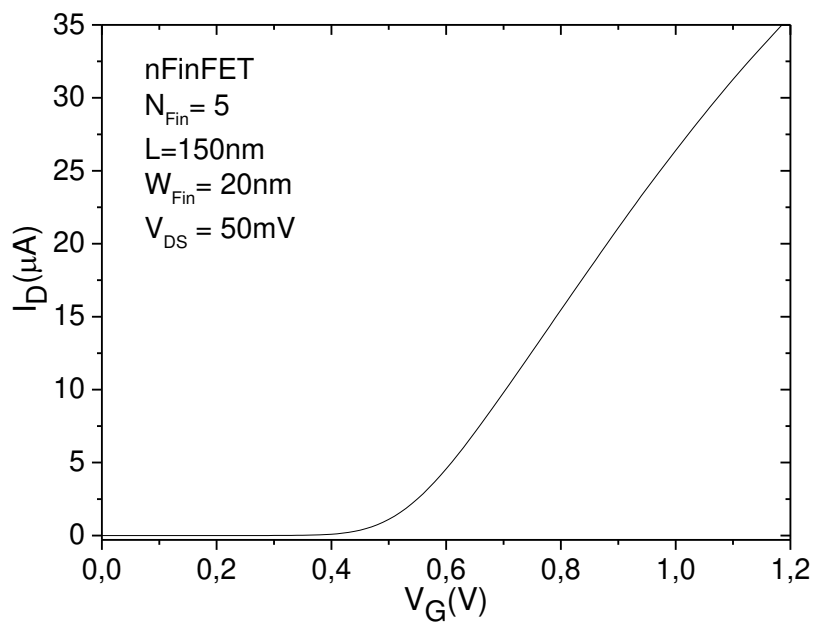
Os dois parâmetros que são extraídos diretamente das curvas experimentais dos dispositivos são a tensão de limiar ( $V_{\text{TH}}$ ) e a transcondutância ( $g_m$ ).

#### **4.3.1.1 Região Linear**

##### **4.3.1.1.1 Tensão de Limiar**

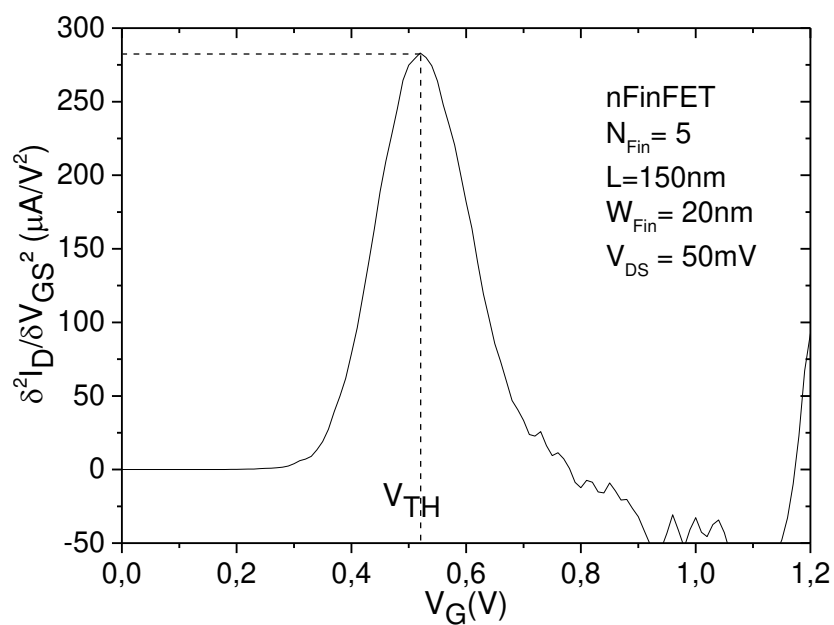
A extração da tensão de limiar para a região linear foi feita da forma amplamente utilizada, na qual constitui a análise do ponto máximo do gráfico da derivada de segunda ordem (figura 4.2) [55] da curva  $I_D \times V_G$  (figura 4.1).

Figura 4.1 – Curva experimental de  $I_D$  em função de  $V_G$  em 20°C, para  $W_{Fin} = 20\text{nm}$  e  $L=150\text{nm}$  na região linear.



Fonte: Autor

Figura 4.2 – Curva experimental de  $d^2I_D/dV_G^2$  em função de  $V_G$  em 20°C, para  $W_{Fin} = 20\text{nm}$  e  $L=150\text{nm}$  na região linear.

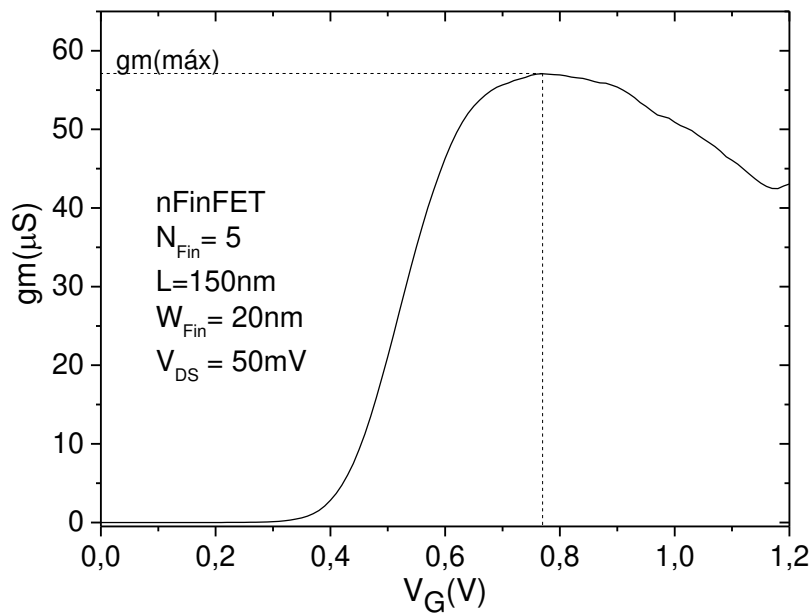


Fonte: Autor

### 4.3.1.1.2 Transcondutância

Na região linear, a transcondutância usada para os cálculos do modelo é a transcondutância máxima. A mesma é extraída a partir da curva  $I_D \times V_G$ , obtendo a sua derivada de primeira ordem (figura 4.3), sendo a transcondutância máxima, o valor máximo obtido na curva de  $g_m \times V_G$ .

Figura 4.3 – Curva experimental de  $g_m$  em função de  $V_G$  em 20°C, para  $W_{Fin}=20\text{nm}$  e  $L=150\text{nm}$  na região linear.



Fonte: Autor

### 4.3.1.2 Região de Saturação

#### 4.3.1.2.1 Tensão de Limiar

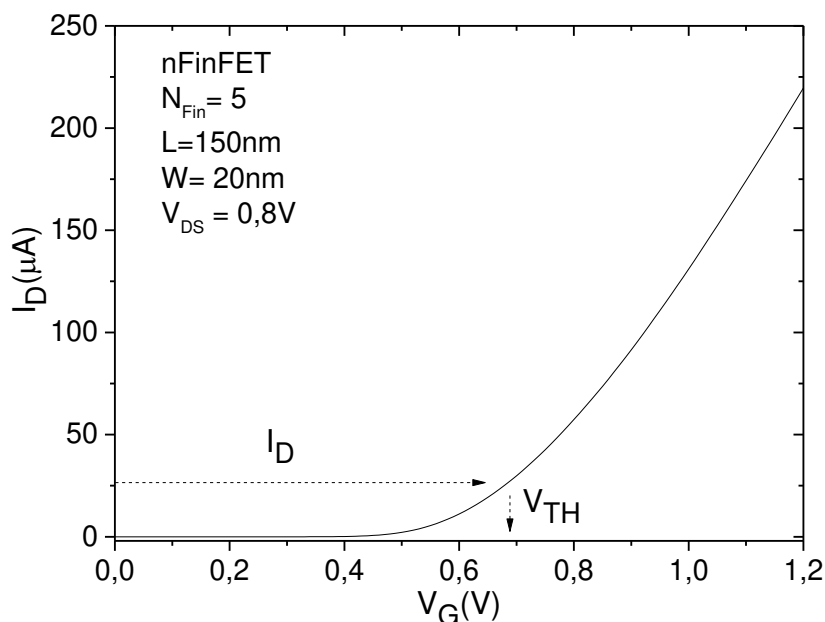
Foi utilizado o método de nível de corrente, no qual é considerado que a corrente de dreno presente na tensão de limiar para a região de triodo é igual a corrente de dreno presente na região de saturação.

Na extração por nível de corrente, foi armazenado o valor de corrente obtido para a tensão de limiar na região linear para o mesmo dispositivo, onde o valor de  $V_{TH}$  obtido conforme a figura 4.2 é utilizado para obtenção da corrente na figura 4.1.



Este valor é utilizado para obtenção da tensão de limiar na curva  $I_D \times V_G$  do mesmo dispositivo operando na região de saturação. Exemplificada na figura 4.4.

Figura 4.4 – Curva experimental de  $I_D$  em função de  $V_G$  em 20°C, para  $W_{Fin} = 20\text{nm}$  e  $L=150\text{nm}$  na região de saturação.

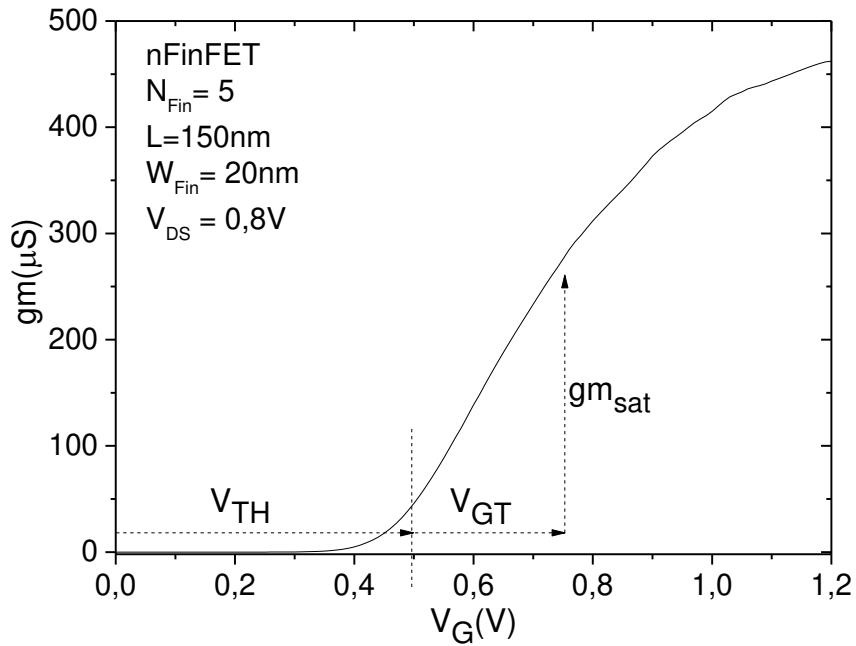


Fonte: Autor

#### 4.3.1.2.2 Transcondutância

Para se determinar a transcondutância em saturação  $g_{m\text{sat}}$  foi utilizado um valor de sobretensão  $V_{GT}$  (diferença entre a tensão de porta e a tensão de limiar) fixo em 250 mV (valor utilizado somente para que seja analisado um ponto fixo na curva para todos os dispositivos), que somado à tensão de limiar (extraído na figura 4.4) e utilizado na curva de  $g_m \times V_G$  deste mesmo dispositivo, é obtido o valor de  $g_{m\text{sat}}$  a ser utilizado para as análises. Exemplificado na figura 4.5.

Figura 4.5 – Curva experimental de  $g_m$  em função de  $V_G$  em 20°C, para  $W_{Fin} = 20\text{nm}$  e  $L=150\text{nm}$  na região de saturação.



Fonte: Autor

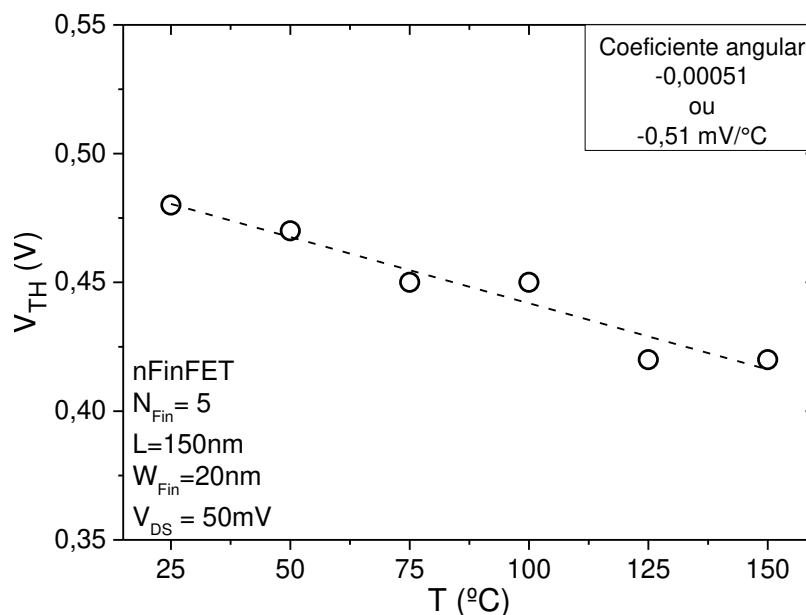
### 4.3.2 Obtenção de parâmetros variáveis com a temperatura

Os parâmetros da variação da tensão de limiar em relação à temperatura e da degradação da transcondutância com a temperatura, são obtidos da mesma forma para as duas regiões de operação.

#### 4.3.2.1 Variação da tensão de limiar com a temperatura

Esta variação  $\left(\frac{\Delta V_{TH}}{\Delta T}\right)$  é extraída diretamente da curva da tensão de limiar (dos dispositivos nas temperaturas estudadas) pela temperatura [56;57], de forma que este é o coeficiente angular da curva de regressão linear da mesma (figura 4.6).

Figura 4.6 – Curva experimental de  $V_{TH}$  em função de  $T$ , para  $W_{Fin} = 20\text{nm}$  e  $L=150\text{nm}$  na região linear.



Fonte: Autor

#### 4.3.2.2 Fator de degradação da transcondutância (c)

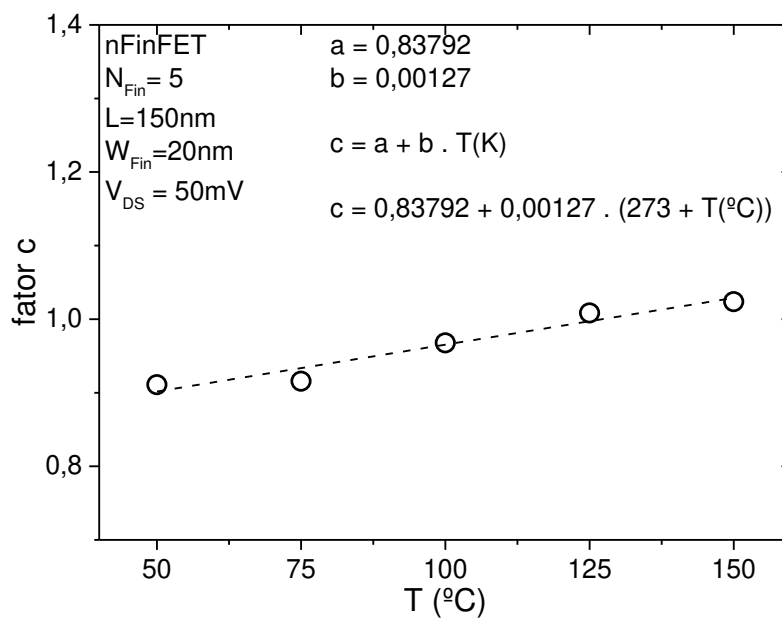
Este fator (c) é obtido através da análise dos pontos de transcondutância experimentais para as temperaturas estudadas [58;59;60], conforme equação 3.9.

No entanto, o fator (c) não descreve adequadamente o comportamento da degradação da transcondutância com a temperatura se for considerado constante, como observado na referência [21].

O fator (c) pode ser descrito através de uma equação de primeiro grau em função da temperatura (em Kelvin) com os valores de intersecção do eixo y (a) e coeficiente angular (b) (figura 4.7) obtidos da regressão linear dos pontos experimentais. Isso auxilia os cálculos e futuras simulações.

Foi utilizado a relação  $T(K) = 273 + T(^{\circ}C)$ , para os cálculos.

Figura 4.7 – Curva experimental e calculada do fator c em função de T, para  $W_{Fin} = 20\text{nm}$  e  $L=150\text{nm}$  na região linear.



Fonte: Autor

## 5 Resultados Experimentais

Neste capítulo são apresentados os dados obtidos, assim como as análises das curvas compostas pelos mesmos, com o objetivo de avaliar as influências dos efeitos de tensionamento e radiação, no ponto de ZTC.

### 5.1 Obtenção de dados

#### 5.1.1 Medidas experimentais

Para obtenção das curvas experimentais, foram realizadas medições de corrente de dreno ( $I_D$ ) em função da tensão aplicada à porta ( $V_G$ ) de -1,2 V à 1,2 V com o passo de 10 mV, sem polarização de substrato ( $V_{GB} = 0$  V), utilizando duas tensões de dreno diferentes para obter as curvas de regiões de operação diferentes, 50 mV para região linear e 0,8 V para região de saturação.

As medidas foram todas repetidas para temperaturas de 20°C, 50°C, 75°C, 100°C, 125°C e 150°C. Utilizando dispositivos nFinFET e pFinFET, com valores de canal ( $L$ ) de 150nm e 900nm, e larguras de aleta ( $W_{Fin}$ ) de 20nm, 120nm e 370nm.

### 5.2 Resultados Obtidos

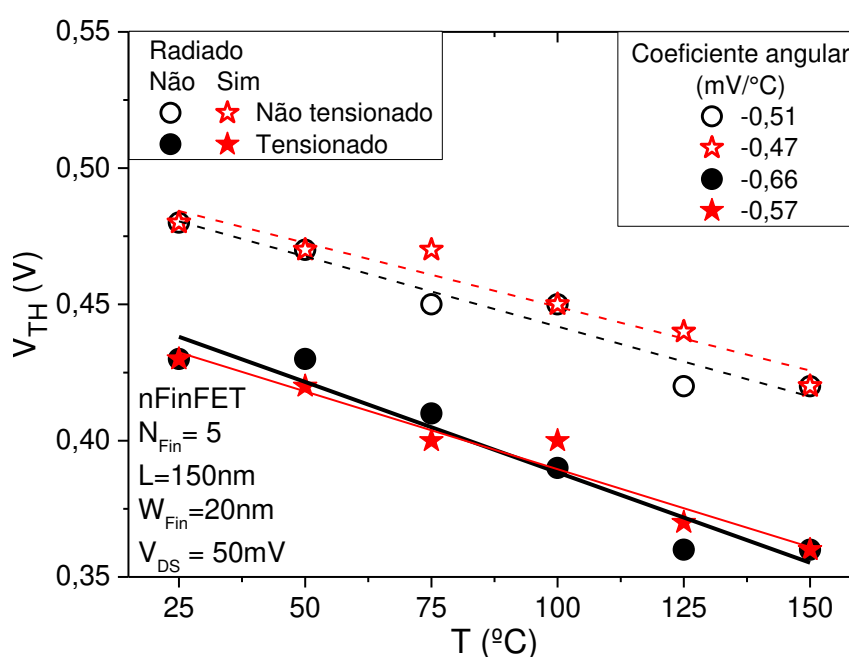
Iniciaremos as análises pelos dispositivos nFinFETs de menores dimensões ( $L=150$ nm e  $W_{Fin}=20$ nm) e faremos comparações com os dispositivos de dimensões maiores quando cabível. Após a análise de todos os parâmetros para os dispositivos nFinFET será mostrada as análises dos mesmos para os dispositivos pFinFET, os quais foram os primeiros a serem analisados por tais método e modelo.

## 5.2.1 Dispositivos nFinFET

### 5.2.1.1.1 Tensão de Limiar

A figura 5.1 mostra os valores experimentais da tensão de limiar ( $V_{TH}$ ) obtidos nos dispositivos nFinFET de largura da aleta ( $W_{Fin}$ ) de 20 nm, nas quatro diferentes lâminas, em função da temperatura, na região de trípode.

Figura 5.1 – Curva experimental de  $V_{TH}$  em função da temperatura, para dispositivos nFinFET com  $W_{Fin}=20\text{nm}$  e  $L=150\text{nm}$  na região linear, para os quatro tipos de lâmina analisados.



Fonte: Autor

É possível observar o efeito do tensionamento na tensão de limiar com clareza, devido à sua redução da banda proibida, comentada no capítulo 2, reduzindo seu potencial de superfície e conseqüentemente sua tensão de limiar.

O efeito da radiação de prótons na tensão de limiar para este dispositivo, mostrando valores de tensão de limiar para os transistores SOI-nFinFET com radiação, muito próximos dos valores dos mesmos sem radiação.

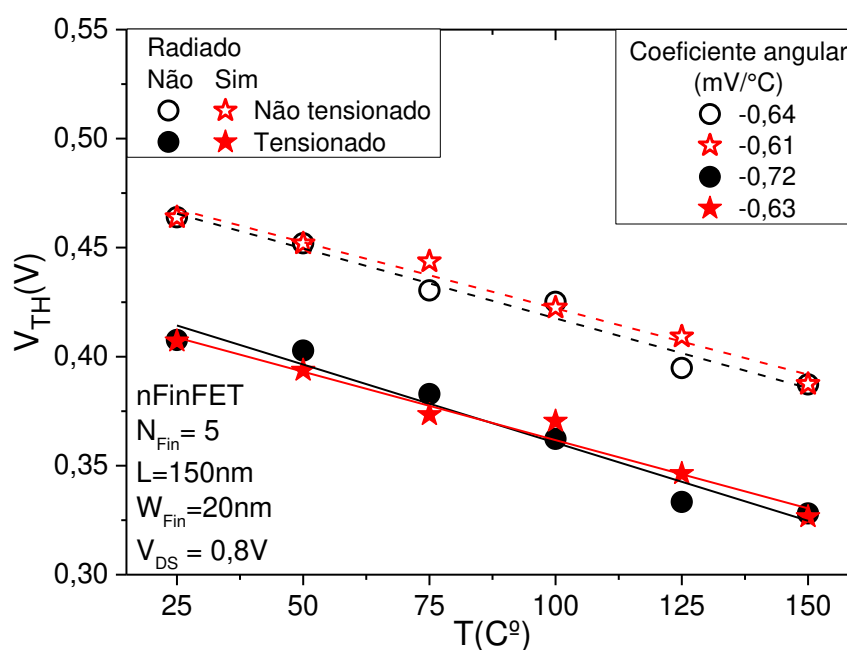
A radiação teve um efeito mais acentuado com o aumento da temperatura, no dispositivo sem tensionamento, devido ao dispositivo ter menos defeitos de estrutura

que o dispositivo tensionado, fazendo com que o mesmo seja mais sensível as cargas geradas no óxido pela radiação.

Na figura 5.1 também foi mostrado o coeficiente angular das curvas obtidos através de regressão linear dos pontos gráficos nela mostrados que será usado posteriormente no valor da variação de  $V_{TH}$  com a temperatura  $\frac{\Delta V_{TH}}{\Delta T}$ . Nota-se que a menor variação é obtida nos dispositivos sem tensionamento (aproximadamente -0,5 mV/K), os outros são maiores devido a degradação das características físicas com os efeitos, principalmente na estrutura cristalográfica do dispositivo que influencia em uma maior variação no valor dos portadores intrínsecos do Silício no canal.

As características apresentadas na figura 5.1 se repetem na região de saturação do mesmo dispositivo, como pode ser visto na figura 5.2.

Figura 5.2 – Curva experimental de  $V_{TH}$  em função da temperatura, para dispositivos nFinFET com  $W_{Fin}=20\text{nm}$  e  $L=150\text{nm}$  na região de saturação, para os quatro tipos de lâmina analisados.

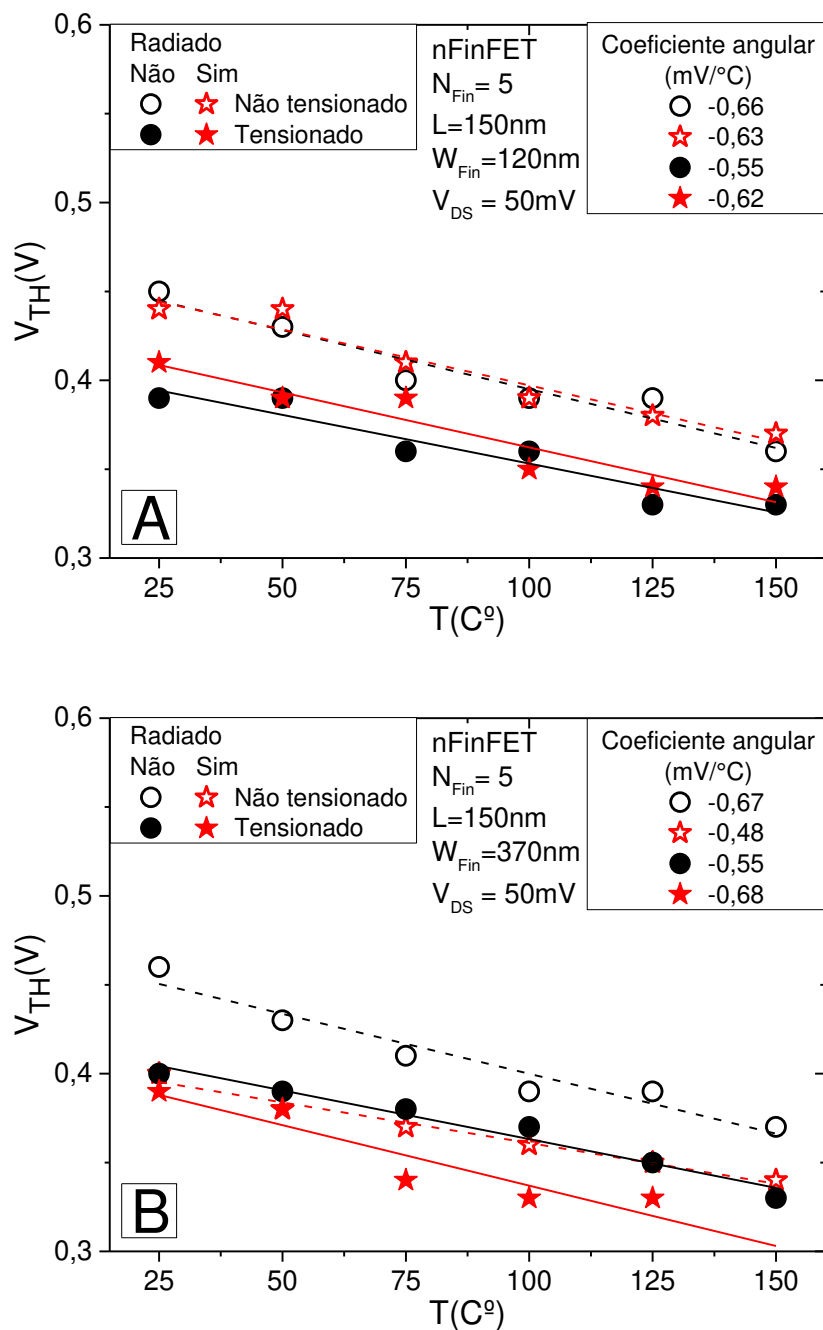


Fonte: Autor

Com exceção dos valores de  $V_{TH}$  serem mais baixos para saturação devido ao efeito DIBL, as outras influências anteriormente visualizadas para região linear se repetem também na saturação.

A seguir é mostrado a mesma análise para os dispositivos com largura da aleta maiores.

Figura 5.3 – Curva experimental de  $V_{TH}$  em função da temperatura na região linear em dispositivos nFinFET com  $L=150\text{nm}$  para os quatro tipos de lâmina analisados, onde A)  $W_{Fin}=120\text{nm}$  e B)  $W_{Fin}=370\text{nm}$ .



Fonte: Autor



Com a figura 5.3 é possível analisar que o efeito mais significativo na tensão de limiar continua sendo o tensionamento e o efeito da radiação nos dispositivos sem tensionamento continuam semelhantes ao de  $W_{Fin}$  menor, porém a radiação começa a ter mais significância nos dispositivos mais largos.

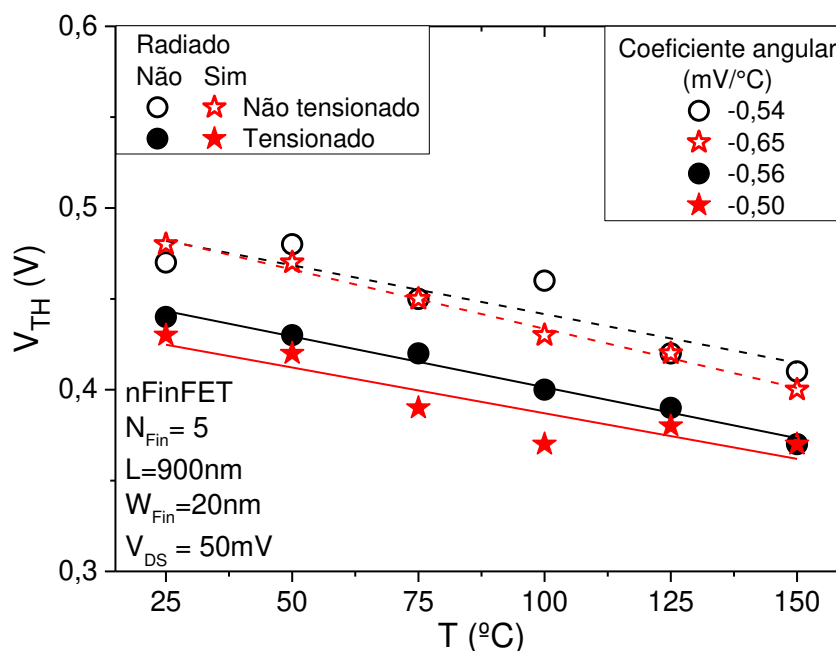
Isso ocorre devido a maior área do dielétrico de porta vulnerável à radiação e conseqüentemente maior acúmulo de cargas no óxido enterrado, sem o controle das portas laterais do transistor.

Outra análise possível, é que com o aumento da largura do canal, verifica-se uma inversão da análise anterior sobre o parâmetro  $\frac{\Delta V_{TH}}{\Delta T}$ , os dispositivos sem tensionamento sofrem uma maior influência da temperatura, enquanto os dispositivos com tensionamento se mantêm mais estáveis nesse parâmetro, obtendo maior alteração com o efeito da radiação.

Na dimensão menor de largura de aleta ( $W_{Fin}=20nm$ ), o efeito do tensionamento, mesmo sendo biaxial, se comporta como uniaxial devido à pequena dimensão de largura, sendo efetivo somente no sentido do comprimento do canal. Enquanto que nos maiores o tensionamento pode cumprir seu propósito de biaxial, tendo uma influência menor com a temperatura.

Os efeitos vistos até aqui podem ser ainda comparados com comprimento de canal maior ( $L=900nm$ ), como na figura 5.4.

Figura 5.4 – Curva experimental de  $V_{TH}$  em função da temperatura, para dispositivos nFinFET com  $W_{Fin}=20nm$  e  $L=900nm$  na região linear, para os quatro tipos de lâmina analisados.



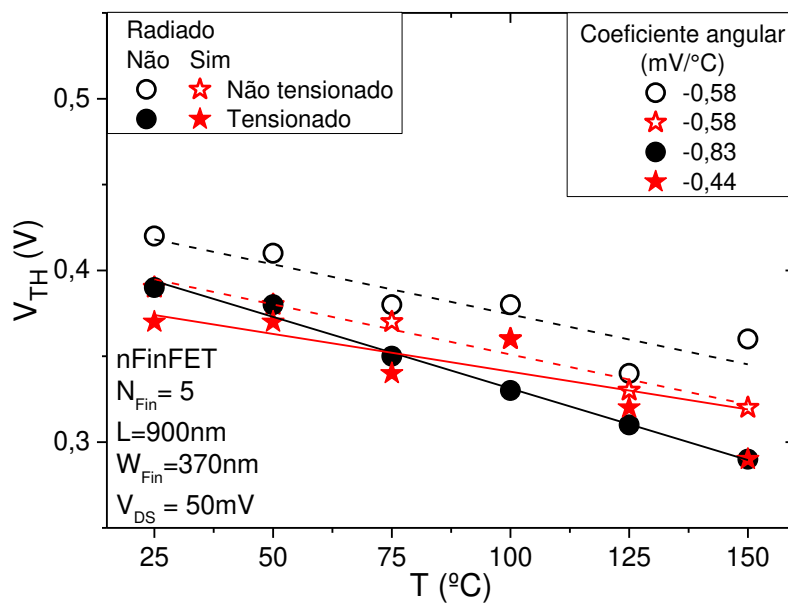
Fonte: Autor

Na figura 5.4 é possível observar que o aumento do comprimento de canal ( $L$ ) (dispositivos de  $L = 120nm$  e  $900nm$ ) causa conseqüentemente um aumento da área ativa do transistor e conseqüentemente um aumento da influência da radiação sobre o mesmo.

Junto com isso, é cabível aqui explicar um efeito indesejado do tensionamento. Temos para os dispositivos com canal mais comprido uma maior eficácia do tensionamento, porém, como o material depositado para fazer a camada dCESL do tensionamento tem uma constante térmica diferente da do silício e dos demais materiais utilizados para a porta do canal, com o aquecimento ocorre uma redução do efeito do tensionamento.

De forma a sustentar o efeito da radiação ser maior quanto maior a área, apresentamos a figura 5.5 com os maiores dispositivos nFinFET experimentados,  $L=900nm$  e  $W_{Fin}=370nm$ .

Figura 5.5 – Curva experimental de  $V_{TH}$  em função da temperatura, para dispositivos nFinFET com  $W_{Fin}=370\text{nm}$  e  $L=900\text{nm}$  na região linear, para os quatro tipos de lâmina analisados.

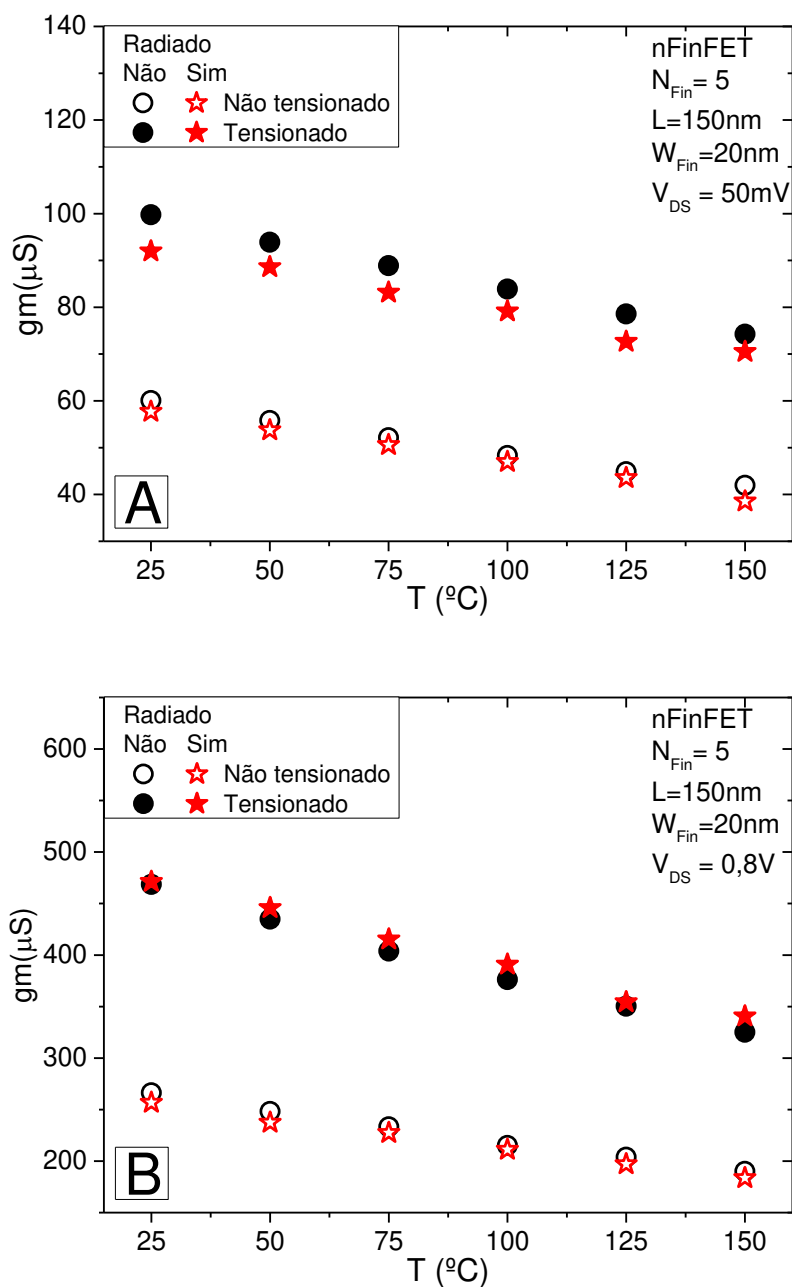


Fonte: Autor

### 5.2.1.1.2 Transcondutância

Como característica do tensionamento é esperado um aumento da transcondutância para dispositivos nFinFET e uma redução para dispositivos pFinFET. Vejamos o efeito em dispositivos tipo n mostrado na figura 5.6.

Figura 5.6 – Curva experimental de  $g_m$  em função da temperatura em dispositivos nFinFET com  $W_{Fin}=20\text{nm}$  e  $L=150\text{nm}$  para os quatro tipos de lâmina analisados, onde A) região linear e B) região de saturação.



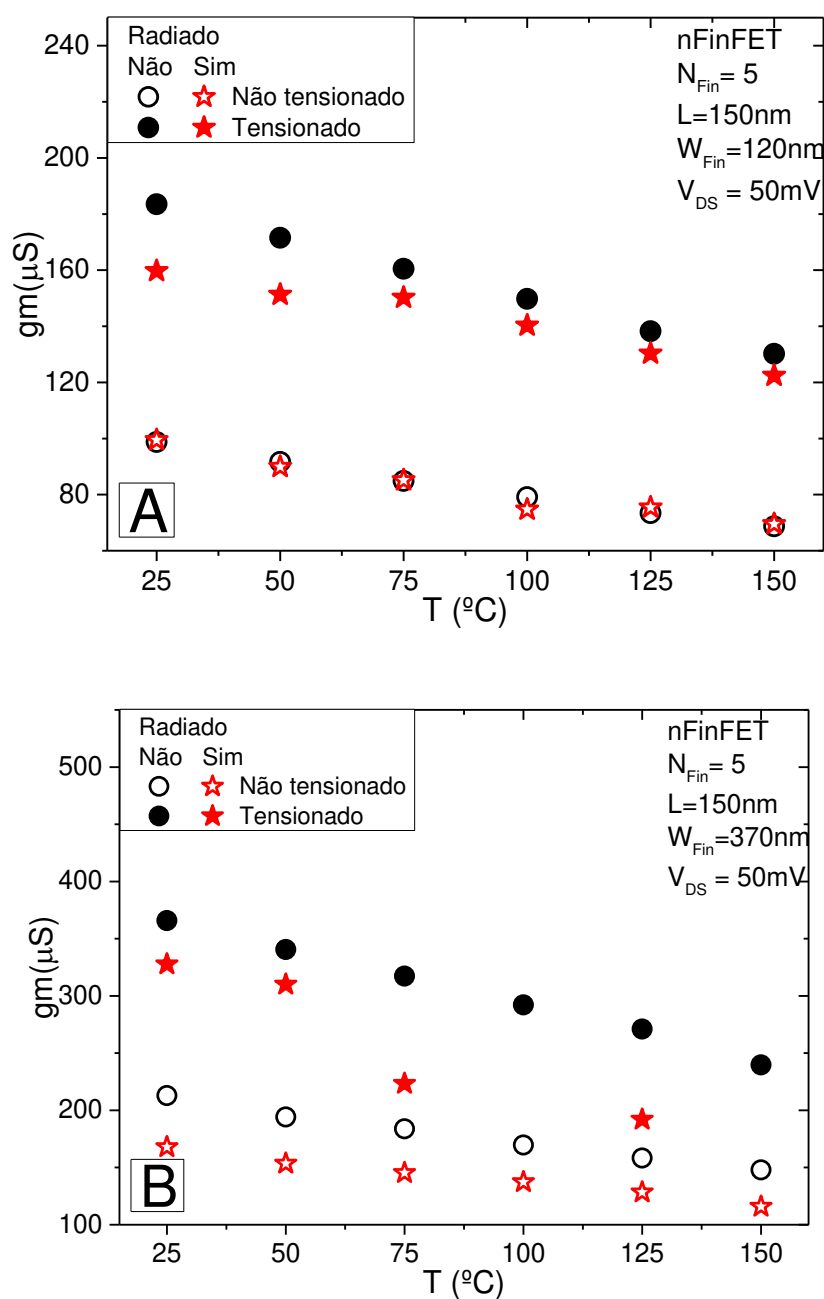
Fonte: Autor

Nota-se que houve um aumento da transcondutância nos dispositivos tensionados em comparação com os não tensionados, em ambas as regiões de operação, e também que o dispositivo não tensionado sofreu menor influência da radiação que o dispositivo tensionado. Isso também é explicado pela imperfeição na

estrutura cristalina do canal causada pelo tensionamento, de forma que o controle da tensão de porta seja dificultado por essas imperfeições.

A mesma tendência é observada nas curvas para as outras dimensões da largura da aleta ( $W_{Fin}$ ) como mostrado na figura 5.7.

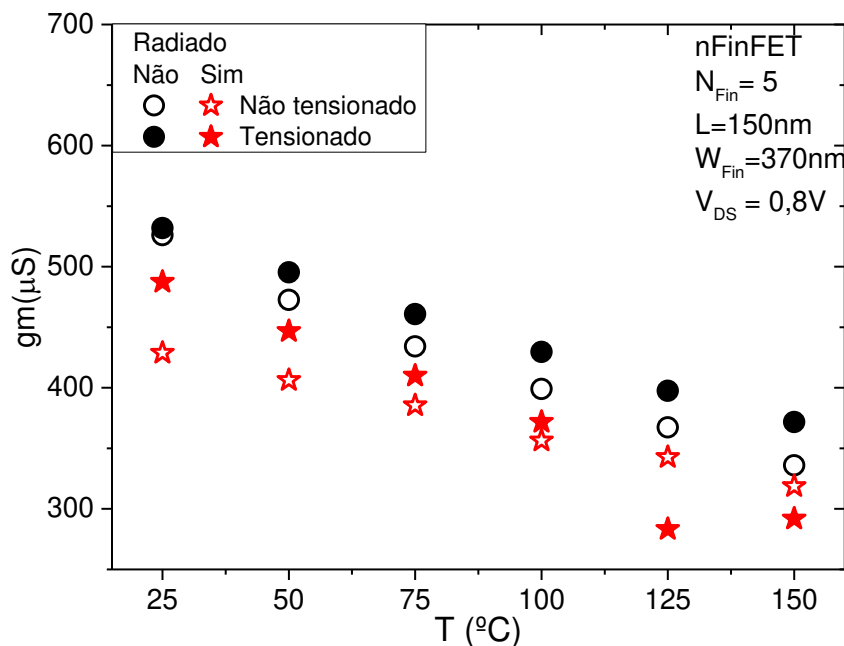
Figura 5.7 – Curva experimental de  $g_m$  em função da temperatura na região linear em dispositivos nFinFET com  $L=150\text{nm}$  para os quatro tipos de lâmina analisados, onde A)  $W_{Fin}=120\text{nm}$  e B)  $W_{Fin}=370\text{nm}$ .



Fonte: Autor

A única condição em que essa tendência não se repetiu para dispositivos nFinFET com comprimento de canal  $L=150\text{nm}$ , foi o dispositivo de  $W_{\text{Fin}}=370\text{nm}$  na região de saturação, como segue figura 5.8.

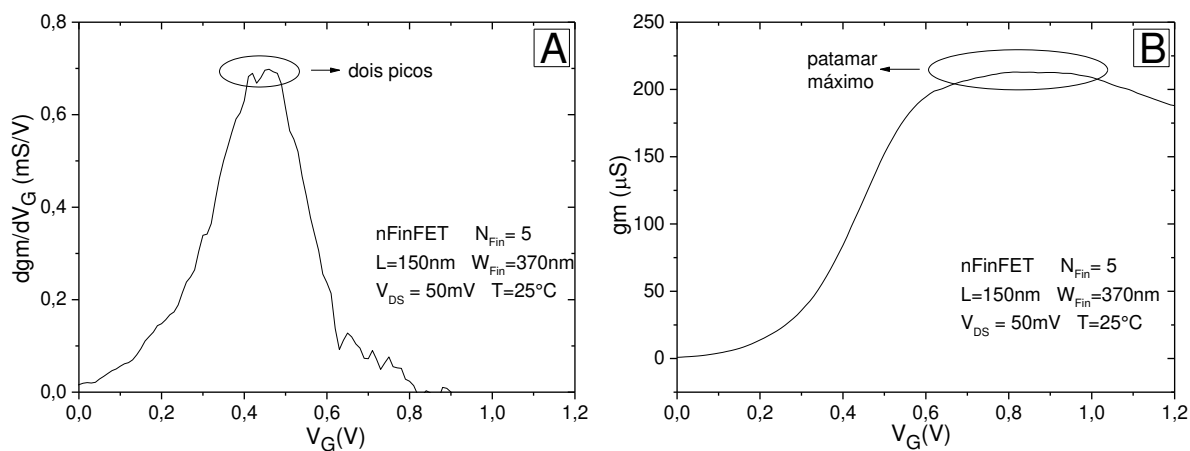
Figura 5.8 – Curva experimental de  $g_m$  em função da temperatura na região de saturação para dispositivo nFinFET nos quatro tipos de lâmina analisados para  $W_{\text{Fin}}=370\text{nm}$ .



Fonte: Autor

Isso ocorre devido a uma condução na segunda interface (canal / óxido enterrado) proveniente do efeito de canal curto, mais facilmente visualizada nas curvas de  $e$   $dg_m \times dV_G$  (visualização de dois picos no momento da extração de  $V_{\text{TH}}$ ) e  $g_m \times V_G$  (visualização de um patamar máximo na extração de  $g_{m\text{máx}}$ ) (figura 5.9), fazendo com que o método de extração tenha sido ineficiente para este caso, prejudicando as seguintes análises do mesmo.

Figura 5.9 – Curvas experimentais para o transistor nFinFET de  $W_{Fin}=370\text{nm}$  e  $L=150\text{nm}$  na temperatura de  $20^\circ\text{C}$  operando na região de trípodo, A)  $dgm \times dV_G$ ; B)  $gm \times V_G$ .

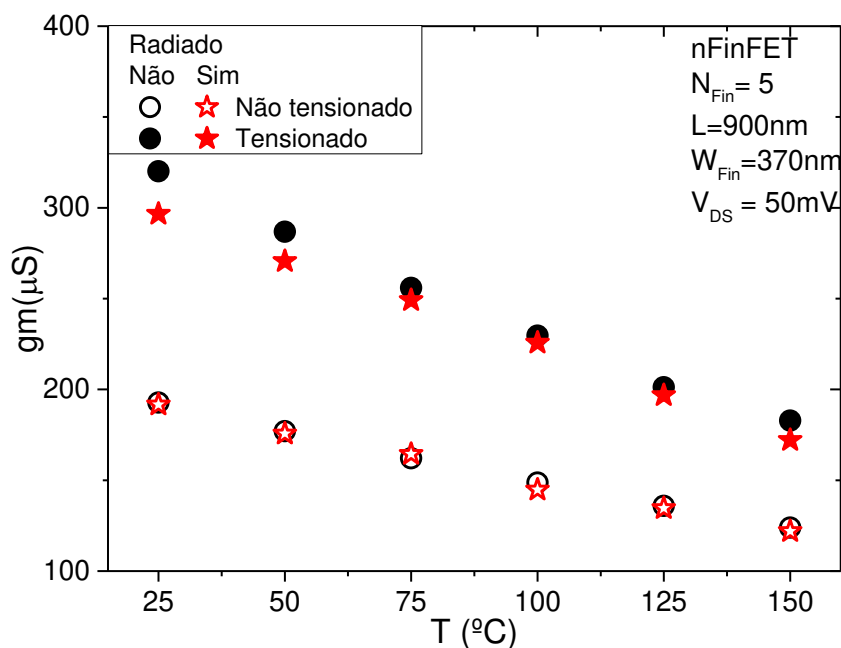


Fonte: Autor

As análises da figura 5.9 foram realizadas na região linear de forma a mostrar que como já há uma anormalidade de condução pela segunda interface nesta região, com uma maior tensão  $V_{DS}$  (região de saturação) acarretará uma maior depleção das junções de fonte e dreno, aumentando o efeito desta anormalidade.

De forma a sustentar essa afirmação foi feita a mesma análise para um dispositivo com as mesmas características, porém com comprimento de canal de  $L=900\text{nm}$ , como visto na figura 5.10.

Figura 5.10 – Curva experimental de  $g_m$  em função da temperatura na região de saturação para dispositivo nFinFET nos quatro tipos de lâmina analisados para  $W_{Fin}=370$  nm.



Fonte: Autor

Desta forma podemos afirmar, que o efeito que causou uma degradação da transcondutância diferentemente do esperado, foi causado por um efeito de canal curto, onde foi facilitado a condução pela segunda interface.

### 5.2.1.1.3 Fator de degradação da transcondutância (c)

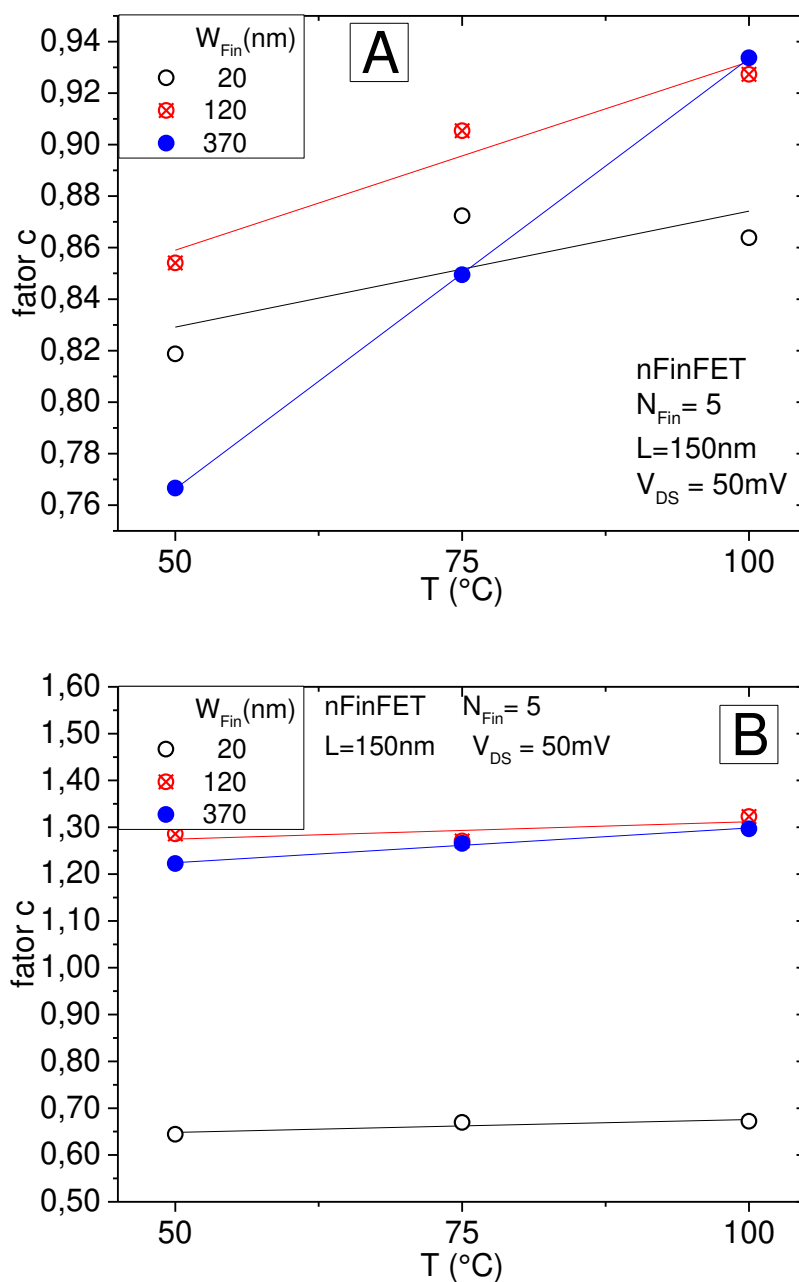
Nos valores obtidos do fator de degradação da transcondutância pela temperatura (c), não foi encontrado nas primeiras análises, tendências significativas que pudessem ser referenciadas aos efeitos aos quais os dispositivos foram submetidos.

Porém foram possíveis algumas observações em relação à largura do canal e os dispositivos sem tensionamento.

Em relação aos dispositivos sem tensionamento e sem radiação foi observado que o valor de (c) cresce com a temperatura e tem sua inclinação maior conforme o aumento da largura, como visto na figura 5.11.



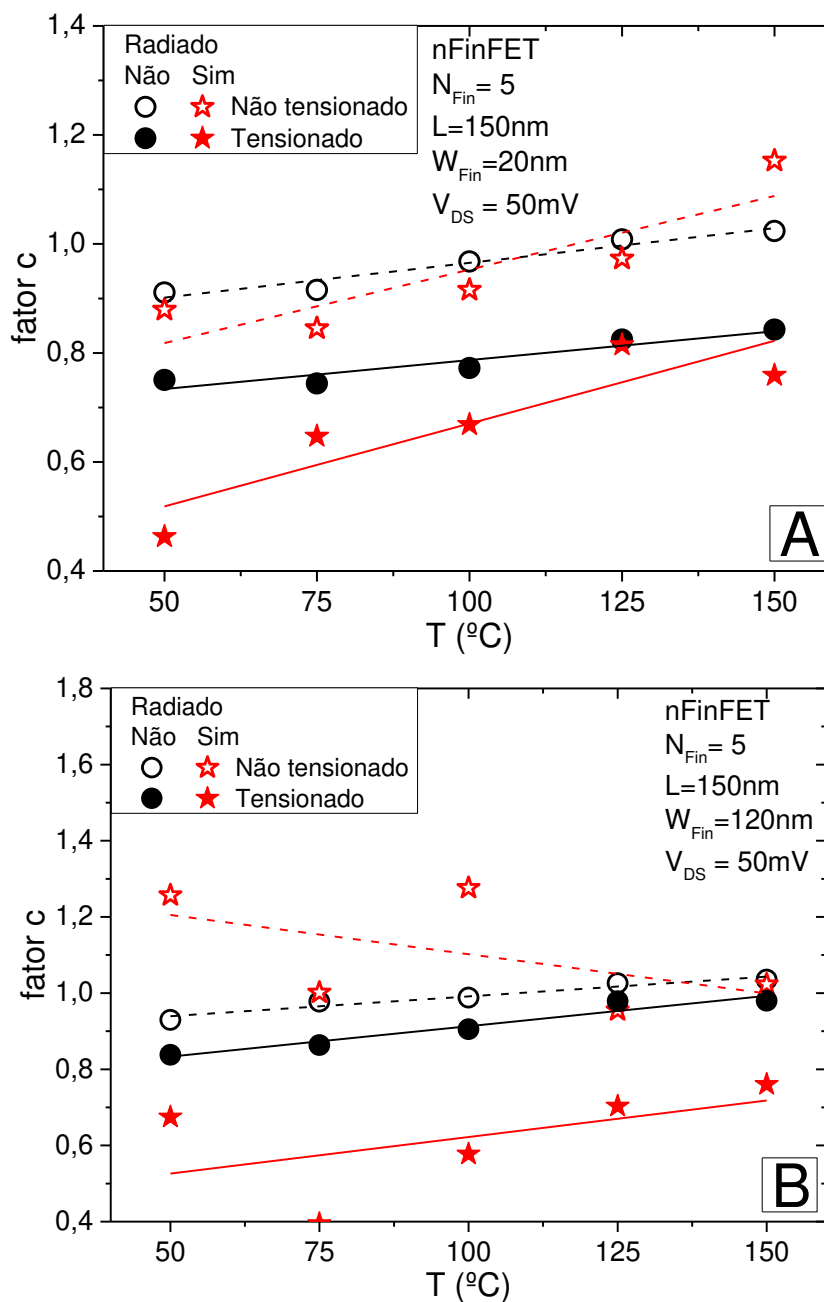
Figura 5.11 – Curva experimental do fator  $c$  em função da temperatura em dispositivos nFinFET com  $L=150\text{nm}$  para os três valores de  $W_{\text{Fin}}$  analisados, onde A) região linear e B) região de saturação.



Fonte: Autor

Já uma outra tendência analisada foi, que nos dispositivos sem tensionamento, o fator  $c$  para os mesmos, sem e com radiação, continuaram próximos, como pode ser visto na figura 5.12.

Figura 5.12 – Curva experimental do fator c em função da temperatura na região linear para os quatro tipos de lâmina analisados, onde A)  $W_{Fin} = 20\text{nm}$  e B)  $W_{Fin} = 370\text{nm}$ .



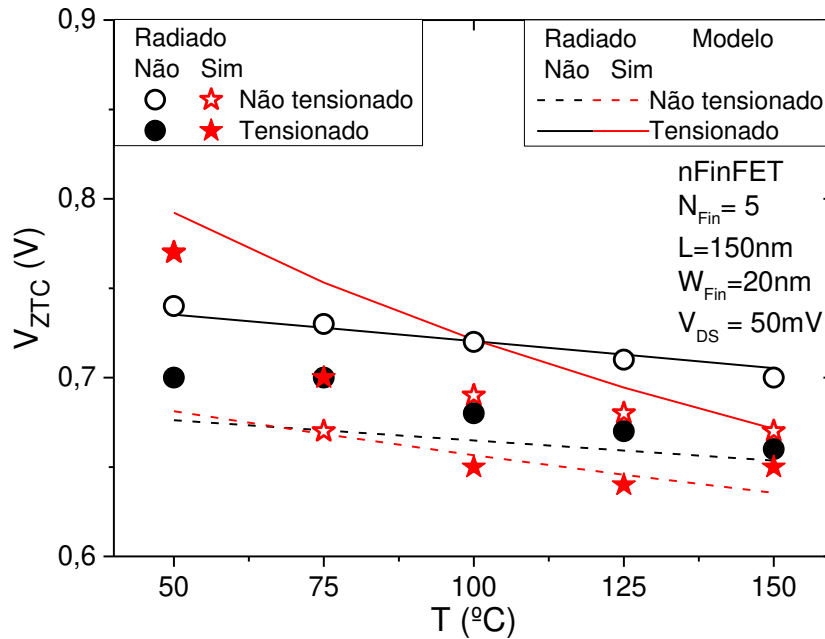
Fonte: Autor

#### 5.2.1.1.4 Tensão de ZTC

Não foi possível observar uma tendência direta entre os valores da tensão de ZTC, porém foi possível analisar a influência da tensão de limiar e da transcondutância na mesma.

Como fator de primeira ordem, a tensão de limiar é diretamente proporcional a tensão de ZTC, enquanto a transcondutância, como fator de segunda ordem, afeta na inclinação na curva de  $V_{ZTC}$ , isso analisando diretamente no modelo proposto (capítulo 3).

Figura 5.13 – Curva experimental de  $V_{ZTC}$  em função da temperatura para dispositivos nFinFET na região linear para os quatro tipos de lâmina analisados, onde as linhas que seguem os pontos são os valores do modelo.



Fonte: Autor

É possível notar na figura 5.13 em conjunto com as outras, 5.3.A e 5.7.A, o que foi falado anteriormente, sobre acompanhar a tensão de limiar ( $V_{TH}$ ) inicialmente, em relação à amplitude do valor, e com o aumento da temperatura depender sua inclinação à degradação da transcondutância (fator  $c$ ) e à variação da tensão de limiar com a temperatura  $\left(\frac{\Delta V_{TH}}{\Delta T}\right)$ .

Contudo, foi possível analisar a utilização do modelo melhorado para o ponto de ZTC em dispositivos nFinFET com  $L=150\text{nm}$  com efeitos de tensionamento e radiação, verificando que devido ao mesmo basear-se à tensão de limiar e transcondutância, parâmetros que são influenciados diretamente pelos efeitos propostos, o valor máximo de erro encontrado para todas as medidas, foi de 13% (tabelas 5.1 e 5.2). Salvo algumas exceções mencionadas a seguir.

Tabela 5.1 – Valores de  $V_{ZTC}$  experimental e do modelo analítico na região linear para dispositivos nFinFET  $L=150\text{nm}$ , para as quatro lâminas analisadas e as três larguras de canal, assim como seus respectivos erros.

Lâmina		Temp. (°C)	Vztc (V) para $W_{Fin}=20\text{nm}$			Vztc (V) para $W_{Fin}=120\text{nm}$			Vztc (V) para $W_{Fin}=370\text{nm}$		
			Modelo	Experim.	Erro (%)	Modelo	Experim.	Erro (%)	Modelo	Experim.	Erro (%)
não tensionado	pre-rad	50	0,68	0,74	<b>8,63</b>	0,68	0,74	<b>8,03</b>	0,66	0,64	<b>3,90*</b>
		75	0,67	0,73	<b>8,15</b>	0,67	0,70	<b>3,58</b>	0,67	0,66	<b>1,06*</b>
		100	0,66	0,72	<b>7,65</b>	0,67	0,69	<b>3,01</b>	0,67	0,65	<b>2,96*</b>
		125	0,66	0,71	<b>7,15</b>	0,66	0,68	<b>2,44</b>	0,67	0,64	<b>4,97*</b>
		150	0,65	0,70	<b>6,63</b>	0,66	0,67	<b>1,85</b>	0,67	0,63	<b>7,07*</b>
	pos-rad	50	0,68	0,77	<b>11,53</b>	0,62	0,66	<b>5,54</b>	0,56	0,61	<b>9,01*</b>
		75	0,67	0,67	<b>0,24</b>	0,63	0,66	<b>4,60</b>	0,56	0,60	<b>7,22*</b>
		100	0,66	0,69	<b>4,84</b>	0,64	0,63	<b>1,14</b>	0,56	0,59	<b>5,34*</b>
		125	0,65	0,68	<b>5,05</b>	0,65	0,65	<b>0,59</b>	0,56	0,60	<b>6,60*</b>
		150	0,64	0,67	<b>5,14</b>	0,66	0,66	<b>0,49</b>	0,56	0,58	<b>3,01*</b>
tensionado	pre-rad	50	0,74	0,70	<b>5,03</b>	0,62	0,66	<b>6,55</b>	0,62	0,61	<b>1,76*</b>
		75	0,73	0,70	<b>3,98</b>	0,61	0,64	<b>4,94</b>	0,61	0,58	<b>4,34*</b>
		100	0,72	0,68	<b>5,94</b>	0,60	0,63	<b>4,74</b>	0,59	0,57	<b>3,68*</b>
		125	0,71	0,67	<b>6,40</b>	0,59	0,61	<b>2,94</b>	0,58	0,55	<b>5,08*</b>
		150	0,71	0,66	<b>6,87</b>	0,58	0,61	<b>4,24</b>	0,57	0,55	<b>2,89*</b>
	pos-rad	50	0,79	0,77	<b>2,89</b>	0,79	0,73	<b>8,22</b>	0,71	0,69	<b>3,05*</b>
		75	0,75	0,70	<b>7,59</b>	0,76	0,87	<b>12,07</b>	0,72	0,50	<b>43,03*</b>
		100	0,72	0,65	<b>10,96</b>	0,74	0,70	<b>6,07</b>	0,72	0,62	<b>15,99*</b>
		125	0,69	0,64	<b>8,50</b>	0,72	0,63	<b>12,61</b>	0,72	0,45	<b>60,68*</b>
		150	0,67	0,65	<b>3,29</b>	0,70	0,63	<b>11,65</b>	0,73	0,33	<b>120,28*</b>

\* Valores para dispositivo com características fora da validade do modelo devido a condução parasitária na segunda interface.

Fonte: Autor

Exemplo do cálculo de erro:

$$\text{Erro}(\%) = \frac{V_{ZTC_{\text{experim.}}} - V_{ZTC_{\text{modelo}}}}{V_{ZTC_{\text{experim.}}}} \cdot 100 = \frac{0,74 - 0,68}{0,74} \cdot 100 = 8,63\%$$

Observação, valores utilizados para cálculo com 6 casa decimais.

Tabela 5.2 – Valores de  $V_{ZTC}$  experimental e do modelo na região saturação, para dispositivos nFinFET  $L=150\text{nm}$  para as quatro lâminas analisadas e as três larguras de canal, assim como seus respectivos erros.

Lâmina		Temp. (°C)	Vztc (V) para $W_{Fin}=20\text{nm}$			Vztc (V) para $W_{Fin}=120\text{nm}$			Vztc (V) para $W_{Fin}=370\text{nm}$		
			Modelo	Experim.	Erro (%)	Modelo	Experim.	Erro (%)	Modelo	Experim.	Erro (%)
não tensionado	pre-rad	50	0,92	0,89	<b>3,20</b>	0,88	0,91	<b>2,85</b>	0,71	0,78	<b>8,74*</b>
		75	0,91	0,89	<b>2,80</b>	0,88	0,88	<b>0,20</b>	0,72	0,81	<b>10,89*</b>
		100	0,91	0,87	<b>4,69</b>	0,87	0,87	<b>0,22</b>	0,73	0,84	<b>12,89*</b>
		125	0,91	0,88	<b>2,98</b>	0,87	0,87	<b>0,55</b>	0,74	0,84	<b>11,68*</b>
		150	0,90	0,87	<b>3,60</b>	0,86	0,87	<b>1,38</b>	0,75	0,83	<b>9,39*</b>
	pos-rad	50	0,89	0,84	<b>5,72</b>	0,92	0,91	<b>1,14</b>	0,92	0,90	<b>2,61*</b>
		75	0,89	0,92	<b>2,99</b>	0,91	0,87	<b>4,71</b>	0,89	0,88	<b>1,69*</b>
		100	0,90	0,90	<b>0,41</b>	0,90	0,88	<b>2,41</b>	0,87	0,82	<b>5,84*</b>
		125	0,90	0,88	<b>2,24</b>	0,89	0,87	<b>2,42</b>	0,84	0,85	<b>0,88*</b>
		150	0,90	0,86	<b>4,96</b>	0,88	0,88	<b>0,07</b>	0,82	0,81	<b>1,06*</b>
tensionado	pre-rad	50	0,89	0,83	<b>6,64</b>	0,82	0,79	<b>3,42</b>	0,69	0,76	<b>8,76*</b>
		75	0,88	0,82	<b>7,36</b>	0,80	0,77	<b>3,76</b>	0,68	0,73	<b>6,51*</b>
		100	0,88	0,81	<b>8,03</b>	0,78	0,77	<b>1,49</b>	0,67	0,72	<b>6,76*</b>
		125	0,87	0,81	<b>7,32</b>	0,76	0,74	<b>3,33</b>	0,66	0,70	<b>5,72*</b>
		150	0,86	0,80	<b>7,91</b>	0,75	0,75	<b>0,22</b>	0,65	0,69	<b>6,02*</b>
	pos-rad	50	0,94	0,87	<b>8,29</b>	0,83	0,85	<b>2,50</b>	0,69	0,81	<b>15,13*</b>
		75	0,91	0,84	<b>8,18</b>	0,81	0,85	<b>4,38</b>	0,66	0,82	<b>19,01*</b>
		100	0,88	0,81	<b>8,51</b>	0,80	0,81	<b>1,61</b>	0,64	0,80	<b>19,79*</b>
		125	0,85	0,78	<b>9,24</b>	0,78	0,75	<b>4,19</b>	0,62	0,41	<b>51,22*</b>
		150	0,83	0,80	<b>3,45</b>	0,77	0,78	<b>1,77</b>	0,60	0,57	<b>5,11*</b>

\* Valores para dispositivo com características fora da validade do modelo devido a condução parasitária na segunda interface.

Fonte: Autor

É possível identificar erros acima do valor mencionado, porém há características na medida que tornam difícil a análise do ponto pelo modelo, como por exemplo uma provável condução parasitária pela segunda interface antes da interface principal (primeira interface).

## 5.2.2 Dispositivos pFinFET

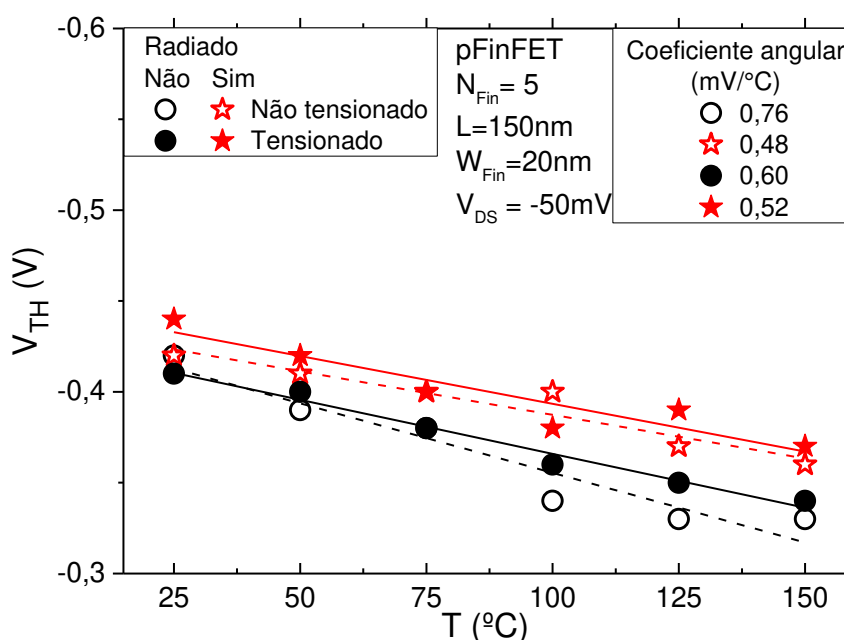
Agora iniciaremos a parte dos resultados obtidos para a proposta de análise do ponto invariante com a temperatura para os dispositivos pFinFET.

Contudo, devemos levar em consideração que o tensionamento utilizado para as lâminas sSOI, são tensionamentos mecânicos tensivos, que visam a melhoria da mobilidade em dispositivos nFinFET e não dispositivos pFinFET (como vimos no capítulo 2.3). Com isso, os resultados serão melhor analisados em relação à radiação e a combinação dos defeitos gerados por ambos na interface óxido/canal.

### 5.2.2.1.1 Tensão de Limiar

Diferentemente da estrutura nFinFET, aqui o tensionamento age de forma contrária, reduzindo a mobilidade das lacunas (ou portadores positivos) ao longo do canal, desta forma podendo causar um aumento na tensão de limiar como podemos ver na figura 5.14.

Figura 5.14 – Curva experimental de  $V_{TH}$  em função da temperatura, para dispositivos pFinFET com  $W_{Fin}=20\text{nm}$  e  $L=150\text{nm}$  na região linear, para os quatro tipos de lâmina analisados.



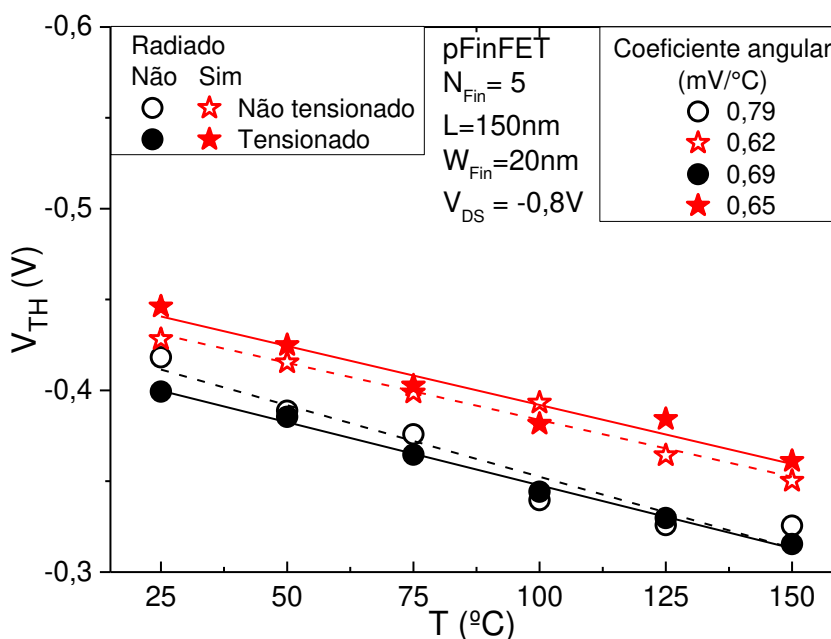
Fonte: Autor

Observando os resultados, para este dispositivo que foi o menor dispositivo analisado, a tensão de limiar sofreu mais com a radiação no quesito de defeitos causados pela mesma, que com o tensionamento. O tensionamento gerou um aumento da tensão de limiar de forma análoga e contrária ao que ocorreu aos dispositivos nFinFET, porém com muito baixa influência, tendo maior influência nos defeitos de interface.

A radiação gerou defeitos de interface, que quando somados com os defeitos do tensionamento, entregou uma degradação da tensão de limiar pela temperatura, menor que o dispositivo sem nenhum dos efeitos.

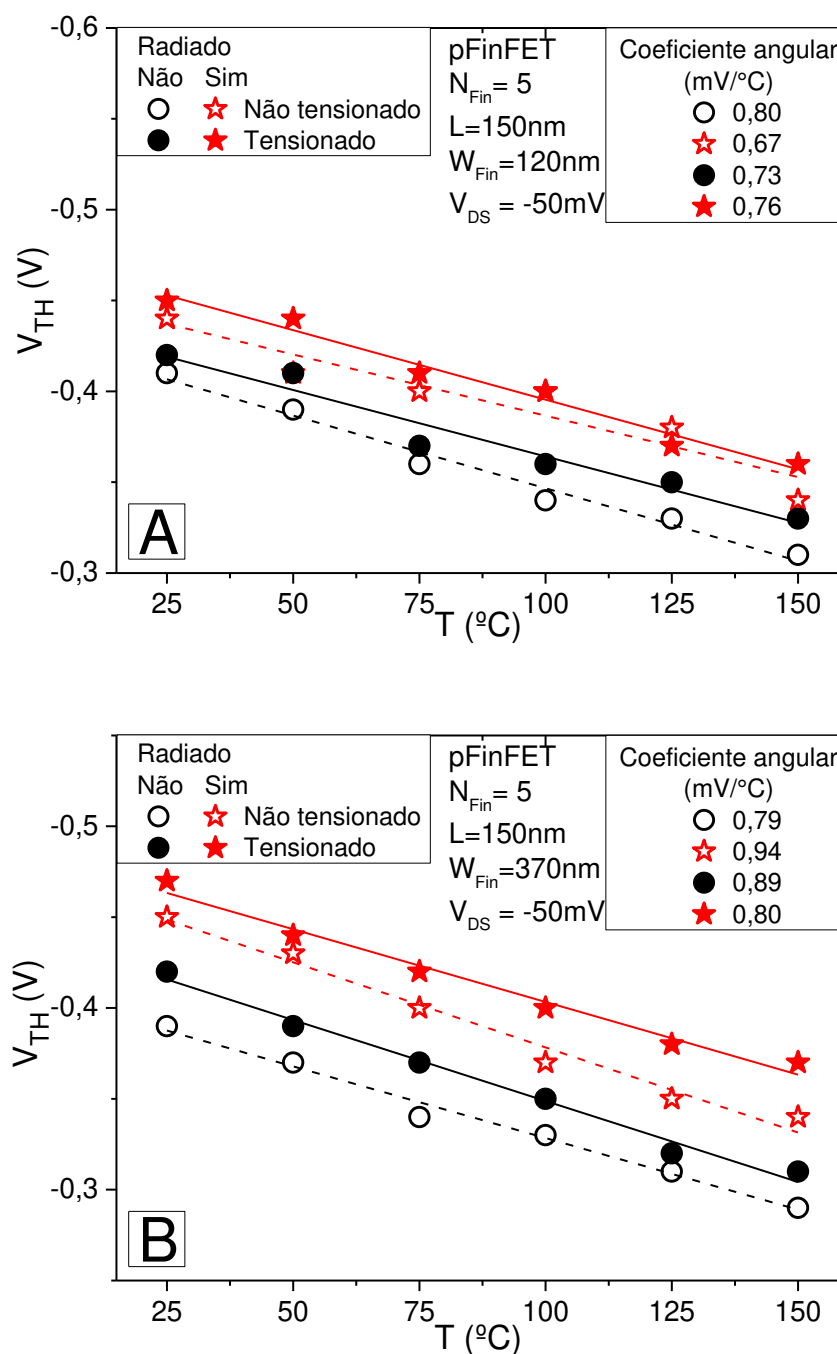
Para uma melhor visualização vejamos este mesmo dispositivo em modo de saturação (figura 5.15) e dispositivos com outras dimensões de largura da aleta ( $W_{Fin}$ ) (figura 5.16).

Figura 5.15 – Curva experimental de  $V_{TH}$  em função da temperatura, para dispositivos pFinFET com  $W_{Fin}=20\text{nm}$  e  $L=150\text{nm}$  na região de saturação, para os quatro tipos de lâmina analisados.



Fonte: Autor

Figura 5.16 – Curva experimental de  $V_{TH}$  em função da temperatura na região linear em dispositivos pFinFET com  $L=150\text{nm}$  para os quatro tipos de lâmina analisados, onde A)  $W_{Fin}=120\text{nm}$  e B)  $W_{Fin}=370\text{nm}$ .



Fonte: Autor

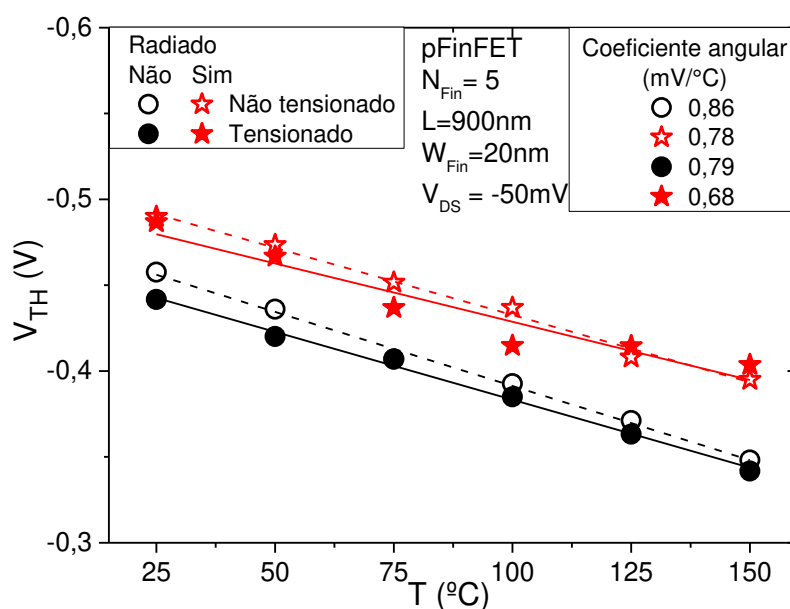
Os resultados obtidos nestas mesmas análises para os dispositivos nFinFET se repetem nos pFinFET, onde podemos afirmar, que quanto maior a área do canal dos dispositivos, maior influência ele sofre dos efeitos. E diferente dos dispositivos tipo n,



nos dispositivos tipo p o acréscimo do tensionamento reduz a variação da tensão de limiar pela temperatura para todos os dispositivos, onde no tipo n ocorria somente para os canais mais largos, como dito anteriormente, devido que nos canal mais curto o efeito do tensionamento não estava atuando em sua plenitude como biaxial devido à dimensão pequena de largura da aleta.

Podemos notar o mesmo efeito do canal mais estreito para um canal mais longo como na figura 5.17.

Figura 5.17 – Curva experimental de  $V_{TH}$  em função da temperatura, para dispositivos pFinFET com  $W_{Fin}=20\text{nm}$  e  $L=900\text{nm}$  na região linear, para os quatro tipos de lâmina analisados.

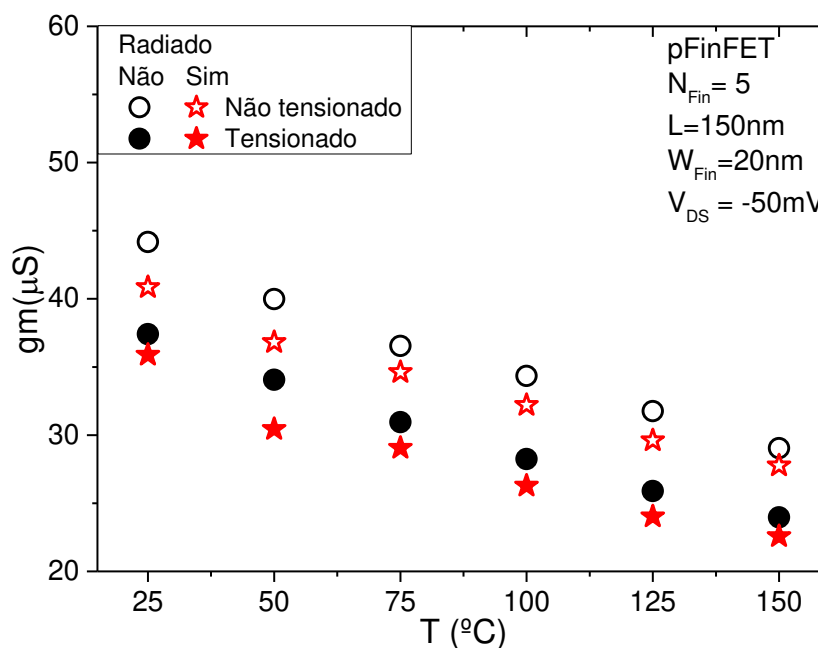


Fonte: Autor

### 5.2.2.1.2 Transcondutância

Neste parâmetro é onde encontramos uma maior visualização da diferenciação de pFinFET e nFinFET em relação ao efeito de tensionamento.

Figura 5.18 – Curva experimental de  $g_m$  em função da temperatura em dispositivos pFinFET com  $W_{Fin}=20\text{nm}$  e  $L=150\text{nm}$  na região de triodo para os quatro tipos de lâmina analisados.

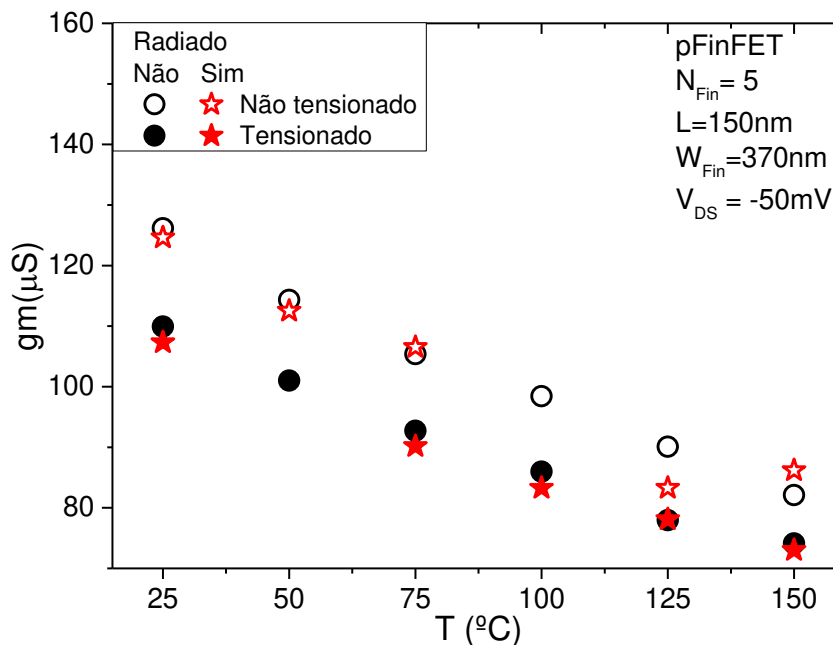


Fonte: Autor

O tensionamento mecânico neste caso, afasta os átomos de silício diminuindo a mobilidade das lacunas, conseqüentemente reduzindo a transcondutância dos transistores pFinFET. Essa influência é aumentada conforme a área do canal, de forma a gerar uma maior redução na mobilidade.

A radiação por sua vez segue com o mesmo efeito anterior, defeitos de estrutura gerado pelo atravessamento das partículas da radiação, também reduzindo a transcondutância. Como é possível observar em comparação com as figuras 5.18 e 5.19.

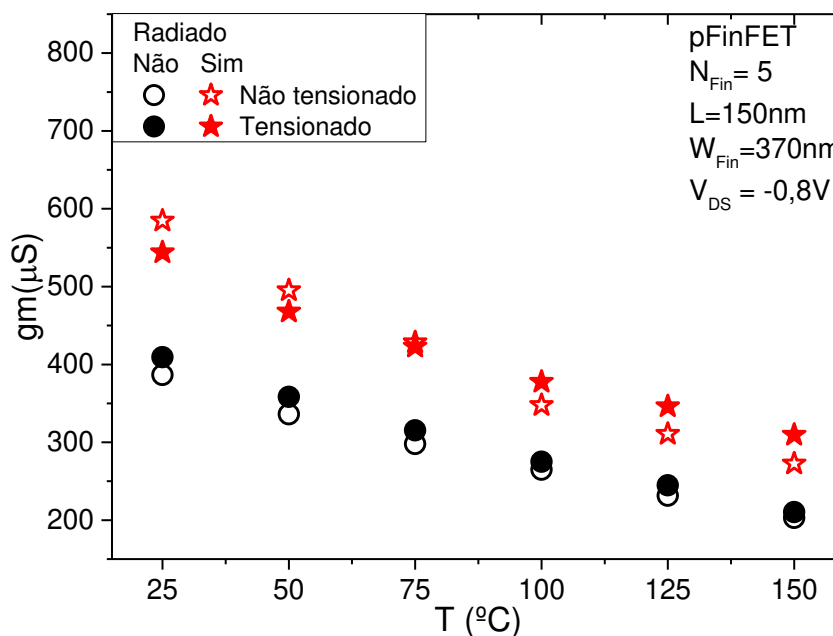
Figura 5.19 – Curva experimental de  $g_m$  em função da temperatura em dispositivos pFinFET com  $W_{Fin}=370\text{nm}$  e  $L=150\text{nm}$  na região de triodo para os quatro tipos de lâmina analisados.



Fonte: Autor

Da mesma forma ocorrida no transistor nFinFET de  $L=150\text{nm}$  e  $W_{Fin}=370\text{nm}$ , o equivalente pFinFET sofre de efeitos de canal curto, o que induz uma condução pela segunda interface, tornando a comparação destes dispositivos diferente da tendência (melhor observado em 5.20) observada para os dispositivos com largura da aleta menor.

Figura 5.20 – Curva experimental de  $g_m$  em função da temperatura em dispositivos pFinFET com  $W_{Fin}=370\text{nm}$  e  $L=150\text{nm}$  na região de saturação para os quatro tipos de lâmina analisados.



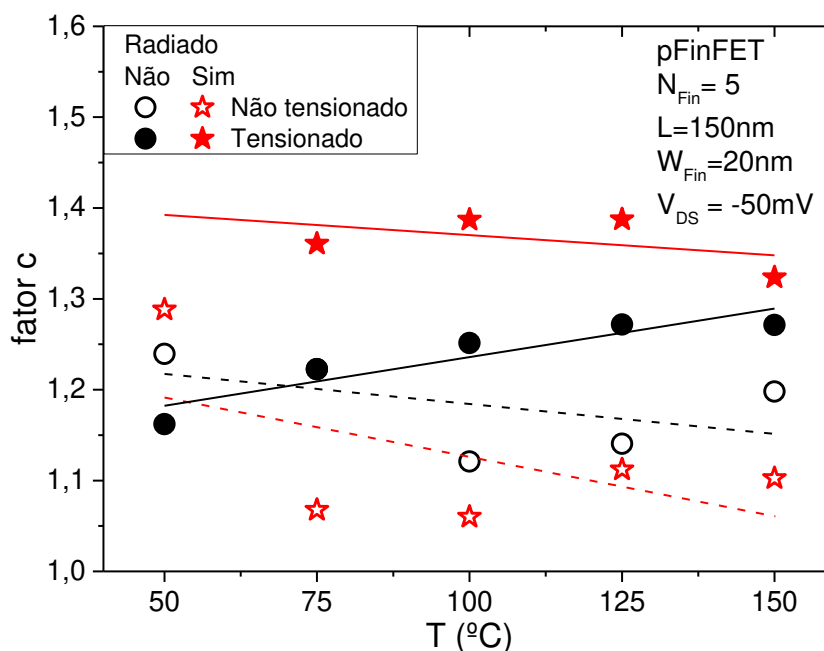
Fonte: Autor

### 5.2.2.1.3 Fator de degradação da transcondutância (c)

Diferente dos dispositivos tipo n, nos dispositivos tipo p foi possível observar valores mais elevados de (c) para dispositivos tensionados. O que nos indica que como o tensionamento não foi utilizado de forma a melhorar a transcondutância deste dispositivo, ele ainda sofre mais com os efeitos gerados no interior do mesmo com o aumento da temperatura.

Além disso, com a figura 5.21 em comparação com a figura 5.12.A é possível verificar que os valores de (c) para pFinFET são mais altos e que eles são mais próximos e menos variáveis com a temperatura.

Figura 5.21 – Curva experimental do fator c em função da temperatura na região linear para os quatro tipos de lâmina analisados em dispositivos pFinFET de  $W_{Fin}=20\text{nm}$  e  $L=150\text{nm}$ .



Fonte: Autor

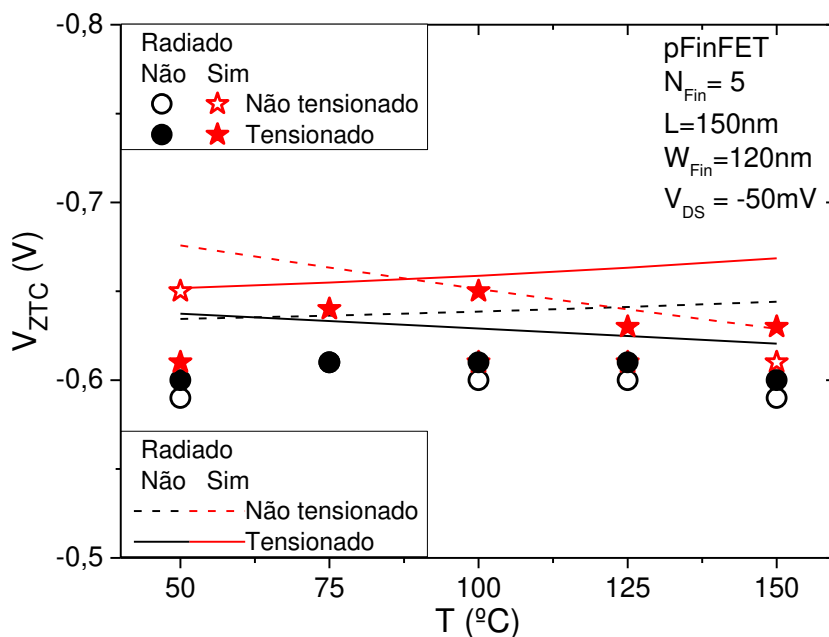
O fato de os valores do fator (c) serem mais próximos sugere que mesmo com a adição dos efeitos propostos no dispositivo as características básicas e a estrutura, sofreram danos, mas não danos tão severos pois nenhum dos efeitos estão de forma a otimizar o mesmo, enquanto no nFinFET o tensionamento está de forma a otimizar a transcondutância dos dispositivos.

Estas análises foram feitas em todos os dispositivos experimentados e apresentou estas mesmas observações a todos, inclusive a região do fator (c) tem um aumento leve com o aumento das dimensões dos dispositivos, porém a variação entre as curvas se mantém baixa.

#### 5.2.2.1.4 Tensão de ZTC

Analisando agora a tensão ZTC, é esperado que os valores sejam mais próximos entre os dispositivos analisados devido à redução da variação dos valores variáveis com a temperatura em relação aos dispositivos nFinFET.

Figura 5.22 – Curva experimental de  $V_{ZTC}$  em função da temperatura para dispositivos pFinFET de  $W_{Fin}=120\text{nm}$  e  $L=150\text{nm}$  na região linear para os quatro tipos de lâmina analisados, onde as linhas que seguem os pontos são os valores do modelo.



Fonte: Autor

Tanto os valores experimentais quanto os valores do modelo tiveram uma variação máxima de 100mV entre eles e erros do modelo, em geral menores que os valores de nFinFET.

Agora, uma visão geral em relação aos valores de erro entre experimental e modelo temos as tabelas 5.3 e 5.4.

Tabela 5.3 – Valores de VZTC experimental e do modelo na região linear para dispositivos pFinFET L=150nm, para as quatro lâminas analisadas e as três larguras de canal, assim como seus respectivos erros.

Lâmina		Temp. (°C)	Vztc (V) para $W_{Fin}=20nm$			Vztc (V) para $W_{Fin}=120nm$			Vztc (V) para $W_{Fin}=370nm$		
			Modelo	Experim.	Erro (%)	Modelo	Experim.	Erro (%)	Modelo	Experim.	Erro (%)
não tensionado	pre-rad	50	-0,62	-0,56	<b>11,37</b>	-0,63	-0,59	<b>7,54</b>	-0,61	-0,58	<b>5,45*</b>
		75	-0,62	-0,58	<b>7,74</b>	-0,64	-0,61	<b>4,32</b>	-0,61	-0,59	<b>3,40*</b>
		100	-0,63	-0,58	<b>8,01</b>	-0,64	-0,60	<b>6,43</b>	-0,61	-0,59	<b>3,15*</b>
		125	-0,63	-0,57	<b>10,23</b>	-0,64	-0,60	<b>6,87</b>	-0,61	-0,59	<b>2,90*</b>
		150	-0,63	-0,56	<b>12,60</b>	-0,64	-0,59	<b>9,18</b>	-0,61	-0,57	<b>6,27*</b>
	pos-rad	50	-0,57	-0,59	<b>3,82</b>	-0,68	-0,65	<b>3,97</b>	-0,69		
		75	-0,57	-0,54	<b>5,60</b>	-0,66			-0,68	-0,62	<b>10,25*</b>
		100	-0,57	-0,56	<b>2,41</b>	-0,65	-0,61	<b>6,78</b>	-0,68	-0,57	<b>19,68*</b>
		125	-0,58	-0,57	<b>1,28</b>	-0,64	-0,61	<b>4,89</b>	-0,68	-0,61	<b>11,64*</b>
		150	-0,58	-0,58	<b>0,29</b>	-0,63	-0,61	<b>3,09</b>	-0,68	-0,66	<b>3,04*</b>
tensionado	pre-rad	50	-0,58	-0,56	<b>4,31</b>	-0,64	-0,60	<b>6,23</b>	-0,69	-0,63	<b>9,42*</b>
		75	-0,58	-0,57	<b>1,67</b>	-0,63	-0,61	<b>3,81</b>	-0,68	-0,64	<b>6,71*</b>
		100	-0,57	-0,57	<b>0,86</b>	-0,63	-0,61	<b>3,13</b>	-0,68	-0,63	<b>7,37*</b>
		125	-0,57	-0,57	<b>0,04</b>	-0,62	-0,61	<b>2,43</b>	-0,67	-0,62	<b>8,03*</b>
		150	-0,57	-0,56	<b>1,00</b>	-0,62	-0,60	<b>3,42</b>	-0,66	-0,61	<b>8,72*</b>
	pos-rad	50	-0,57	-0,54	<b>5,29</b>	-0,65	-0,61	<b>6,86</b>	-0,70		
		75	-0,57	-0,57	<b>0,37</b>	-0,65	-0,64	<b>2,33</b>	-0,70	-0,66	<b>5,74*</b>
		100	-0,57	-0,60	<b>5,44</b>	-0,66	-0,65	<b>1,34</b>	-0,70	-0,69	<b>1,29*</b>
		125	-0,57	-0,56	<b>1,24</b>	-0,66	-0,63	<b>5,28</b>	-0,70	-0,67	<b>4,50*</b>
		150	-0,57	-0,57	<b>0,57</b>	-0,67	-0,63	<b>6,12</b>	-0,70	-0,67	<b>4,71*</b>

\* Valores para dispositivo com características fora da validade do modelo devido a condução parasitária na segunda interface.

Fonte: Autor

Tabela 5.4 – Valores de  $V_{ZTC}$  experimental e do modelo na região saturação, para dispositivos pFinFET  $L=150\text{nm}$  para as quatro lâminas analisadas e as três larguras de canal, assim como seus respectivos erros.

Lâmina		Temp. (°C)	Vztc (V) para $W_{Fin}=20\text{nm}$			Vztc (V) para $W_{Fin}=120\text{nm}$			Vztc (V) para $W_{Fin}=370\text{nm}$		
			Modelo	Experim.	Erro (%)	Modelo	Experim.	Erro (%)	Modelo	Experim.	Erro (%)
não tensionado	pre-rad	50	-0,80	-0,72	<b>11,39</b>	-0,85	-0,78	<b>8,73</b>	-0,65	-0,75	<b>13,21*</b>
		75	-0,80	-0,77	<b>3,75</b>	-0,84	-0,84	<b>0,49</b>	-0,65	-0,80	<b>19,30*</b>
		100	-0,80	-0,78	<b>1,95</b>	-0,82	-0,84	<b>1,97</b>	-0,64	-0,81	<b>21,00*</b>
		125	-0,79	-0,77	<b>2,75</b>	-0,81	-0,83	<b>2,30</b>	-0,63	-0,79	<b>19,75*</b>
		150	-0,79	-0,72	<b>9,28</b>	-0,80	-0,78	<b>2,35</b>	-0,63	-0,77	<b>18,48*</b>
	pos-rad	50	-0,85	-0,83	<b>2,66</b>	-0,90	-0,89	<b>1,37</b>	-0,82	-0,76	<b>7,53*</b>
		75	-0,85	-0,87	<b>1,91</b>	-0,90	-0,89	<b>0,85</b>	-0,81	-0,87	<b>7,24*</b>
		100	-0,85	-0,87	<b>1,83</b>	-0,89	-0,89	<b>0,26</b>	-0,80	-0,78	<b>2,12*</b>
		125	-0,85	-0,82	<b>4,18</b>	-0,89	-0,89	<b>0,38</b>	-0,79	-0,86	<b>8,62*</b>
		150	-0,85	-0,85	<b>0,47</b>	-0,88	-0,89	<b>1,07</b>	-0,78	-0,93	<b>16,66*</b>
tensionado	pre-rad	50	-0,78	-0,74	<b>5,51</b>	-0,84	-0,83	<b>1,69</b>	-0,74	-0,84	<b>12,12*</b>
		75	-0,78	-0,75	<b>4,51</b>	-0,84	-0,84	<b>0,20</b>	-0,72	-0,85	<b>14,90*</b>
		100	-0,79	-0,74	<b>6,29</b>	-0,83	-0,83	<b>0,25</b>	-0,71	-0,84	<b>15,67*</b>
		125	-0,79	-0,74	<b>6,59</b>	-0,83	-0,84	<b>1,75</b>	-0,69	-0,85	<b>18,42*</b>
		150	-0,79	-0,75	<b>5,43</b>	-0,82	-0,82	<b>0,21</b>	-0,68	-0,83	<b>18,25*</b>
	pos-rad	50	-0,78			-0,89	-0,79	<b>12,50</b>	-0,87		<b>19,75*</b>
		75	-0,80	-0,74	<b>7,57</b>	-0,89	-0,84	<b>5,98</b>	-0,88	-0,86	<b>2,43*</b>
		100	-0,81	-0,77	<b>4,98</b>	-0,89	-0,86	<b>3,63</b>	-0,89	-0,90	<b>1,36*</b>
		125	-0,82	-0,76	<b>8,06</b>	-0,89	-0,88	<b>1,33</b>	-0,89	-0,95	<b>5,81*</b>
		150	-0,83	-0,78	<b>7,01</b>	-0,89	-0,87	<b>2,51</b>	-0,90	-0,95	<b>5,05*</b>

\* Valores para dispositivo com características fora da validade do modelo devido a condução parasitária na segunda interface.

Fonte: Autor



## 6 CONCLUSÕES DO TRABALHO

Neste trabalho foi estudado o ponto invariante com a temperatura (ZTC) para transistores de estrutura SOI-FinFET com estruturas tipo n e tipo p, sem e com efeito de tensionamento e/ou sem e com efeito de radiação para diversas dimensões.

Foi possível observar a influência da tensão de limiar e da mobilidade (transcondutância) no ponto ZTC, sendo o tensionamento o efeito com uma influência mais significativa que a radiação nestes parâmetros para os dispositivos nFinFET e a radiação para os dispositivos pFinFET.

Observou-se que o tensionamento teve uma grande influência na diminuição da tensão de limiar no dispositivo tipo n, devido a redução da banda proibida do silício. Porém para o dispositivo tipo p, o qual não foi o foco de otimização com o uso desse tensionamento houve um pequeno aumento da tensão de limiar. Enquanto a radiação teve uma maior relevância no parâmetro de variação da tensão de limiar com a temperatura, devido ao comportamento das cargas depositadas no óxido e as armadilhas de interface para o tipo n, porém para o tipo p, houve um aumento em módulo da tensão de limiar com menor influência na variação em relação a temperatura.

Na transcondutância, foi possível observar que o tensionamento também se torna bem mais significativo devido ao aumento da mobilidade nos dispositivos nFinFET, enquanto a variação com a radiação é menos significativa. Porém para o dispositivo pFinFET ele gera uma redução na mobilidade e conseqüentemente na transcondutância.

Outro parâmetro estudado foi o coeficiente de degradação da mobilidade (e conseqüentemente da transcondutância) com a temperatura ( $c$ ). Observou-se uma pequena variação do valor deste fator ( $c$ ) para dispositivos não tensionados (radiados ou não), enquanto a variação para os dispositivos tensionados é mais significativa em relação à radiação. Foi encontrado valores mais altos de  $c$  para dispositivos pFinFET em relação aos dispositivos nFinFET, mesmo os dispositivos do tipo p apresentando uma menor variação dos valores do fator  $c$ .

Enfim, com relação as curvas da corrente de dreno em função da tensão de porta no ponto ZTC ( $V_{ZTC}$ ) experimentais estudadas neste trabalho, observou-se que

a tensão de limiar é diretamente proporcional à amplitude da tensão de ZTC e a transcondutância tendo uma influência maior na inclinação da curva de  $V_{ZTC}$  com a temperatura ou constância do ponto de ZTC, para ambos dispositivos analisados. O mesmo resultado pode ser observado através do modelo.

O modelo analítico utilizado neste trabalho, devidamente estendido para incluir o transistor tipo p, mostrou-se adequado para o estudo do ZTC nesta tecnologia estudada. Sua aplicação só ficou comprometida no caso de dispositivos de largura da aleta maiores, onde houve condução parasitária pela segunda interface, efeito este não previsto no modelo devido ao comportamento da transcondutância. Desta forma a comparação do modelo analítico com os resultados experimentais resultaram em erros de no máximo 13%, valor bem adequado para aplicações práticas.

## **6.1 Trabalhos Futuros**

Como trabalho futuro, propõe-se o estudo do ponto invariante com a temperatura (ZTC) para outras tecnologias de semicondutores e materiais, baixas temperaturas e dispositivos de dimensões menores, junto ao modelo analítico simplificado utilizado neste trabalho.

## PUBLICAÇÕES GERADAS DURANTE O MESTRADO

**NASCIMENTO, V. M.**; AGOPIAN, P. G. D.; ALMEIDA, L. M.; BORDALLO, C.; COLLAERT, N.; SIMOEN, E.; CLAEYS, C.; MARTION, J. A.; **“Influence of the Strain and Proton Radiation on Zero Temperature Coefficient (ZTC)”**, 31<sup>st</sup> Symposium on Microelectronics Technology and Devices, 2016, Belo Horizonte, Brasil.

MARTINO, J. A; **NASCIMENTO, V. M.**; MACAMBIRA, C.; ITOCAZU, V.; ALMEIDA, L.; AGOPIAN, P.; SIOMEN, E.; CLAEYS, C.; **“Zero Temperature Coefficient Behavior for Advanced MOSFETs”**, 13th International Conference on Solid-State and Integrated Circuit Technology (ICSICT), 2016, Hangzhou, China.

## REFERÊNCIAS

- [1] KILBY, J. S.; **Miniature semiconductor integrated circuit** US3115581A, 1963.
- [2] KAHNG, D.; ATALLA, M. M.; **Silicon-silicon dioxide field induced surface devices**. IRE-AIEE Solid State Device Research Conference, 1960
- [3] MOORE, G. E; **Cramming more components onto integrated circuits**. Electronics Magazine, n. 4, 1965.
- [4] LAM, H.W.; **Laser Recrystallized Silicon-on-Oxide – The Ideal Silicon-On-Insulator structure for VLSI**, Electron Deviecs Meeting. pp. 556-558, 1980
- [5] TROUTMAN, R.R.; **Latchup in CMOS Technology: The Problem and Its Cure**. Kluwer Academic Publishers, 1986
- [6] COLINGE, J.P.; **Thin-film SOI devices: A perspective, Microelectronic Engineering**, vol. 8, 1988.
- [7] COLINGE, J.P.; **Thin-Film SOI Technology: the solution to many submicron CMOS problems**, Technical Digest of EDM, pp. 817-820, 1989.
- [8] O'LEARY, W.; **IBM Advances Chip Technology With Breakthrough For Making Faster, More Efficient Semiconductors**. 1998. Disponível em: <http://www-03.ibm.com/press/us/en/pressrelease/2521.wss>.
- [9] COLINGE, J. P. **FinFETs and Other Multi-Gate Transistors**. New York: Springer, 2008.
- [10] PAVANELLO, M. A., MARTINO, J. A., SIMOEN, E., ROOYACKERS, R., COLLAERT, N. and CLAEYS, C. **Evaluation of triple-gate FinFETs with SiO<sub>2</sub>-HfO<sub>2</sub>-TiN gate stack under analog operation**. *Solid-State Electronics*. 2007, Vol. 51.
- [11] MARTINO, J. A. **Design, fabrication and electrical characterization of SOI FinFET transistors**. *Frontiers of Science: Brazil and Spain*. [Online] 12 12, 2012. [Cited: 11 25, 2016.] <http://www.fapesp.br/fronteras/sal/martino.pdf>.
- [12] TOLEDO, K. **Primeira divulgação na imprensa sobre o transistor 3D (FinFET) fabricado na América Latina**. *Agência FAPESP*. [Online] 12 13, 2012.

[Cited: 11 25, 25.][http://agencia.fapesp.br/transistor\\_3d\\_e\\_fabricado\\_no\\_brasil\\_pela\\_primeira\\_vez/16615/](http://agencia.fapesp.br/transistor_3d_e_fabricado_no_brasil_pela_primeira_vez/16615/).

[13] RANGEL, R., POJAR, M., SEABRA, A. C., SANTOS FILHO, S. G. and MARTINO, J. A. **3D Transistor (FinFET) Fabricated with Three Lithography**. *SEMINATEC 2013 - VIII Workshop on Semiconductors and Micro & Nano Technology*. Campinas : Proceedings, 2013.

[14] RANGEL, R.C., Pojar, M., Seabra, A.C., Filho, S.G.S. and Martino, J.A. **Fully electron-beam-lithography SOI finFET**. *Symposium on Microelectronics Technology and Devices*. 2013.

[15] LIMA, L., et al. **Influence of Al/TiN/SiO<sub>2</sub> structure on MOS capacitor, Schottky diode, and fin field effect transistors devices**. *Journal of Vacuum Science & Technology B: Microelectronics and Nanometer Structures*. 2013, Vol. 31.

[16] KLAASSEN, F. M. e HES, W., **On the temperature coefficient of the MOSFET threshold voltage**. *Solid-St Electron*. v29, p. 787, 1986.

[17] SATO, T. et al. **On-chip thermal gradient analysis and temperature flattening for SoC design**, Design Automation Conference, 2005. Proceedings of the ASP-DAC 2005. Asia and South Pacific, 2005. v.2, p.1074–1077 Vol. 2.

[18] Colinge, J. P., Floyd, L., Quinn, A. J., Redmond, G., Alderman, J.C., Xiong, W., Cleavelin, C. R., Schulz, T., Schroefer, K., Knoblinger, G., Patruno, P., **Temperature Effects on Trigate SOI MOSFETs**, *IEEE Electron Device Letters*, v.27, p. 172, 2006.

[19] Akarvardar, K., Mercha, A., Simoen, E., Subramanian, V., Claeys, C., Gentil, P. Cristoloveanu, S., **High-temperature performance of state-of-the-art triple-gate transistors**, *Microelectronics Reliability*, v. 47, p. 2065 - 2069, 2007.

[20] Camillo, L. M., Martino, J. A., Simoen, E., Claeys, C., **Simple Analytical Model to Study the ZTC Bias Point in PD and FD SOI MOSFETs**, *EuroSOI 2006 Conference Proceedings*, v. 1, p. 77, 2006.

[21] Almeida, L. M., Martino, J. A., Simoen, E., Claeys, C., **Improved Analytical Model for ZTC Bias Point for Strained Tri-gates FinFETs**, *SBMicro 2010 – 25th*

International Symposium on Microelectronics Technology and Devices, v. 31, p.385, 2010.

[22] PERIN, A. L.; PEREIRA, A. S. N.; AGOPIAN, P. G. D.; MARTINO, J. A.; GIACOMINI, R. **A Simple Electron Mobility Model Considering the Silicon-Dielectric Interface Orientation for Circular Surrounding-Gate Transistor**. JICS. Journal of Integrated Circuits and Systems (Ed. Português), 2012.

[23] MALHEIRO, C. T.; PEREIRA, A. S. N.; GIACOMINI, R. **An Analytical Estimation Model for the Spreading Resistance of Double Gate FinFETs**. 8th International Caribbean Conference on Devices, Circuits and Systems – ICCDCS, Playa Del Carmen, 2012.

[24] CHOI, J. Y.; FOSSUM, J. G. **Analysis and Control of Floating-Body Bipolar Effects in Fully Depleted Submicrometer SOI MOSFET's**. IEEE Electron Transection on Electron Devices, v. 38, n. 6, 1991.

[25] COLINGE, J. P. **Reduction of kink effect in thin-film SOI MOSFETs**. IEEE **Electron Device Letters**, v. 9, n. 2, 1988.

[26] SU, L. T.; CHUNG, J. E.; ANTONIADIS, D. A., GOODSON, K. E.; FLIK, M. L. **Measurement and modeling of self-heating in SOI nMOSFET's**. IEEE Electron Transection on Electron Devices, v. 41, n. 1, 1994.

[27] MARTINO, J. A.; PAVANELLO, M. A.; VERDONCK, P. B. **Caracterização Elétrica de Tecnologia e Dispositivos MOS**. São Paulo: Thomson, 2003.

[28] KRISHNAN, S.; FOSSUM, J. G. **Grasping SOI floating-body effects**. IEEE Circuits and Devices Magazine, v. 14, n. 4, p. 32-37, 1998.

[29] COLINGE, J. P. **Subthreshold Slope of Thin-Film SOI MOSFET's**. IEEE Electron Devices Letters, v. 7, n. 4, 1986.

[30] KISTLER, N.; WOO, J. **Detailed characterization and analysis of the breakdown voltage in fully depleted SOI n-MOSFET's**. IEEE Transactions on Electron Devices, v. 41, n. 7, p. 1217-1221, 1994.

- [31] YOUNG, K. K. **Short-channel effect in fully depleted SOI MOSFETs**. IEEE Transactions on Electron Devices, v. 36, n. 2, p. 399-402, 1989.
- [32] OUISSE, T.; CRISTOLOVEANU, S.; BOREL, G. **Influence of series resistances and interface coupling on the transconductance of fully-depleted silicon-on-insulator MOSFETs**. Solid State Electronics, v. 35, n. 2, p. 141-149, 1992.
- [33] COLINGE, J. P. **Silicon-On-Insulator Technology: Materials to VLSI**. 3. ed. Boston: Kluwer Academic, 2004.
- [34] COLINGE, J. P. **Thin-Film SOI Technology: The Solution to Many SubmicronCMOS Problems**. International Electron Devices Meeting, p. 817-820, 1989.
- [35] SZE, S. M. **Physics of Semiconductor Devices**. New York: John Wiley & Sons, 1981.
- [36] LIM, H. K.; FOSSUM, J. G. **Threshold voltage of thin-film Silicon-on-insulator (SOI) MOSFET's**. IEEE Transactions on Electron Devices, v. 30, n. 10, p. 1244-1251, 1983.
- [37] COLINGE, J. P.; PARK, J. W.; XIAONG, W. **Threshold voltage and subthreshold slope of multiple-gate SOI MOSFETs**. IEEE Electron Device Letters, v. 24, n. 8, p. 515-517, 2003.
- [38] POIROUX, T.; VINET, M.; FAYNOT, O.; WIDIEZ, J.; LOLIVIER, J.; ERNST, T.; PREVITALI, B.; DELEONIBUS, S. **Multiple gate devices: advantages and challenges**. Microelectronic Engineering, v. 80, p. 378, 2005.
- [39] BORDALLO, C.; AGOPIAN, P. G. D.; MARTINO, J. A.; SIMOEN, E.; CLAEYS, C. **Temperature Influence on Strained nMuGFETs after Proton Radiation**. 223th ECS meeting, 2013.
- [40] LANDGRAF, E. **Influence of crystal orientation and body doping on trigate transistor performance**. IEEE Electron Device Letters, v.8, n. 9, p.410-412,1987.

- [41] Hoyt, J. L., Nayfeh, H. M., Eguchi, S., Aberg, I., Xia, G., Drake, T., Fitzgerald, E. A., Antoniadis, D. A., **Strained silicon MOSFET technology**, IEDM Digest of Technical Papers, p. 23, 2002.
- [42] NAYFEH, H. M.; **Effect of tensile uniaxial stress on the electron transport properties of deep scaled FD-SOI n-type MOSFETs**. IEEE Electron Device Letters, v. 27, n. 4, p. 288-290, 2006.
- [43] LIM, J. S.; THOMPSON, S. E.; FOSSUM, J. G. **Comparison of threshold voltage shifts for uniaxial and biaxial tensile stressed nMOSFETs**. IEEE Electron Device Letters, v. 25, n. 11, p. 731-733, 2004.
- [44] THOMPSON, S. E.; SUN, G.; CHOI, Y. S.; NISHIDA, T. **Uniaxial process induced strained-Si: Extending the CMOS roadmap**. IEEE Electron Device Letters, v. 53, n. 5, p. 1010-1020, 2006.
- [45] SCHWANK, J. R.; SHANEYFELT, M. R.; FLEETWOOD, D. M.; FELIX, J. A.; DODD, P. E.; PAILLET, P.; FERLET-CARVOIS V. **Radiation Effects in MOS Oxides**. IEEE Transactions on Nuclear Science, v. 55, n. 4, p. 1883, 2008.
- [46] HUGHES R. C. **Hole mobility and transport in thin SiO films**. Applied Physics Letters, vol. 26, no. 8, pp. 436–438, Apr. 1975.
- [47] WINOKUR P. S.; MA, T. P. and DRESSENDORFER, P. V. **Radiation-induced interface traps in Ionizing Radiation Effects in MOS Devices and Circuits**, Eds. New York: Wiley, pp. 193–255, 1989.
- [48] Colinge, J. P. **Silicon-On-Insulator Technology: Materials to VLSI**, 3rd Ed. Kluwer Academic Publishers, p.154, 2004.
- [49] Prijic, Z. D., Dimitrijevic, S. S., Stojadinovic, N. D., **The determination of zero temperature coefficient point in CMOS transistors**, *Microelectronics Reliability*, v. 32, p. 769, 1992.
- [50] Filanovsky, I. M.; Allam, A., **Mutual compensation of mobility and threshold voltage temperature effects with applications in CMOS circuits**, IEEE Transactions Circuits and Systems, v. 48, p. 876, 2001.



- [51] Camillo, L. M., Martino, J. A., Simoen, E., Claeys, C., **Simple Analytical Model to Study the ZTC Bias Point in PD and FD SOI MOSFETs**, EuroSOI 2006 Conference Proceedings, v. 1, p. 77, 2006.
- [52] P.G.D. Agopian; J.A. Martino; D. Kobayashi; E. Simoen; C. Claeys **Influence of 60-MeV Proton-Irradiation on Standard and Strained n- and p-Channel MuGFETs**. IEEE Transactions on Nuclear Science, 59, p. 707, 2012.
- [53] C. BORDALLO; P. G. D. AGOPIAN; J. A. MARTINO; E. SIMOEN; C. CLAEYS **Temperature Influence on Strained nMuGFETs after Proton Radiation**. 223th ECS meeting, 2013.
- [54] D. Kobayashi, E. Simoen, S. Put, A. Griffoni, M. Poizat, K. Hirose, and C. Claeys, **“Proton-Induced mobility degradation in FinFETs with stressor layers and strained SOI substrates,”** IEEE Trans. Nucl. Sci., vol. 58, no. 3, pp. 800–807, 2011.
- [55] Wong, H. S., White, M. H., Krutsick, T. J., Booth, R. V., **Modeling of Transconductance Degradation and Extraction of Threshold Voltage in Thin Oxide MOSFET’s**, Solid-State Electronics, v. 30, p. 953, 1987.
- [56] Doria, R. T., Pavanello, M. A., **Threshold Voltage Dependence on the Temperature in Strained and Standards nFinFETs**, EUROSUI 2010 – Conference Proceedings, p. 87, 2010.
- [57] Talmat, R., Put, S., Collaert, N., Mercha, A., Claeys, C., Guo, W., Cretu, B., Benfdila, A., Routore, J.- M., Carin, R., Simoen, E., EUROSUI 2010 – Conference Proceedings, p. 75, 2010.
- [58] Yoshino, A., Proceedings of the Fourth International Symposium on Silicon-on-Insulator Technology and Devices, Ed by D. N. Schmidt, v. 90, The Electrochemical Society, p. 544, 1990.
- [59] Jeon, D.S., Burk D.E., **MOSFET Inversion Layer Mobilities – A Physically Based Semi-Empirical Model for a wide Temperature Range**, IEEE Transactions Electron Devices, v. 36, p. 1456, 1989.

[60] Pretet, J., Vandooren, A., Cristoloveanu, S., **Temperature Operation of FDSOI Devices with Metal Gate (TaSiN) and High-k Dielectric**, Proc ESSDERC, p. 573, 2003.

ESCOLA POLITÉCNICA DA UNIVERSIDADE DE SÃO PAULO

VINICIUS MESQUITA DO NASCIMENTO

**ESTUDO DO PONTO INVARIANTE COM A TEMPERATURA (ZTC) EM  
SOI-FINFETS TENSIONADOS E RADIADOS**

São Paulo  
2017