

특집 : 유연 메모리/반도체 및 패키징 기술

유연 반도체/메모리 소자 기술

안종현¹ · 이혁² · 좌성훈^{3†}

¹연세대학교, ²(주)하나마이크론사, ³서울과학기술대학교 NID 융합기술대학원

Technology of Flexible Semiconductor/Memory Device

Jong-Hyun Ahn¹, Hyouk Lee² and Sung-Hoon Choa^{3†}

¹School of Electrical & Electronic Engineering at Yonsei University, Seodaemun-gu, Yonse-ro, Seoul 120-749, Korea

²Hanamicon, 95-1 Wonnam-ri, Eumbong-myeon, Asan-si, Chungnam 336-864, Korea

³Seoul National University of Science and Technology, 232 Gongneung-ro, Nowon-gu, Seoul 139-743, Korea

(2013년 6월 12일 접수: 2013년 6월 17일 수정: 2013년 6월 21일 게재확정)

Abstract: Recently flexible electronic devices have attracted a great deal of attention because of new application possibilities including flexible display, flexible memory, flexible solar cell and flexible sensor. In particular, development of flexible memory is essential to complete the flexible integrated systems such as flexible smart phone and wearable computer. Research of flexible memory has primarily focused on organic-based materials. However, organic flexible memory has still several disadvantages, including lower electrical performance and long-term reliability. Therefore, emerging research in flexible electronics seeks to develop flexible and stretchable technologies that offer the high performance of conventional wafer-based devices as well as superior flexibility. Development of flexible memory with inorganic silicon materials is based on the design principle that any material, in sufficiently thin form, is flexible and bendable since the bending strain is directly proportional to thickness. This article reviews progress in recent technologies for flexible memory and flexible electronics with inorganic silicon materials, including transfer printing technology, wavy or serpentine interconnection structure for reducing strain, and wafer thinning technology.

Keywords: Flexible memory, Flexible semiconductor, Inorganic silicon memory, Flexibility.

1. 서 론

최근 유연 전자소자(flexible electronic device), 유연 반도체(flexible semiconductor) 및 유연 디스플레이(flexible display)에 대한 관심이 크게 증가하고 있다. 특히 국내외의 여러 기업에서 플렉서블 OLED, 플렉서블 스마트폰을 선보이면서 양산 단계에 접어들고 있다. 이러한 유연 전자 소자는 궁극적으로 자유자재로 굽히거나 휘 수 있는 rollable, 혹은 foldable 전자소자의 발전을 예고하고 있으며, 웨어러블(wearable) 전자소자 및 디바이스가 출현할 날이 멀지 않은 것으로 예측하고 있다. 유연 전자소자의 중요성이 크게 대두되고 있는 이유는 유연 전자소자가 지닌 많은 장점들 때문이다. 유연 전자소자의 장점으로는 초경량화, unbreakable, 자유로운 디자인, 공간적 제약 탈피, 초대형 디스플레이 가능, 다양한 응용(wearable, 바이오 분야), roll-to-roll 공정 가능 및 저가격 등 매우 다양한

장점이 있다. 그러나 무엇보다도 유연 전자소자 및 반도체, 디스플레이 분야에 신 시장을 창출할 수 있는 가능성이 매우 높다. 특히 우리나라는 반도체 및 디스플레이 분야를 선도하는 국가로서, 새로운 시장의 창출이 매우 중요하다. 이런 점에서 기존의 반도체가 보유하고 있던 핵심 경쟁력을 통하여 유연 전자 시장을 선점할 수 있는 경쟁력 확보가 필요한 시점이며, 이를 위한 기술 개발이 매우 필요한 시점이다. 한편 차세대 플렉서블 전자기기의 개발을 위해서는 쉽게 휘고 접을 수 있는 유연 메모리(flexible memory)의 개발이 반드시 필요하다. 유연 메모리 소자 기술 개발을 통해 기존 플렉서블 디스플레이, 플렉서블 태양전지, 플렉서블 배터리 제조 기술 등과 결합하여 시계처럼 손목에 차는 휴대폰, 티셔츠처럼 입고 다닐 수 있는 컴퓨터, 두루마리 형태의 전자책이나 태블릿 PC 등 신개념 차세대 전자제품의 개발이 가능하기 때문이다. 따라서 유연 반도체/메모리의 주요 응용분야는

[†]Corresponding author
E-mail: shchoa@seoultech.ac.kr

© 2013, The Korean Microelectronics and Packaging Society

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

Table 1. Comparison of electrical performances and flexibility among various TFT devices.

	Polycrystalline silicon TFTs	Metal oxide TFTs	Amorphous silicon TFTs	Organic TFTs	Organic TFTs
Field-effect mobility	$> 10 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$	$7 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$	$0.5 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$	$0.5 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$	$0.1 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$
Operating voltage	4 V	10 V	15 V	40 V	2.5 V
Minimum bending radius	10 mm	30 mm	5 mm	0.5 mm	2.5 mm

USB나 모바일 기기(스마트폰, 태블릿 PC, MP3, 카메라 등)에서 기존 플래시 및 D램 메모리를 대체하는 시장과 RFID 태그, 스마트 카드, 스마트 센서, 플렉시블 디스플레이, 웨어러블 PC 등에 통합되어 새로운 시장을 창출하는 시장으로 나눌 수 있다.

유연 반도체/메모리에는 기존의 실리콘 소자로 만들어진 반도체를 이용하여 만든 유연 실리콘 기반 무기물 반도체와 유기물을 이용하여 제작된 유기 반도체가 있다. 유기 반도체는 저분자 및 고분자 유기 재료를 사용하여 진공 증착 및 프린팅 기술을 이용하여 제작하는 것으로 OTFT (organic thin film transistor) 소자가 대표적이다.^{1,2)} 본 논문에서는 주로 실리콘 기반의 무기 반도체 기술 동향에 대해서 소개하고자 한다.

2. 유연 실리콘 반도체/메모리 기술

2.1. 유연 전자소자를 위한 무기 반도체 재료

유연 전자소자는 기존의 웨이퍼 기반의 단단하고 부서지기 쉬운 무기 단결정 반도체 소재를 그대로 사용할 수가 없으며, 새로운 소재 및 기술들을 필요로 한다. 대표적으로 유기물 반도체 소재는 우수한 유연성 이외에 플라스틱 기판과의 접합성, 상온 공정 등의 장점으로 인해 현재 전자종이의 구동소자로 널리 사용되고 있다.^{3,4)} 그러나, 유기 반도체의 낮은 이동도(mobility)와 취약한 내구성 및 장기 안정성은 고성능 플렉시블 반도체로의 적용을 어렵게 하고 있다. 이외에도 비정질 실리콘(a-Si)을 상대적으로 낮은 온도에서 진공 증착하여 유연 플라스틱 기판 상에 대면적 박막 필름으로 형성시키는 방법 등이 있다. 그러나 비정질 실리콘 또한 유기 반도체와 같이 낮은 결정도로 인해 낮은 이동도 값을 갖으며, 형성된 트랜지스터와 전자회로의 성능이 제한된다. Table 1은 결정질 실리콘 반도체, 산화물 반도체, 비정질 및 유기 반도체에 대한 전기적 성능 및 유연성을 나타낸 표이다. Table 1과 같이 결정질 실리콘 반도체는 전기적 성능은 우수하지만 유연성이 부족하고, 유기 반도체는 전기적 성능은 열악하지만, 유연성이 우수한 장점이 있다. 최근 이러한 단점을 개선하고자 디스플레이 업체를 중심으로 비정질 실리콘을 ELA(excimer laser annealing)를 이용, 재결정화 시켜 캐리어 이동도를 증가시킨 다결정 실리콘(poly-Si) 기술이 연구 개발되고 있다.⁵⁾ 이 기술은 높은 이동도를 달성하는데 어느 정도 성공적이었으나, 레이저 조사의 정밀한 조절, 플라스틱 기판의 열화 현상을 막기 위한 두

꺼운 열차단막의 사용, 넓은 면적에 대한 불균일한 결정화 등의 문제는 대면적 플렉시블 시스템으로의 적용에 걸림돌로 작용하고 있다.

이러한 이유 때문에, 반도체 산업의 중심 소재로서 성능, 안정성, 비용 측면에서 가장 우수한 소재인 단결정 실리콘 반도체를 플렉시블 전자소자에 적용하기 위한 연구가 최근 시작되었다. 전형적인 단결정 소재들은 부서지기 쉽지만, 와이어, 리본, 판 및 박막의 형태로 그 지름 또는 두께를 마이크로/나노 크기로 감소시키면 기계적인 유연성을 확보할 수 있게 되어 플라스틱 기판에 인쇄 가능한 형태의 박막 소재로 제작될 수 있다. 제작 방법으로는 화학기상성장법(chemical vapor deposition)에 의해 원자, 분자들의 자발적 성장을 이용한 bottom-up 방식과 포토리소그래피와 에칭과정을 거쳐 웨이퍼로부터 마이크로/나노 크기의 반도체 구조체를 추출하는 top-down 방식으로 나눌 수 있다.⁶⁻¹⁰⁾ 특히 후자의 방법은 발전된 기존의 웨이퍼 기술을 이용할 수 있고, ohmic contact과 같은 고온 공정을 플라스틱 기판과 분리하여 초기 웨이퍼 위에 직접 실시할 수 있다는 장점이 있다. 웨이퍼 기판에 형성된 반도체 구조체들은 상온에서 전사법(transfer printing)을 이용하여 완벽한 registration을 갖고 플라스틱 기판으로 전사할 수 있다. 이 기술을 사용하여 최근 플라스틱 기판 위에 고성능 박막트랜지스터와 전자회로 등을 구현하는데 성공하였으며, 현재 대면적화를 위한 기술 개발이 진행 중에 있다.

선, 리본, 박막, 막대 형태를 갖는 마이크로/나노 크기의 무기 반도체 박막을 고성능 대면적 플렉시블 전자소자를 위한 능동 소재로 활용하는 것이 가능하다. 일반적으로 웨이퍼 기반의 단결정 반도체 소재들은 유연성이 부족하여 부서지기 쉽기 때문에 플렉시블 전자소자의 채널(channel) 소재로 사용될 수 없다. 하지만, 실리콘 웨이퍼와 같은 단결정 반도체 소재도 수백 나노 미터 두께로 얇아지면 유기물과 유사한 정도의 기계적 연성을 소유할 수 있다. Fig. 1은 두께 t 의 단결정 반도체 박막이 곡률 반경, r 로 구부러졌을 때의 역학 관계를 나타낸다. 박막의 위, 아래 면은 각각 인장, 압축 스트레인(ϵ)을 받게 되는데 그 값은 다음 식으로 표현된다.¹¹⁾

$$\epsilon = \frac{t}{2r} \times 100\% \quad (1)$$

대부분의 무기 반도체들은 0.5~1.0% 범위의 파괴 스트레인을 갖고 있다. 그러나 박막이 매우 얇아지게 되면 유

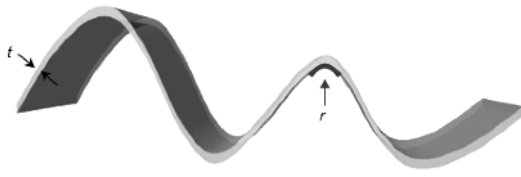


Fig. 1. Bendable inorganic single-crystal silicon film.

연성은 향상된다. 가령 두께 10 nm의 실리콘 박막은 두께 1 mm의 실리콘 웨이퍼에 비하여 굽힘 강성(bending stiffness)이 약 15배 적다. 그러나 두께 10 nm의 실리콘 박막의 경우, 파괴가 될 때까지 굽힐 수 있는 곡률 반경은 0.5 μm 이다. 한편 1 mm의 실리콘 웨이퍼는 약 5 cm 까지 굽힐 수 있다. 따라서 박막이 얇으면 얇을수록 유연성은 증가한다. 또한 박막이 얇게 되면 크랙이 발생할 가능성도 적어진다는 보고가 있다.¹²⁾ 이러한 특성은 반도체 소자를 얇게 thinning 하여 유연성이 있는 플라스틱이나 폴리머 기판에 옮길 경우, 매우 유연한 flexible 및 stretchable 전자소자로의 발전이 가능하다는 것을 의미한다.

2.2. 단결정 반도체 박막 합성 기술

2.2.1. 나노와이어 합성을 위한 Bottom-up 공정 기술

단결정 반도체 마이크로/나노 구조체들은 여러 화학적 합성 방법을 이용하여 제조할 수 있다. 가장 잘 알려진 것은 기상-액상-고상(vapor-liquid-solid:VLS) 방법으로 금속 나노입자와 반도체 전구체(precursor) 사이의 반응 조건을 조절하여 나노와이어(nanowire)를 제조하는 방법이다.¹³⁾ 기판 위에 일정 크기 분포를 갖는 금속 나노입자를 위치시키고 반도체 증기를 흘리면 시스템의 공정 온도(eutectic temperature) 이상에서 금속 나노입자 표면 위로 반도체 성장원자가 응집되어 액상의 합금을 형성하게 되고 반도체 원자의 농도가 과포화될 때 반도체 고체상이 석출되어 나노와이어가 성장하게 된다. 최근에는 유기금속 기상 성장법, 화학법 에피택시법(CBE), 분자빔 에피택시법(MBE) 등의 반도체 에피택시 성장법을 이용하여 원료를 유기금속 가스로 공급하는 기술들이 개발되어 사용되고 있다. 기상-액상-고상법은 간단하면서도 촉매 금속입자의 크기 조절과 성장 제어가 쉬워 직경 3~20 nm, 길이 수 μm 정도의 나노와이어를 원하는 크기와 길이로 비교적 쉽게 제작할 수 있다는 장점이 있다. 재료도 Si, Ge의 IV 족과 GaAs, GaP, InP, InAs, GaN 등의 III-V족, ZnS, ZnSe, CdS, CdSe 및 ZnO 등의 산화물을 포함한 II-VI족 등 다양하다.

또한 기상-액상-고상법은 복잡한 이중 구조의 반도체 나노와이어를 제작하는데도 사용될 수 있다. 이러한 구조는 전구체 증기를 촉매표면(즉, axial growth) 또는 나노와이어 표면(즉, radial growth) 위에 선택적으로 증착하도록 성장 조건을 제어함으로써 가능하다.¹⁴⁾ 예를 들어, Ga/Si coreshell 구조의 나노와이어는 일정 크기로 성장된 Ge

나노와이어 위에 Si 원자를 성장시킴으로서 제작될 수 있다. 같은 방법으로 다층 나노와이어 형성이 가능하다. 이러한 이중 구조의 반도체 나노와이어들은 고성능 전자, 광학 소자를 제작하기 위한 능동 소재로 사용될 수 있다. 그러나 나노와이어가 기존의 박막 기반의 전자소자에 응용될 수 있기 위해서는 기판 위에 수평으로 정렬된 나노와이어 어레이를 형성할 수 있어야 하지만, 현재 개발에 많은 어려움을 겪고 있다.

2.2.2. 단결정 반도체 제조를 위한 Top-down 공정 기술

Bottom-up 방법을 통해 제조된 반도체 나노와이어들은 독특한 이중 구조 형성과 수 나노 미터 지름 크기를 갖는 나노구조체를 대량으로 제조할 수 있는 장점을 가지고 있다. 그러나 이들 나노와이어의 최대 가능 길이는 100 μm 정도이며, 전자소자 제작에 필요한 표면 특성, 순도, 도핑의 균일성과 농도 등을 제어하는 기술은 아직 웨이퍼 기반의 전자소자 제작 기술에 비하여 많이 뒤쳐져 있다. 만약, 유연 전자소자에 지난 반세기 동안 발전되어온 웨이퍼 기반 기술을 적용할 수 있다면 여러 가지 기술적 장벽을 뛰어 넘을 수 있는 큰 장점을 갖게 된다. 최근 미국 일리노이대학의 Rogers 그룹과 Caltech의 Heath 그룹에서는 간단한 리소그래피와 화학적 에칭법 등을 이용한 top-down 방식을 통해 고품질의 반도체 웨이퍼로부터 와이어, 리본, 박막 형태의 반도체 구조체들을 추출하는 기술을 개발하여 이를 유연 전자소자에 응용하기 위한 연구를 진행하고 있다.^{9,10,15)} Silicon-On-Insulator(SOI) 또는 분자빔 증착법으로 성장된 GaAs/AlAs/SiGaAs, AlGaIn/GaN/Si 등의 층간 구조를 갖는 웨이퍼를 사용하여 손쉽게 마이크로구조 반도체(microstructured semiconductor: $\mu\text{s-Sc}$)를 제작할 수 있다. 제작 공정은 먼저, 웨이퍼 표면에 에칭 마스크로 포토레지스트를 패터닝하고 에천트(etchant)를 이용하여 목표 반도체층 밑에 위치한 특정층 또는 희생층을 용해시키면(예를 들어, SOI에서의 SiO_2 ; GaAs/AlAs/SiGaAs에서의 AlAs; AlGaIn/GaN/Si에서의 Si) 정해진 크기의 리본, 와이어(크기: 수십 nm, 길이: 수 mm), 박막 및 멤브레인(두께: 수십 nm, 크기: 수 cm) 등 다양한 크기와 모양의 반도체 박막을 추출해 낼 수 있다. 이 단순한 제작 공정은 GaAs, InP, GaN 등의 화합물 반도체에도 응용될 수 있다. 이러한 방법을 통해 제작된 단결정 반도체 박막은 최근 다양한 종류의 고성능 유연 전자소자에 사용될 수 있다.¹⁶⁻¹⁹⁾

Rogers 그룹은 (111) 방향의 단결정 Si와 GaAs 웨이퍼로부터 마이크로구조 Si ($\mu\text{s-Si}$) 리본과 $\mu\text{s-GaAs}$ 와이어를 추출하는데 성공하였다.^{13,20)} Fig. 2는 단결정 실리콘 리본을 추출하는 공정을 나타낸다. 먼저, Si (110) 면에 수직하게 포토레지스트 라인을 포토리소그래피 또는 소프트 리소그래피를 이용하여 패터닝하고 RIE(reactive ion etching)로 노출 부위의 실리콘을 건식 에칭하여 일정 두께의 홈을 판다. 이후 웨이퍼의 표면과 홈 주위를 실리콘

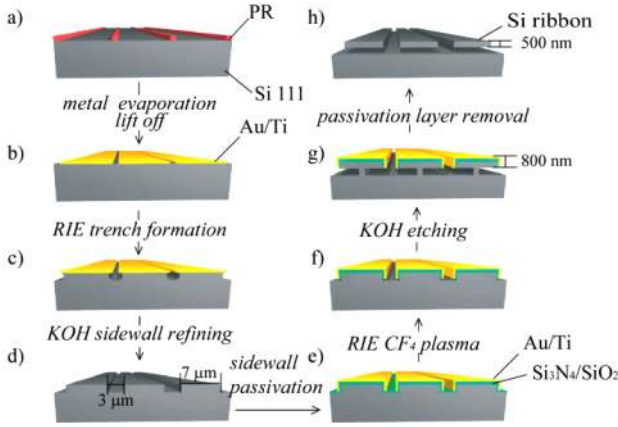
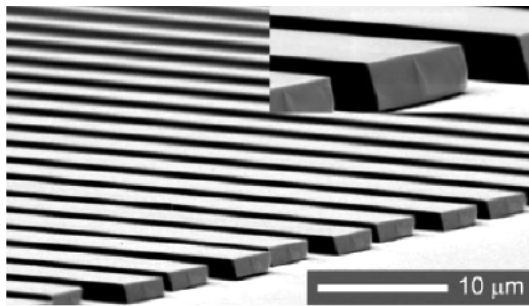
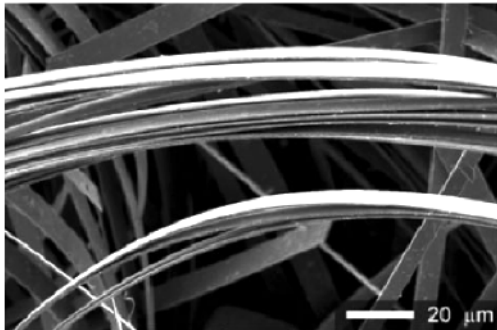


Fig. 2. Schematic illustration of steps for generating Si ribbons from a bulk silicon (111) wafer.^{13,20)}



(a)



(b)

Fig. 3. (a) SEM images of ~1 μm thick silicon ribbons transfer printed without adhesives onto a SiO₂ coated silicon wafer. (b) High resolution SEM image of ultra long (up to 6 cm) silicon ribbons.²⁰⁾

에천트로부터의 에칭을 막을 수 있는 SiO₂, Si₃N₄ 등의 보호막을 증착한다. 이후 전자빔 증착을 이용하여 금속 보호막을 경사지게 증착해준다. KOH, tetramethyl ammonium hydroxide(TMAH)와 같은 실리콘 에천트 용액들은 노출된 Si (11̄0) 면을 수평방향으로 에칭한다. 에칭이 진행되면서 양방향의 Si (11̄0) 에칭면들은 서로 만나 직사각형 모양의 단결정 실리콘 리본을 생성하게 된다. Fig. 3은 이러한 공정을 거쳐 제작된 두께 500 nm, 길이 200 μm, 폭 7 μm의 실리콘 리본을 나타낸다. 이 기술은 공정 변수의 조절을 통해서 두께 수백 nm와 길이 수 cm의 유연한 리

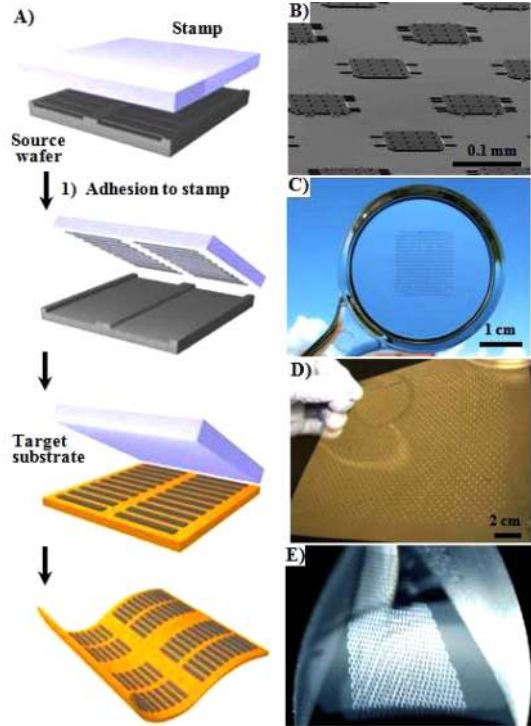


Fig. 4. Schematic illustration of the generic process flow for transfer printing technology and transferred silicon nano films on silicon wafer, glass lens, polyimide, rubber substrate.²¹⁾

본, 막대, 판형의 단결정 실리콘 박막을 저비용으로 자유로이 추출해 낼 수 있는 장점이 있다.

3. 전사 기술을 이용한 유연 반도체/메모리

Top-down 공정에 의해 제작된 다양한 형태의 단결정 반도체 박막은 웨이퍼와 연결된 앵커를 도입하여 에칭 이후에도 정렬된 형태를 그대로 유지시킬 수 있다. 이렇게 정렬된 단결정 반도체 박막은 PDMS (polydimethylsiloxane) 고무 스탬프를 이용하여 평면, 곡선 등 다양한 형태의 기관 위로 위치와 방향의 변형 없이 전사(transfer printing) 될 수 있다.²¹⁾ Fig. 4는 Rogers 그룹에서 개발한 전사 공정의 주요 과정을 도식화한 것이다. 먼저 평평한 PDMS 시트를 웨이퍼 위에 정렬된 단결정 반도체 박막 어레이 표면에 가볍게 접촉시킨다. 이때, 단결정 반도체 박막은 PDMS 표면과 반데르발스 결합에 의해 접촉되게 된다. 만약, PDMS와 반도체 구조체 사이에 강한 결합을 원할 때는 산소 플라즈마 처리를 통해 반도체 표면의 자연 산화물층과 PDMS 사이에 강한 공유결합을 생성시킬 수 있다. 이후, 반도체 구조체와 결합된 PDMS 스탬프를 빠른 속도로 분리시킨 후, 원하는 플라스틱 기관 위에 접촉시키면 단결정 반도체 박막이 기관 쪽으로 정렬된 형태 그대로 옮겨지게 된다. 이때 단결정 반도체 박막과 기관과의 결합력을 증대를 위해 에폭시, 폴리이미드 전구체 등

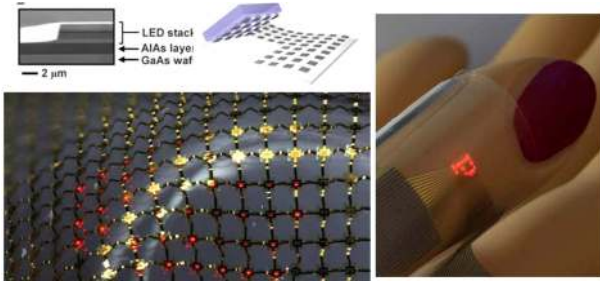


Fig. 5. Optical micrographs of a stretchable LED on a rubber substrate that uses a noncoplanar mesh configuration using transfer printing process.²²⁾

의 접착층을 1~2 μm 두께로 스핀 코팅 처리해 준다. 이러한 전사 공정은 제작된 소자 위에 얇은 절연 고분자층을 코팅한 후 전사공정을 반복적으로 수행할 수 있어 3차원 적층 구조의 다기능 다층 박막 전자소자 제작이 용이하다는 장점을 가지고 있다.

전사공정 기술은 고성능을 요구하는 유연 전자 제품의 생산에 직접 적용될 뿐만 아니라, 반도체 패키징 기술, LED 기반 응용 제품 조립 기술, MEMS 센서의 대량 생산 및 패키징 기술, 플렉서블 디스플레이, 고효율 태양전지 셀 제조 기술 등에도 적용될 수 있다. 또한 나노 스케일에서부터 매크로 스케일까지의 다양한 구조물을 계층적으로 조립할 수 있는 기술로 발전하여, 나노기술과 기존 생산기술 간의 유기적인 결합을 가능케 하는 원천 기술로 성장할 가능성이 크다. 전술한 바와 같이 전사기술은 다양하게 응용될 수 있는데 가령 LED 웨이퍼로부터 수백 nm의 active LED 층만을 박리하여 플라스틱, 고무 기판에 대면적으로 전사하여 유연하고 신축이 가능한 LED 디스플레이를 제작할 수 있음을 미국 일리노이대학을 통해 시연되었다(Fig. 5).²²⁾ 또한 LED와 유사한 구조의 태양전지용 III-V 족 반도체를 웨이퍼로부터 대면적 기판으로 전사하고, 그 위에 집광용 마이크로 렌즈를 부착시켜 40% 이상의 고효율이 가능한 화합물 반도체 기반 태양전지 양산화 기술이 개발되고 있다. 본 기술의 장점은 고비용 화합물반도체 웨이퍼를 박리, 전사함으로써 소재의 활용도를 높여 소재와 공정비용을 절감할 수 있다는 장점이 있다.^{23,24)}

한편 전사공정으로서의 plate-to-plate 방식은 소스 웨이퍼로부터 필요한 부분만을 스탬프로 찍어 대면적의 플라스틱 혹은 유리 기판 위로 원하는 위치에 선별적으로 전사하기에 적합하다. 하지만, plate-to-plate 방식은 공정 속도에 제한이 있어 high-throughput을 요구하는 유연 반도체 소자 제작 등에는 적용되기 어려운 단점이 있다. 이를 해결하기 위하여 plate-to-plate 방식을 보완한 롤투롤(roll-to-roll) 전사 기술이 한국기계연구원과 성균관대학교, 연세대학교 등을 중심으로 연구 개발되고 있다. Fig. 6은 롤투롤 전사공정 개념도로서 carrier 웨이퍼 위에 기존 증착 공정을 통해 제작된 TFT 어레이를 희생층을 제

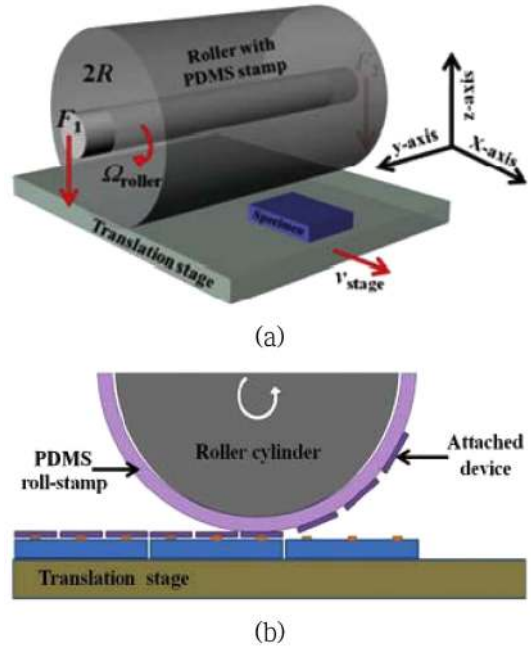


Fig. 6. (a) Schematic representation of roller transfer process (b) Schematic of roller motion on the stretchable, receiving substrate for manufacturing flexible memory device.²⁵⁾

거하여 자유 지지체로 만든 후 롤러를 이용하여 picking 하는 공정의 개념을 나타낸 그림이다. 본 공정의 장점은 진공, 고온 조건이 필요한 기존 반도체 공정으로 실리콘, IGZO(indium gallium zinc oxide) 산화물 등의 TFT 어레이를 별도의 carrier 기판 위에서 제작한 후, 유연 플라스틱 기판으로 고속 전사할 수 있는 장점이 있다. 최근 한국기계연구원은 성균관대학교와 공동으로 롤투롤 전사장비를 개발하여 고무 기판 상에 IGZO TFT 어레이를 전사하여 신축 가능한 TFT 어레이를 발표한 바 있다(Fig. 7).²⁵⁾ 이러한 기술은 매우 다양하게 응용될 수 있다. 가령 Fig. 8은 전자 안구 카메라(electronic eyeball camera)이다.²⁶⁾ 이 소자는 실리콘 포토다이오드를 전사한 후 메탈 interconnect을 이용하여 개별 포토다이오드를 연결하였다. 그 후 PDMS에 전사한 후 반구 형태로 변형을 시켰다. 이렇게 되면 인간의 망막(retina)과 매우 유사한 동작을 하게 되며, 기존의 단순한 평면상의 이미지 센서와 비교하여 관

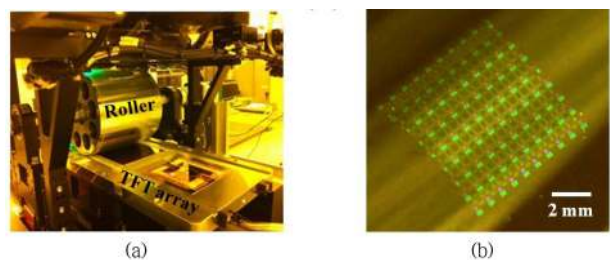


Fig. 7. Schematic and optical representation of IGZO based TFTs during the transfer by roller (a) Photograph during transfer of device by automated roller. (b) Photograph of TFT arrays attached to the roller surface.²⁵⁾

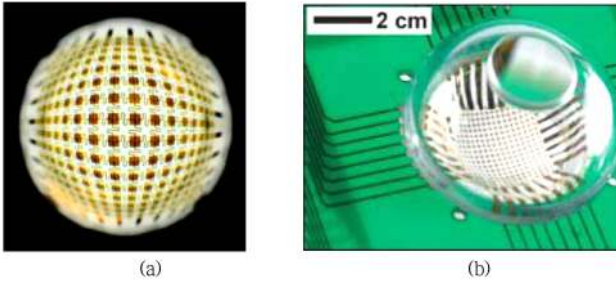


Fig. 8. Hemispherical electronic eye camera system (a) Photographs of the photodetector array imaged through the lens (b) Hemispherical photodiode array for an electronic eye camera.²⁶⁾

측 시야각이 넓어지며, 균일한 영상을 얻을 수 있는 장점이 있다.

기계적 구부림성(bendability)은 플렉시블 전자소자의 많은 응용분야에 이용되는 중요한 특성이다. 하지만, 단순한 기계적 구부림성 만으로는 한계가 있다. 이러한 시스템을 위해서는 유연성을 뛰어넘는 기계적 신축성(stretchability)이 요구된다. 신축성을 전자소자에 제공하는 대표적인 방법은 소자 구조 자체에 웨이브 패턴(wavy pattern)을 도입하는 것이다. 일반적인 전자재료들은 1% 이상의 인장, 압축 스트레인을 견딜 수 없기 때문에 5% 이상의 높은 스트레인을 견디기 위해서는 외부 응력을 흡수할 수 있는 특정 구조를 소자에 도입하는 것이 필요하다.²⁷⁾ Fig. 9는 폴리이미드 기판을 포함한 전체 두께가 1.7 μm에 불과한 초박막 μs-Si CMOS ring oscillator를 미리 인장(stretched)된 PDMS 실리콘 고무에 접착시켜 평형 상태에서 herringbone 웨이브 구조를 갖도록 제작된 전자

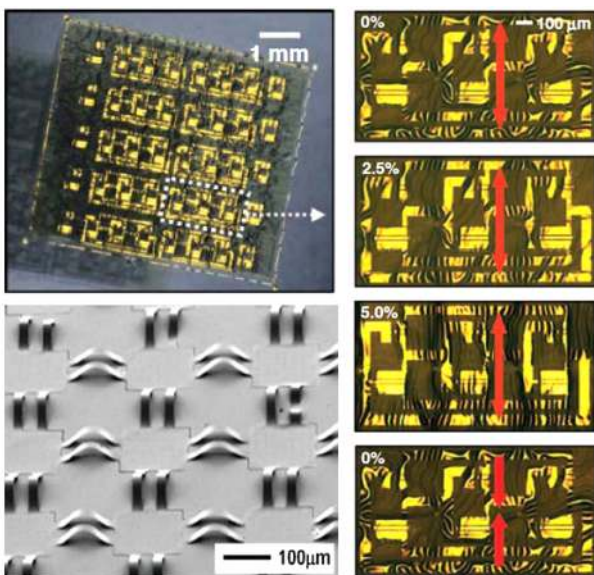


Fig. 9. Optical image of an array of stretchable, wavy three-stage CMOS ring oscillators on PDMS, formed with various levels of prestrain. This device can be stretched up to the tensile strain of 5%.²⁷⁾

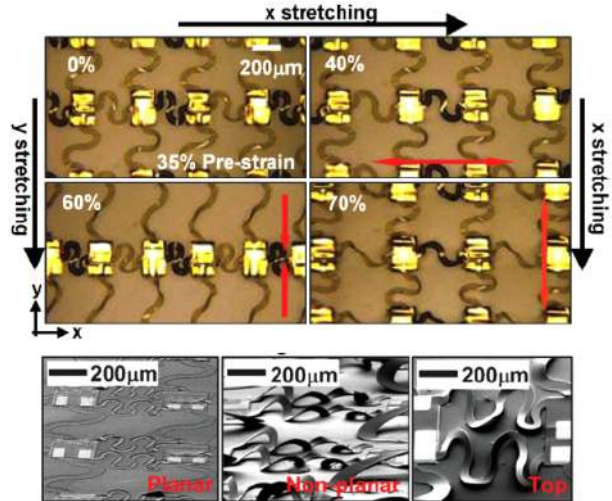


Fig. 10. SEM image of an array of stretchable CMOS inverters with non-coplanar mesh designs and serpentine interconnects during applying external strain.²⁸⁾

회로의 이미지이다. 이들 herringbone 웨이브 구조는 웨이브의 크기와 파장을 변화시키며 외부 응력을 흡수할 수 있기 때문에 실제 소자에 도달되는 스트레인은 단결정 실리콘 파괴 스트레인인 0.7% 미만을 유지하도록 도와준다. 예를 들어, x 축과 y 축 방향으로 각각 5%와 5.5%의 스트레인 구간에서도 평형상태와 유사한 안정적인 소자 특성을 보여주고 있다. 뿐만 아니라, 이들 소자는 1.7 μm의 초박막 상태를 유지하기 때문에 곡률 반경 0.1 mm에도 접혀질 수 있으며, 안정적인 소자 특성을 보여주고 있어 foldable 전자소자에도 적용할 수 있는 가능성을 제시하고 있다. 또 다른 하나의 방법으로서 소자와 소자를 연결하는 metal interconnect를 구불구불한(serpentine)한 형태로 만들어 외부의 변형에 대해서 완충작용을 하도록 한 것이다.²⁸⁾ Fig. 10과 같이 소자를 연결하는 interconnect를 구불구불한 형태로 만들게 되면 변형이 되었을 때 interconnect만이 변형되면서 소자의 손상을 방지하게 되며, 신축성이 매우 높아지는 효과가 있으며, 최대 140%까지 신축성이 있음을 보고하였다.

4. 웨이퍼 thinning을 이용한 유연 반도체/메모리

실리콘 웨이퍼를 에칭하여 박리 시킨 후 폴리머 기판으로 전사하는 공정은 대량 생산에 적용하기는 아직 많은 문제를 갖고 있다. 즉 대면적의 소자를 에칭하여 박리하는 것이 어려우며, 또한 에칭이나 박리 과정 중에서 실리콘 메모리 소자에 손상을 줄 수 있다. 따라서 반도체 메모리 웨이퍼 자체를 얇게 thinning 하여 유연 메모리 소자를 만드는 것이 대량 생산 측면에서는 유리하다. 전술한 바와 같이 실리콘 웨이퍼는 취성재료이지만 얇게 하면 유연성은 증가한다.²⁹⁾ 이러한 기술로서 국내의 하나마이크론사는 실리콘 메모리를 유연하게 패키징 할 수 있는 공



Fig. 11. Picture of flexible semiconductor memory developed by Hanamicon Co.

정기술을 개발하였다. 이 기술은 실리콘 메모리를 얇게 만든 후 유연한 기판에 부착시키는 공정으로, 대면적의 실리콘 메모리를 롤을 이용해 한 번에 유연한 기판에 집적할 수 있어 자유자재로 “휘어지는 메모리”를 만들어 낼 수 있다는 것이 가장 큰 특징이다. Fig. 11은 하나마이크론사에 개발 중인 유연 반도체 메모리의 사진이다. 한편 thinning된 실리콘 웨이퍼의 유연성을 파악하기 위하여, 본 연구실에서는 실리콘 웨이퍼를 CMP(chemical mechanical polishing) 공정을 이용하여 마이크로 두께로 얇게 thinning 한 후 FPCB(flexible PCB)에 접착하여 굽힘 시험을 수행하였다. 박막의 두께는 현재 업체에서 웨이퍼의 손상을 최소화하면서 thinning 공정이 가능한 두께인 20 μm 까지 하였으며, 20, 30, 50, 70 μm 두께의 실리콘 박막을 각각 제조하였다. Fig. 12는 박막의 두께에 따른 실리콘 웨이퍼의 파괴 곡률 반경, 즉 크랙 파괴가 발생한 시점을 나타낸 것이다. 실리콘 칩의 두께가 얇아지면서 파괴 곡률

반경은 작아지고 있으며, 굽힘 유연성은 증가하였다. 20 μm 칩의 경우 곡률 반경 2.5 mm 까지 굽힘이 가능하였다. 따라서 실리콘 박막의 두께를 더 얇게 하면 유연성이 더 커질 수 있음을 알 수 있다. 최근에 발표된 CMP 전문 기업인 DISCO사에 의하면 반도체 메모리 웨이퍼를 7 μm 두께까지 thinning이 가능하며, thinning 후에 트랜지스터의 성능을 측정한 결과, 성능에 전혀 문제가 발생하지 않았다고 보고하고 있다.³⁰⁾ 따라서 곡률 반경이 1 mm 이하인 굽히거나 접을 수 있는 유연 메모리 소자의 출현이 곧 가능할 것으로 판단된다.

5. 결 론

최근 국내외적으로 유연 전자소자에 대한 관심이 증대되고 있다. 특히 유연 전자 소자 및 반도체는 새로운 시장을 창출할 수 있는 좋은 기회이며, 향후 유연 전자소자 시장은 현재의 메모리/반도체의 매출을 능가하는 세계 시장을 창출할 것으로 기대되고 있다. 특히, 소비자의 유연 전자제품에 대한 요구 스펙이 기존 전자제품 수준으로 높아짐에 따라 유연 반도체 사양 또한 기존 단결정 반도체 수준으로 향상시켜야하는 기술적 요구가 증대되고 있다. 이러한 상황 속에 기존 단결정 웨이퍼 기술을 활용한 고성능 유연 실리콘 박막 전자소자 기술 개발이 크게 기대되고 있다. 한국은 세계에서 반도체 및 디스플레이 분야를 선도하는 국가로서, 새로운 시장의 창출이 매우 중요하다. 이런 점에서 기존의 반도체가 보유하고 있던 핵심 경쟁력을 통하여 유연 시장을 선점할 수 있는 경쟁력 확보가 필요한 시점이며, 국외 기업 및 연구기관에서도 현재 개발 착수 단계로 기술을 선점할 수 있는 좋은 기회이다. 한편 한국은 현재 반도체 및 디스플레이 분야를 선도하고 있으나 핵심 재료는 수입에 많은 의존을 보이고 있어 상대적으로 미흡하다. 따라서 핵심 재료분야 원천기술 확보를 통해 국가 경쟁력을 증대 시키는 것이 필요하다. 또한 유연 반도체/메모리의 시험 방법, 성능 평가 방법, 설계 방법 등 표준화되지 않은 부분이 많으며, 이에 대한 연구도 병행되어야 할 것으로 판단된다.

감사의 글

이 연구는 서울과학기술대학교 교내 학술연구비 지원으로 수행되었습니다.

참고문헌

1. G. S. Ryu, J. S. Kim, S. H. Jeong and C. K. Song, “A Printed OTFT-backplane for AMOLED Display”, *Org. Electron.*, 14(4), 1218 (2013).
2. S. Lee, S. S. Lee, J. Park, I.-S. Park, Y. Seol, N.-E. Lee and J. Ahn, “Characteristics of Pentacene on High-k Film for Flexible Organic Field Effect Transistor”, *J. Microelectron.*

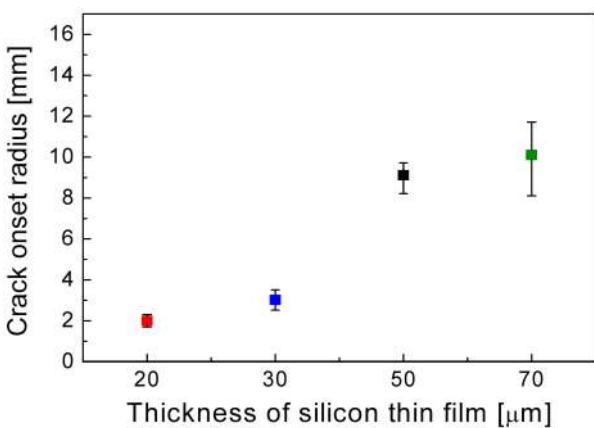


Fig. 12. Crack onset radius for different thickness of the silicon thin films attached on FPCB in the bending test.

- Packag. Soc., 13, 27 (2006).
3. J. A. Rogers, Z. Bao, K. Baldwin, A. Dodabalapur, B. Crone, V. R. Raju, V. Kuck, H. Katz, K. Amundson, J. Ewing, and P. Drzaic, "Paper-like Electronic Displays: Large-area Rubber-stamped Plastic Sheets of Electronics and Microencapsulated Electrophoretic Inks", Proc. Natl. Acad. Sci. U.S.A., 98(9), 4835 (2001).
 4. C. Reese and Z. Bao, "Organic Single-Crystal Field-Effect Transistors", Materials Today, 10(3), 20 (2007).
 5. M. G. Kane, *et al.*, "100 MHz CMOS Circuits using Sequential Laterally Solidified Silicon Thin-Film Transistors on Plastic", Tech. Dig.-IEEE Int. Electron Dev. Meet., IEEE, 939 (2005).
 6. C. M. Lieber, "One-Dimensional Nanostructures : Chemistry, Physics & Applications", Sol. St. Commun., 107(11), 607 (1998).
 7. C. M. Lieber and Z. L. Wang, "Functional Nanowires", MRS Bulletin, 32(2), 99 (2007).
 8. Y. Xia, P. Yang, Y. Sun, Y. Wu, B. Mayers, B. Gates, Y. Yin, F. Kim and H. Yan, "One Dimensional Nanostructures : Synthesis, Characterization, and Applications", Adv. Mater., 15(5), 353 (2003).
 9. E. Menard, K. J. Lee, D. Y. Khang, R. G. Nuzzo, and J. A. Rogers, "A Printable Form of Silicon for High Performance Thin Film Transistors on Plastic Substrates", Appl. Phys. Lett., 84(26), 5398 (2004).
 10. Y. Sun and J. A. Rogers, "Fabricating Semiconductor Nano/Microwires and Transfer Printing Ordered Arrays of Them onto Plastic Substrates", Nano Lett., 4(10), 1953 (2004).
 11. Z. Suo, H. Gleskova and S. Wagner, "Mechanics of Rollable and Foldable Film-on-Foil Electronics", Appl. Phys. Lett., 74(8), 1177 (1999).
 12. S.-I. Park, J.-H. Ahn, S. Wang, Y. G. Huang and J. A. Rogers, "Theoretical and Experimental Studies of Bending of Inorganic Electronic Materials on Plastic Substrates", Adv. Funct. Mater., 18(18), 2673 (2008).
 13. R. S. Wagner and W. C. Ellis, "Vapor-Liquid-Solid Mechanism of Single Crystal Growth", Appl. Phys. Lett., 4(5), 89 (1964).
 14. L. J. Lauhon, M. S. Gudiksen, D. Wang, and C. M. Lieber, "Epitaxial Core-Shell and Core-Multishell Nanowire Heterostructures", Nature, 420, 57 (2002).
 15. N. A. Melosh, A. Boukai, F. Diana, B. Geradot, A. Badolato, P. M. Petroff, and J. R. Heath, "Ultrahigh-density Nanowire Lattices and Circuits", Science, 300, 112 (2003).
 16. J.-H. Ahn, H.-S. Kim, K. J. Lee, Z. Zhu, E. Menard, R. G. Nuzzo and J. A. Rogers, "High-Speed Mechanically Flexible Single-Crystal Silicon Thin-Film Transistors on Plastic Substrates", IEEE Electron Device Lett., 27(6), 460 (2006).
 17. J.-H. Ahn, H.-S. Kim, K. J. Lee, S. Jeon, S. J. Kang, Y. Sun, R. G. Nuzzo and J. A. Rogers, "Heterogeneous Three-Dimensional Electronics by Use of Printed Semiconductor Nanomaterials", Science, 314, 1754 (2006).
 18. J.-H. Ahn, H.-S. Kim, E. Menard, K. J. Lee, Z. Zhu, D.-H. Kim, R. G. Nuzzo, J. A. Rogers, I. Amlani, V. Kushner, S. G. Thomas and T. Duenas, "Bendable Integrated Circuits on Plastic Substrates by Use of Printed Ribbons of Single-Crystalline Silicon", Appl. Phys. Lett., 90(21), 213501 (2007).
 19. Y. Sun, S. Kim, I. Adesisa, and J. A. Rogers, "Bendable GaAs Metal-Semiconductor Field Effect Transistors Formed with Printed GaAs Wire Arrays on Plastic Substrates", Appl. Phys. Lett., 87(8), 083501 (2005).
 20. A.J. Baca, M.A. Meitl, H.C. Ko, S. Mack, H.-S. Kim, J. Dong, P.M. Ferreira and J.A. Rogers, "Printable Single-Crystal Silicon Micro/Nanoscale Ribbons, Platelets and Bars Generated from Bulk Wafers", Adv. Func. Mater., 17(16), 3051 (2007).
 21. M. A. Meitl, Z.-T. Zhu, V. Kumar, K. J. Lee, X. Feng, Y. Y. Huang, I. Adesida, R. G. Nuzzo and J. A. Rogers, "Transfer Printing by Kinetic Control of Adhesion to an Elastomeric Stamp", Nat. Mater., 5, 33 (2006).
 22. S.-I. Park, *et al.*, "Printed Assemblies of Inorganic Light-Emitting Diodes for Deformable and Semitransparent Displays", Science, 325, 977 (2009).
 23. J. Yoon, *et al.*, "Ultrathin Silicon Solar Microcells for Semitransparent, Mechanically Flexible and Microconcentrator Module Designs", Nat. Mater., 7, 907 (2008).
 24. J. Yoon, L. Li, A. V. Semichaevsky, J. H. Ryu, H. T. Johnson, R. G. Nuzzo and J. A. Rogers, "Flexible Concentrator Photovoltaics Based on Microscale Silicon Solar Cells Embedded in Luminescent Waveguides", Nature Communications 2, 343 (2011).
 25. B. K. Sharma, *et al.*, "Load-Controlled Roll Transfer of Oxide Transistor for Stretchable Electronics", Adv. Func. Mat., 23(16), 2024 (2013).
 26. I. Jung, *et al.*, "Dynamically Tunable Hemispherical Electronic Eye Camera System with Adjustable Zoom Capability", Proc. Natl. Acad. Sci. U.S.A., 108(5), 1788 (2011).
 27. D.-H. Kim, J.-H. Ahn, W. M. Choi, H.-S. Kim, T.-H. Kim, J. Song, Y. Y. Huang, Z. Liu, C. Lu, and J. A. Rogers, "Stretchable and Foldable Silicon Integrated Circuits," Science, 320, 507 (2008).
 28. D.-H. Kim, Z. Liu, Y.-S. Kim, Jian Wu, J. Song, H.-S. Kim, Y. Huang, K.-C. Hwang, Y. Zhang, and J. A. Rogers, "Optimized Structural Designs for Stretchable Silicon Integrated Circuits", Small, 5(24), 2841 (2009).
 29. T.H. Lee, K. H. Shin and Y. J. Kim, "Flexible and Embedded Packaging of Thinned Silicon Chip", J. Microelectron. Packag. Soc., 11, 29 (2004).
 30. Y. S. Kim, *et al.*, "Advanced Wafer Thinning Technology and Feasibility Test for 3D Integration", Microelectron. Eng., 107, 65 (2013).



- 안중현
- 연세대학교 전기전자공학과
- 전자재료, 반도체 및 초전도
- e-mail: ahnj@yonsei.ac.kr



- 이혁
- 하나마이크론 연구소장
- 반도체 패키징
- e-mail:hlee@hanamicon.co.kr



- 좌성훈
 - 서울과학기술대학교
 - NID융합기술 대학원
 - 유연 전자소자, MEMS, 반도체
 - 패키징, 나노 공정
 - e-mail:shchoa@seoultech.ac.kr
-