

Thèse de doctorat en cotutelle France-Canada

Présentée devant
L'INSTITUT NATIONAL DES SCIENCES APPLIQUÉES DE LYON

pour obtenir le grade de Docteur

École Doctorale : Électronique, Électrotechnique, Automatique

Par

Mohamed Amine BOUNOUAR

Double-Gate Single Electron Transistors: Modeling, Design & Evaluation of Logic Architectures

Transistors Mono-Électroniques Double-Grille : Modélisation, Conception & Évaluation d'Architectures Logiques

Soutenue publiquement le 23 Juillet 2013 devant la Commission d'Examen

Jury:

Rapporteur	Jacques-Olivier KLEIN	Professeur, Université Paris-Sud
Rapporteur	Lionel TORRES	Professeur, Université Montpellier II
Président	Frédéric MAILHOT	Professeur, Université de Sherbrooke
Invité	Stéphane MONFRAY	Docteur, STMicroelectronics, Crolles
Invité	Benoit MIRAMOND	Maitre de Conférences, Université de Cergy-Pontoise
Co-directeur de thèse	Dominique DROUIN	Professeur, Université de Sherbrooke
Co-directeur de thèse	Francis CALMON	Professeur, INSA de Lyon

Thèse préparée au :

3IT (Institut Interdisciplinaire d'Innovation Technologique) de l'Université de Sherbrooke
(Québec Canada) et à l'INL (Institut des Nanotechnologie de Lyon) INSA de Lyon, France.

INSA Direction de la Recherche - Ecoles Doctorales – Quinquennal 2011-2015

SIGLE	ECOLE DOCTORALE	NOM ET COORDONNEES DU RESPONSABLE
CHIMIE	CHIMIE DE LYON http://www.edchimie-lyon.fr Insa : R. GOURDON	M. Jean Marc LANCELIN Université de Lyon – Collège Doctoral Bât ESCPE 43 bd du 11 novembre 1918 69622 VILLEURBANNE Cedex Tél : 04.72.43 13 95 directeur@edchimie-lyon.fr
E.E.A.	ELECTRONIQUE, ELECTROTECHNIQUE, AUTOMATIQUE http://edeea.ec-lyon.fr Secrétariat : M.C. HAVGOUDOUKIAN eea@ec-lyon.fr	M. Gérard SCORLETTI Ecole Centrale de Lyon 36 avenue Guy de Collongue 69134 ECULLY Tél : 04.72.18 65 55 Fax : 04 78 43 37 17 Gerard.scorletti@ec-lyon.fr
E2M2	EVOLUTION, ECOSYSTEME, MICROBIOLOGIE, MODELISATION http://e2m2.universite-lyon.fr Insa : H. CHARLES	Mme Gudrun BORNETTE CNRS UMR 5023 LEHNA Université Claude Bernard Lyon 1 Bât Forel 43 bd du 11 novembre 1918 69622 VILLEURBANNE Cédex Tél : 06.07.53.89.13 e2m2@univ-lyon1.fr
EDISS	INTERDISCIPLINAIRE SCIENCES-SANTE http://www.ediss-lyon.fr Sec : Samia VUILLERMOZ Insa : M. LAGARDE	M. Didier REVEL Hôpital Louis Pradel Bâtiment Central 28 Avenue Doyen Lépine 69677 BRON Tél : 04.72.68.49.09 Fax :04 72 68 49 16 Didier.revel@creatis.uni-lyon1.fr
INFOMATHS	INFORMATIQUE ET MATHEMATIQUES http://infomaths.univ-lyon1.fr Sec :Renée EL MELHEM	Mme Sylvie CALABRETTO Université Claude Bernard Lyon 1 INFOMATHS Bâtiment Braconnier 43 bd du 11 novembre 1918 69622 VILLEURBANNE Cedex Tél : 04.72. 44.82.94 Fax 04 72 43 16 87 infomaths@univ-lyon1.fr
Matériaux	MATERIAUX DE LYON http://ed34.universite-lyon.fr Secrétariat : M. LABOUNE PM : 71.70 –Fax : 87.12 Bat. Saint Exupéry Ed.materiaux@insa-lyon.fr	M. Jean-Yves BUFFIERE INSA de Lyon MATEIS Bâtiment Saint Exupéry 7 avenue Jean Capelle 69621 VILLEURBANNE Cedex Tél : 04.72.43 83 18 Fax 04 72 43 85 28 Jean-yves.buffiere@insa-lyon.fr
MEGA	MECANIQUE, ENERGETIQUE, GENIE CIVIL, ACOUSTIQUE http://mega.ec-lyon.fr Secrétariat : M. LABOUNE PM : 71.70 –Fax : 87.12 Bat. Saint Exupéry mega@insa-lyon.fr	M. Philippe BOISSE INSA de Lyon Laboratoire LAMCOS Bâtiment Jacquard 25 bis avenue Jean Capelle 69621 VILLEURBANNE Cedex Tél :04.72 .43.71.70 Fax : 04 72 43 72 37 Philippe.boisse@insa-lyon.fr
ScSo	ScSo* http://recherche.univ-lyon2.fr/scso/ Sec : Viviane POLSINELLI Brigitte DUBOIS Insa : J.Y. TOUSSAINT	M. OBADIA Lionel Université Lyon 2 86 rue Pasteur 69365 LYON Cedex 07 Tél : 04.78.77.23.86 Fax : 04.37.28.04.48 Lionel.Obadia@univ-lyon2.fr

*ScSo : Histoire, Géographie, Aménagement, Urbanisme, Archéologie, Science politique, Sociologie, Anthropologie

À ma mère, à mon père, à ma famille

RÉSUMÉ

Dans les années à venir, l'industrie de la microélectronique doit développer de nouvelles filières technologiques qui pourront devenir des successeurs ou des compléments de la technologie CMOS ultime. Parmi ces technologies émergentes relevant du domaine « Beyond CMOS », ce travail de recherche porte sur les transistors mono-électroniques (SET) dont le fonctionnement est basé sur la quantification de la charge électrique, le transport quantique et la répulsion Coulombienne. Les SETs doivent être étudiés à trois niveaux : composants, circuits et système. Ces nouveaux composants, utilisent à leur profit le phénomène dit de blocage de Coulomb permettant le transit des électrons de manière séquentielle, afin de contrôler très précisément le courant véhiculé. Le caractère granulaire de la charge électrique dans le transport des électrons par effet tunnel, permet d'envisager la réalisation de remplaçants potentiels des transistors ou de cellules mémoire à haute densité d'intégration, basse consommation. L'objectif principal de ce travail de thèse est d'explorer et d'évaluer le potentiel des transistors mono-électroniques double-grille métalliques (DG-SETs) pour les circuits logiques numériques. De ce fait, les travaux de recherches proposés sont divisés en trois parties : i) le développement des outils de simulation et tout particulièrement un modèle analytique de DG-SET ; ii) la conception de circuits numériques à base de DG-SETs dans une approche « cellules standards » ; et iii) l'exploration d'architectures logiques versatiles à base de DG-SETs en exploitant la double-grille du dispositif. Un modèle analytique pour les DG-SETs métalliques fonctionnant à température ambiante et au-delà est présenté. Ce modèle est basé sur des paramètres physiques et géométriques et implémenté en langage Verilog-A. Il est utilisable pour la conception de circuits analogiques ou numériques hybrides SET-CMOS. A l'aide de cet outil, nous avons conçu, simulé et évalué les performances de circuits logiques à base de DG-SETs afin de mettre en avant leur utilisation dans les futurs circuits ULSI. Une bibliothèque de cellules logiques, à base de DG-SETs, fonctionnant à haute température est présentée. Des résultats remarquables ont été atteints notamment en termes de consommation d'énergie. De plus, des architectures logiques telles que les blocs élémentaires pour le calcul (ALU, SRAM, etc.) ont été conçues entièrement à base de DG-SETs. La flexibilité offerte par la seconde grille du DG-SET a permis de concevoir une nouvelle famille de circuits logiques flexibles à base de portes de transmission. Une réduction du nombre de transistors par fonction et de consommation a été atteinte. Enfin, des analyses Monte-Carlo sont abordées afin de déterminer la robustesse des circuits logiques conçus à l'égard des dispersions technologiques.

Mots-clés : Transistors mono-électroniques double-grille (DG-SET), Modélisation compacte du SET, Conception de circuits logiques, Nano-Architectures, Ultra-basse consommation

ABSTRACT

In this work, we present a physics-based analytical SET model for hybrid SET-CMOS circuit simulations. A realistic SET modeling approach has been used to provide a compact SET model that takes several conduction mechanisms into account and closely matches experimental SET characteristics. The model is implemented in Verilog-A language, and can provide suitable environment to simulate hybrid SET-CMOS architectures. We have presented logic circuit design technique based on double-gate metallic SET (DG-SET) at room temperature. We have also shown the flexibility that the second gate can bring in order to configure the SET into P-type and N-type. Given that the same device is utilized, the circuit design approach exhibits regularity of the logic gate that simplifies the design process and leads to reduce the increasing process variations. Afterwards, we have addressed a new Boolean logic family based on DG-SET. An evaluation of the performance metrics has been carried out to quantify SET technology at the circuit level and compared to advanced CMOS technology nodes. SET-based static memory was achieved and performances metrics have been discussed. At the architectural level, we have investigated both full DG-SET based arithmetic logic blocks (FA & ALU) and programmable logic circuits to emphasize the low power aspect of the technology. The extra power reduction of SETs based logic gates compared to the CMOS makes this technology much attractive for ultra-low power embedded applications. In this way, architectures based on SETs may offer a new computational paradigm with low power consumption and low voltage operation. We have also addressed a flexible logic design methodology based on DG-SET transmission gates. Unlike conventional design approach, the XOR / XNOR behavior can be efficiently implemented with only 4 transistors. Moreover, this approach allows obtaining reconfigurable XOR / XNOR gates by swapping the cell biasing. Given that the same device is utilized, the structure can be physically implemented and established in a regular manner. Finally, complex logic gates based on DG-SET transmission gates offer an improvement in terms of transistor device count and power consumption compared to standard complementary DG-SET implementations. Process variations are introduced through our model enabling then a statistical study to better estimate the SET-based circuit performances and robustness. SET features low power but limited operating frequency, i.e. the parasitics linked to the interconnects reduce the circuit operating frequency as the SET I_{ON} current is limited to the nA range.

In term of perspectives: i) detailed studying the impact on SET-based logic cells of process variation and random background charge ii) considering multi-level computational model and their associate architectures iii) investigating new computation paradigms (neuro-inspired architectures, quantum cellular automata) should be considered for future works.

Keywords: Double-Gate Single Electron Transistors (DG-SET), SET compact modeling, Logic Circuit Design, Nano-Architectures, Ultra-low power

TABLE DES MATIÈRES

RÉSUMÉ.....	i
REMERCIEMENTS.....	iii
LISTE DES FIGURES.....	ix
LISTE DES TABLEAUX.....	xv
CHAPITRE 1 Introduction Générale	1
1.1 Introduction.....	1
1.2 Contributions.....	3
1.3 Plan & Organisation du Mémoire	4
CHAPITRE 2 Technologies Émergentes & Nouveaux Paradigmes de Calcul	7
2.1 Aperçu	7
2.2 Évolution de la Microélectronique.....	8
2.3 La miniaturisation du CMOS et ses défis.....	12
2.4 Vers de nouvelles architectures du transistor	12
2.4.1 Les Transistors FDSOI.....	13
2.4.2 Les Transistors Multi-Grilles MGFET.....	15
2.5 Technologies & Composants émergents	17
2.5.1 Électronique Moléculaire.....	17
2.5.2 Électronique de Spin	18
2.5.3 Transistors à un électron - SET.....	19
2.6 Nouveaux paradigmes pour le traitement de l'information.....	23
2.6.1 Le besoin en régularité	24
2.6.2 Architectures entrecroisées.....	24
2.6.3 Architectures Hybrides CMOS / Moléculaires - CMOL.....	25
2.6.4 Nano-Programmable Logic Array (Nano-PLA).....	26
2.6.5 Nanoscale Application Specific Integrated Circuit (NASIC).....	27
2.6.6 Électronique carbone à base de DG-CNTFET.....	28
2.7 Conclusion	30
RÉFÉRENCES DU CHAPITRE 2.....	31
CHAPITRE 3 Modélisation Électrique du Transistor à un Électron	39
3.1 Aperçu	39
3.1.1 Bref Historique.....	39
3.1.2 Le Blocage de Coulomb	39
3.1.3 La Jonction Tunnel.....	40
3.1.4 Principe du Transistor à un Électron	40
3.2 Outils CAO pour la simulation de SETs	43
3.2.1 La Méthode de Monte-Carlo (MC).....	43
3.2.2 La Macro-Modélisation par SPICE.....	44
3.2.3 La Résolution de l'Équation Maître (ME).....	44
3.2.4 La Modélisation au sein de l'UdeS et l'INL.....	45
3.3 La Théorie Orthodoxe	45

3.4	Transport Électronique dans le SET	46
3.5	Modélisation du Courant de Drain	50
3.5.1	Calcul du potentiel de l'îlot d'un SET Double-Grille (DG-SET)	52
3.5.2	Calcul du courant I_{DS}	54
3.5.3	Au-delà de la Théorie orthodoxe classique	56
3.6	Routine du modèle	58
3.7	Validation & Vérification du modèle	60
3.8	Synthèse	63
	RÉFÉRENCES DU CHAPITRE 3	65
CHAPITRE 4	Conception de Circuits Logiques à base de DG-SET : Approche Standard	
Cell	69
4.1	Méthodologie de Conception	69
4.1.1	Conditions de Polarisation	69
4.1.2	Approche Bipolaire.....	70
4.1.3	Approche Unipolaire.....	72
4.2	Étude de cas : Inverseur DG-SET.....	73
4.2.1	Analyse électrique d'un inverseur DG-SET.....	73
4.2.2	Analyse dynamique d'un inverseur DG-SET et fréquence maximale d'opération	78
4.3	Bibliothèque de cellules standards.....	81
4.3.1	Logique DG-SET Complémentaire	81
4.3.2	Diminution du courant de fuite.....	88
4.3.3	Évaluation des performances de la librairie DG-SET.....	89
4.4	Effet des charges parasites	92
4.5	Conclusion.....	93
	RÉFÉRENCES DU CHAPITRE 4	95
CHAPITRE 5	Exploration & Évaluation des Architectures Logiques à base de DG-SET	97
5.1	Unité Arithmétique Logique à base de DG-SET.....	97
5.2	Mémoire Statique SRAM à base de DG-SET	98
5.2.1	Mode d'opération du point mémoire SRAM	98
5.2.2	Marge de Bruit Statique (SNM) du point mémoire SRAM	100
5.2.3	Évaluation de la consommation de mémoire SRAM à base de DG-SET	102
5.2.4	Vers des Architectures DG-SET Reconfigurables	104
5.3	Implémentation Régulière de Cellules Logiques à base de DG-SET	106
5.3.1	Conception Flexible à base de Portes de Transmission	106
5.3.2	Nouvelle Famille de Circuits Logiques Flexibles à base de DG-SET.....	109
5.3.3	Applications.....	113
5.4	Variabilité dans les circuits à base de DG-SET.....	115
5.5	Hybridation pour des fonctions SET-CMOS	119
5.5.1	Porte Universelle ULG : Première structure	121
5.5.2	Porte Universelle ULG : Seconde structure	123
5.6	Conclusion.....	124
	RÉFÉRENCES DU CHAPITRE 5	127
CHAPITRE 6	Conclusion & Perspectives.....	129

EXTENDED ABSTRACT.....	133
ANNEXE A – Calcul de l'Énergie de GIBBS.....	183
ANNEXE B – Code Verilog-A du DG-SET.....	189
ANNEXE C – Code Verilog-A Du DG-SET (Mc).....	195
ANNEXE D – Fichier « .scs » DG-SET (MC).....	201
LISTE DES PUBLICATIONS PERSONNELLES.....	203

LISTE DES FIGURES

Fig. 1 : Processeur XEON E7 multi-cœurs d'INTEL réalisé en technologie 32 nm [27].	7
Fig. 2 : Évolution de la longueur de grille du MOSFET et le nombre de transistors par processeur depuis 1970 [68].	9
Fig. 3 : Illustration des différents domaines de l'ITRS [34].	10
Fig. 4 : Taxonomie des dispositifs Beyond CMOS [34].	11
Fig. 5 : Prédiction de l'ITRS 2011 de l'utilisation des différentes architectures CMOS en fonction de l'année.	13
Fig. 6 : Schéma illustrant l'architecture d'un transistor MOS sur substrat massif et sur SOI.	13
Fig. 7 : Différentes structures de transistors MG-FET [52].	16
Fig. 8 : Vue schématique d'un rotaxane qui agit comme un interrupteur moléculaire (gauche) : le macrocycle (en vert) se déplace de point en point le long de l'axe (en bleu) ; et d'un circuit mémoire moléculaire 256 bits (droite) [28].	18
Fig. 9 : Moment de spin-up et de spin-down.	19
Fig. 10 : Spin QCA réalisant la fonction NAND, avec A et B les entrées et Y la sortie [33].	19
Fig. 11 : Illustration des réalisations de SETs selon la technique de fabrication et la température d'opération [illustration tirée du projet « Single Electron Above CMOS » (SEAMOS)].	21
Fig. 12 : Étapes du procédé de fabrication nano-damascène des SETs à l'université de Sherbrooke [38].	22
Fig. 13 : Fabrication & intégration du SET sur une plateforme CMOS (au-dessus du niveau Métal 1) [38].	23
Fig. 14 : Schéma d'une structure entrecroisée à nano-fils [76].	25
Fig. 15 : Architecture CMOL : a) vue transversal du crossbar et de la partie CMOS ; b) adressage des nano-fils ; c) adressage de deux points de croisement [46].	26
Fig. 16 : Architecture d'un bloc Nano-PLA [17].	27
Fig. 17 : a) Implémentation en logique dynamiques des fonctions AND, NAND, OR et NOR ; b) Structure du NASIC implémentant un additionneur 1-bit ; [81].	28
Fig. 18 : a) Implémentation de la fonction GNOR ; b) Architecture PLA basée sur des plans GNOR ; c) Structure d'un ULM 3,2.	29
Fig. 19 : Cellule reconfigurable à base de DG-CNTFET.	29
Fig. 20 : Représentation du comportement de la jonction tunnel.	40
Fig. 21 : Dessin schématique d'un SET (gauche) et son circuit électrique équivalent (droite).	41
Fig. 22 : représentation des niveaux de charge de l'îlot (modulés à la source par V_G).	42
Fig. 23 : (a) Oscillations de Coulomb dans un SET pour $V_{DS} = 120mV$, et (b) Caractéristiques I_D-V_{DS} illustrant l'annulation du phénomène de blocage de Coulomb. Les paramètres du SET sont : $T = 300 K$, $C_{G1} = C_{G2} = 0.1 aF$ et $C_S = C_D = 0.05 aF$.	43
Fig. 24 : Circuit équivalent du SET utilisé lors d'une modélisation SPICE [35].	44

- Fig. 25 : Schéma de la structure étudiée. La jonction tunnel permet le passage des électrons un par un. 47
- Fig. 26 : Mécanisme de transfert tunnel dans un SET. D, I et S représentent le drain, l'îlot et la source respectivement tandis que les lignes horizontales représentent leurs tensions. La source est liée à la masse et le drain à une tension $V_D = \alpha = e/2C_S$. Les cercles pleins représentent le potentiel de départ de l'îlot (avant qu'un évènement tunnel ne se produise) et les cercles vides représentent le potentiel de l'îlot après un passage tunnel. Les flèches bleues et roses représentent le transfert tunnel et le changement du potentiel de l'îlot respectivement. Les chiffres 1, 2, ..., 6 représentent les séquences des électrons lors de la conduction du courant à travers le SET. 50
- Fig. 27 : Diagramme des différents états (n) de transition du SET. 52
- Fig. 28 : illustration de la périodicité du courant de drain I_{DS} en fonction du potentiel de l'îlot pour une valeur de V_{DS} positive quelconque ($\leq eC$). 53
- Fig. 29 : Caractéristiques I_D-V_{DS} du SET pour $V_{GS} = 0$ V simulées à 300K et où toutes les composantes du courant total traversant le dispositif sont illustrées. Les paramètres du SET sont $C_G = 0.23$ aF, $C_S=C_D=0.06$ aF, hauteur de barrière ϕ_0 (jonction *TiOx/Ti*) = 0.32 eV, constante diélectrique (*TiOx*) $\epsilon_r = 4$, surface de la jonction = $2nm*10nm$ et l'épaisseur du diélectriques = $8nm$ 58
- Fig. 30 : Routine du modèle pour le calcul du courant dans le SET. 60
- Fig. 31 : Caractéristiques I_D-V_{DS} du SET pour $V_{GS} = 0$ V calculées selon notre modèle et les résultats expérimentaux [7] à 300K et 433K. Les paramètres du SET sont $C_G = 0.23$ aF, $C_S=C_D=0.06$ aF, hauteur de barrière ϕ_0 (jonction *TiOx/Ti*) = 0.32 eV, constante diélectrique (*TiOx*) $\epsilon_r = 4$, surface de la jonction = $2nm*10nm$ et l'épaisseur du diélectriques = $8nm$ 61
- Fig. 32 : Caractéristiques I_D-V_{GS} calculées pour différentes températures selon le modèle MIB. Les paramètres du SET sont $C_G = 0.23$ aF, $C_S = C_D = 0.06$ aF, $V_{DS} = 120$ mV, $R_D = 55$ M Ω et $R_S = 60$ M Ω 62
- Fig. 33 : Caractéristiques I_D-V_{GS} calculées pour différentes températures selon notre modèle. Les paramètres du SET sont $C_G = 0.23$ aF, $C_S = C_D = 0.06$ aF, and $V_{DS} = 120$ mV. 62
- Fig. 34 : Effet des charges parasites. Si la charge parasite est un nombre fractionnaire, ici $0.3e$, la caractéristique I_D-V_{GS} est décalé sur l'axe V_{GS} par $e*\xi/C_G$ (courbe en rouge). Dans le cas où la quantité de la charge parasite ξ est un entier de la charge élémentaire (e), il n'y a aucun changement sur la caractéristique du SET. Les paramètres du SET sont $C_G = 0.23$ aF, $C_S = C_D = 0.06$ aF, et $T = 300$ K. 63
- Fig. 35 : Caractéristiques $I_{DS}-V_{DS}$ simulées (notre modèle) du SET à 300K à l'état OFF ($V_{GS} = 0$ V) et à l'état ON ($V_{GS} = e/2C_G$). Les paramètres du SET et des jonctions sont : $C_G = 0.2$ aF, $C_S=C_D=0.05$ aF, hauteur de barrière ϕ_0 (jonction *TiOx/Ti*) = 0.4 eV, constante diélectrique (*TiOx*) $\epsilon_r = 3.9$, surface de la jonction = $1nm*5nm$ et l'épaisseur du diélectrique = $2nm$ 69
- Fig. 36 : Schéma d'un inverseur SET dans le cas d'une polarisation bipolaire. Les terminaux G, D, et S représentent la grille, drain, et source du dispositif. 71

Fig. 37 : Réponse transitoire simulée d'un inverseur SET à polarisation bipolaire. Les paramètres du SET sont : $C_G = 0.2$ aF, $C_S = C_D = 0.05$ aF et $T = 300$ K (simulée avec notre modèle).....	71
Fig. 38 : Configuration du DG-SET en fonction de la tension appliquée sur la deuxième grille. (a) Type P, (b) Type N, (c) Caractéristiques I_{DS} - V_{GS1} simulées (notre modèle) pour $V_{GS2} = G_{ND}$ (type P) et $V_{GS2} = V_{DD}$ (type N).....	73
Fig. 39 : Schéma électrique d'un inverseur DG-SET.....	74
Fig. 40 : Caractéristique statique d'un inverseur DG-SET simulé à l'aide de notre modèle à $T = 300$ K. Les paramètres du SET et des jonctions sont : $C_{G1} = C_{G2} = 0.1$ aF, $C_S = C_D = 0.05$ aF, hauteur de barrière ϕ_0 (jonction TiO_x/Ti) = 0.4 eV, constante diélectrique (TiO_x) $\epsilon_r = 3.9$, surface de la jonction = $1nm * 5nm$ et l'épaisseur du diélectrique = $2nm$	74
Figure 41 : Réponse dynamique d'un inverseur DG-SET simulée à l'aide de notre modèle à $T = 300$ K. Les paramètres du SET sont similaires à ceux de la Fig. 40.	75
Fig. 42 : Schéma équivalent du circuit étudié avec le modèle RC équivalent.	79
Fig. 43 : Insertion d'un niveau de composants mono-électroniques métalliques dans le BEOL d'une technologie CMOS 28 nm.	80
Fig. 44 : Schéma équivalent du nano-fil utilisé lors du calcul de la fréquence de coupure et l'extraction des effets parasites RC	80
Fig. 45 : Fréquence de coupure versus la longueur de l'interconnexion (worst case).....	81
Fig. 46 : Fréquence de coupure et produit RC selon les configurations pour différentes épaisseurs du nano-fil.....	81
Fig. 47 : Effet de la seconde grille sur le courant et oscillations de Coulomb simulée à l'aide de notre modèle à $T = 300$ K pour $V_{DS} = 400$ mV. Utilisation de deux DG-SET pour réaliser un inverseur. Les paramètres du DG-SET et des jonctions sont : $C_{G1} = C_{G2} = 0.1$ aF, $C_S = C_D = 0.05$ aF, constante diélectrique (TiO_x) $\epsilon_r = 3.9$, hauteur de barrière ϕ_0 (jonction TiO_x/Ti) = 0.4 eV, surface de la jonction = $1nm * 5nm$ et l'épaisseur du diélectrique = $2nm$. ..	83
Fig. 48 : Réseau logique statique complémentaire DG-SET.	85
Fig. 49 : Exemple de l'implémentation de portes logiques statiques DG-SET : (a) Inverseur, (b) NAND 2, (c) NOR2.....	86
Fig. 50 : Résultats de simulations du décodeur DG-SET 2 vers 4 à 300K.	87
Fig. 51 : Résultats de simulations du multiplexeur DG-SET 2 vers 1 à 300K.....	87
Fig. 52 : Registre à décalage 8-bits DG-SET.	88
Fig. 53 : Résultats de simulations du registre à décalage DG-SET 8-bits à 300K. La donnée est décalée à droite à chaque coup d'horloge sur front montant.....	88
Fig. 54 : (a) Schéma du buffer utilisé pour la restauration du signal de sortie, (b) Effet du courant thermoïonique sur le niveau logique de sortie. Ici, un exemple de la tension de sortie d'une porte NAND2 sans buffer (vert) et avec buffer (rose). Simulation à 300K.	89
Fig. 55 : Comparaison de la consommation moyenne d'un inverseur CMOS en technologie 28 nm sur substrat massif et FDSOI ($V_{DD} = 0.8$ V) par rapport aux différents éléments de la bibliothèque DG-SET pour une fréquence de fonctionnement à $f = 125$ MHz.....	92
Fig. 56 : Structure Logique d'une ALU DG-SET 4-bits.....	97

Fig. 57 : Résultats de simulation d'une ALU 1-bit à base de DG-SET à $T = 300\text{K}$	98
Fig. 58 : Schéma complet d'une cellule mémoire statique SRAM 1 bit à base de DG-SET. ..	99
Fig. 59 : Résultats de simulations de la cellule SRAM à base de DG-SET à l'aide de notre modèle à $T = 300\text{K}$, $V_{DD} = 0.4\text{V}$ et $f = 125\text{MHz}$	100
Fig. 60 : SNM de la cellule SRAM 6T à base de DG-SET à $T = 300\text{K}$, $V_{DD} = 0.4\text{V}$	101
Fig. 61 : Architecture du plan mémoire DG-SET.....	103
Fig. 62 : Extrapolation de la consommation de la SRAM pour une matrice mémoire de 1024 bits.	103
Fig. 63 : Architecture basique d'un FPGA consiste en 2 niveaux d'abstraction : le CLB où la logique de l'utilisateur est implémentée, la LUT est composée de point mémoires SRAM, la DFF qui mémorise la sortie de la LUT, le MUX est utilisé pour la sélection logique, les interconnexions permettent le routage des blocs logiques pour l'implémentation de la logique de l'utilisateur et les Switch Box (SBOX) permettent la commutation entre les interconnexions en fonction de la logique.....	105
Fig. 64 : Illustration du schéma et principe de la porte de transmission.	108
Fig. 65 : Topologie des portes de transmission DG SET : (a) fonction XOR 2, (b) fonction XNOR 2, (c) fonction XOR 2 / XNOR 2 reconfigurable.....	109
Fig. 66 : Simulation de la fonction reconfigurable XOR/XNOR à base de DG-SET. Simulations réalisées avec notre modèle de DG-SET à $T = 300\text{K}$, $f = 125\text{ MHz}$, et $V_{DD} = 0.4\text{V}$	109
Fig. 67 : Résultats de simulation de la fonction F13 à l'aide de notre modèle à $T = 300\text{K}$. Les chronogrammes en rose et gris représentent respectivement le signal de sortie de la fonction logique avec et sans buffer de sortie.....	111
Fig. 68 : Exemple de l'implémentation à base de portes de transmission de la nouvelle famille de circuits logiques DG-SET.	112
Fig. 69 : Diagramme logique d'un additionneur-soustracteur DG-SET 4-bits parallèle.	114
Fig. 70 : Résultats de simulations de l'additionneur-soustracteur DG-SET 4-bits à l'aide de notre modèle à $T = 300\text{K}$	115
Fig. 71 : Simulation Monte-Carlo de la caractéristique statique I_D - V_{DS} du DG-SET à $T = 300\text{K}$ (100 itérations).	118
Fig. 72 : Simulation Monte-Carlo de la réponse transitoire d'un inverseur DG-SET à $T = 300\text{K}$ (100 itérations).	118
Fig. 73 : Simulation Monte-Carlo de la sortie de la cellule SRAM à base de DG-SET à $T = 300\text{K}$ (100 itérations).....	119
Fig. 74 : Exemple de plateforme hybride SET-CMOS.	120
Fig. 75 : Schéma de la porte universelle ULG [8].	122
Figure 76: (a) Résultats de simulations de l'ULG et (b) Caractéristique de sortie V_{OUT} pour $V_G = 225\text{ mV}$ (rouge), $V_G = 215\text{ mV}$ (violet), $V_G = 205\text{ mV}$ (jaune).	122
Fig. 77 : Schéma de la deuxième structure de la porte ULG [11] avec $I_{LOW} = 1\text{ nA}$, $I_{HIGH} = 10\text{ }\mu\text{A}$, et $V_{SS} = -485\text{ mV}$, ($W = 500\text{nm}$, $L = 500\text{nm}$).....	124
Fig. 78 : Caractéristique de sortie V_{OUT} pour l'implémentation parallèle de l'ULG.....	124

Fig. 79 : Structure hybride SET-CMOS [illustration tirée du projet européen « 3D SET-CMOS Integrated Circuits and Sensors » (3-SICS)] 125

LISTE DES TABLEAUX

Table I : Paramètres physiques et électriques utilisés dans le modèle.....	61
Table II : Modes d'opérations des transistors P-SET et N-SET d'un inverseur DG-SET.....	75
Table III : Configuration du DG-SET.....	83
Table IV: Performances et caractéristiques des cellules standards de la librairie DG-SET à $f = 125$ MHz et $V_{DD} = 0.4$ V.	91
Table V : Caractéristiques des blocs logiques arithmétiques pour $V_{DD} = 0.4$ V, $f = 125$ MHz et $T = 300$ K	98
Table VI : Comparaisons du SNM pendant le cycle de maintien de la donnée pour différentes architectures de SRAM fonctionnant dans le régime sous le seuil.....	101
Table VII : Consommation moyenne de la cellule SRAM pour différentes technologies. Simulations réalisées avec notre modèle de DG-SET à $T = 300$ K, $f = 125$ MHz, et $V_{DD} = 0.4$ V.	103
Table VIII : Comparaison des différentes LUT à base de DG-SET. Simulations réalisées avec notre modèle de DG-SET à $T = 300$ K, $f = 125$ MHz, et $V_{DD} = 0.4$ V.	106
Table IX : Nouvelle Famille de Portes Logiques DG-SET avec pas plus de 2 portes de transmission dans chaque branche des réseaux « PUN » et « PDN ».	110
Table X : Caractéristiques de la nouvelle famille de circuits logiques DG-SET. Simulations réalisées avec notre modèle de DG-SET à $T = 300$ K, $f = 125$ MHz, et $V_{DD} = 0.4$ V.	113
Table XI : Caractéristiques d'un additionneur-soustracteur 4-bits en fonction du style d'implémentation. Simulations réalisées avec notre modèle de DG-SET à $T = 300$ K, $f = 125$ MHz, et $V_{DD} = 0.4$ V.	115
Table XII: Comparaison des avantages et limitation des technologies SET et CMOS.....	120

CHAPITRE 1 Introduction Générale

1.1 Introduction

Depuis l'invention du transistor, un grand nombre de composants microélectroniques a été développé dans des laboratoires universitaires ou dans des sociétés de semi-conducteurs. Le composant de base qui est actuellement utilisé pour l'intégration à très grande échelle des circuits VLSI (Very Large Scale Integration), tels que les microprocesseurs et les mémoires, est le transistor MOS (Metal-Oxyde-Semiconductor). La technologie CMOS (Complementary Metal-Oxyde-Semiconductor) est devenue dominante et a été choisie historiquement en raison de sa propriété de faible consommation de puissance comparée aux autres technologies. Plus de 80% des circuits VLSI récents sont fabriqués avec la technologie CMOS. Les tendances générales en microélectronique sont à la réduction de la géométrie des transistors qui permet d'obtenir une augmentation des performances et de la densité d'intégration des dispositifs. D'autres priorités dans ce domaine sont la réduction de la consommation, l'amélioration de la fiabilité et la réduction du coût des systèmes électroniques.

La consommation d'énergie des dispositifs de l'électronique grand public à travers le monde devient un enjeu crucial. En effet, les centres de traitement de données « Data Center » consomment déjà 2% de la production totale d'électricité dans le monde¹. Selon certaines études, il est prévu que l'utilisation des centres de traitement de données augmentera d'environ vingt fois à l'horizon 2030, conduisant à une consommation équivalente d'au moins 40% de la production d'électricité mondiale prévu à cette date. En outre, il est prévu que le traitement et le calcul parallèle de l'information dans des systèmes hétérogènes pourraient réduire la consommation énergétique par au moins un ordre de grandeur². De nos jours, les appareils électroniques embarqués (téléphones mobiles, les implants biologiques, les réseaux de capteurs, etc.) nécessitent de très faibles énergies d'opération. Par conséquent, pour une transition réussie, des améliorations doivent être envisagées. Plus particulièrement, l'utilisation de transistors et mémoires qui consommeraient fondamentalement moins d'énergie, associés

¹ Greenpeace International, "How dirty is your data? A Look at the Energy Choices That Power Cloud Computing," <http://www.greenpeace.org/international/Global/international/publications/climate/2011/Cool%20IT/dirty-data-report-greenpeace.pdf>.

² R. Hartenstein "Aiming at the Natural Equilibrium of Planet Earth Requires to Reinvent Computing," Keynote ISCAS conference, 2011.

aux architectures multi-cœurs est certainement un élément clé afin de surmonter ce problème énergétique.

Actuellement, la miniaturisation du CMOS permet de diminuer la consommation du transistor suivant la feuille de route établie par l'ITRS (International Technology Roadmap for Semiconductors). Néanmoins, selon les prévisions, l'augmentation exponentielle de la densité d'intégration des circuits intégrés CMOS atteindra ses limites à l'horizon 2020 en raison de certaines limitations physiques liées principalement à la réduction d'échelle. L'avènement des nanotechnologies et leur expansion conduiront à des percées technologiques majeures à moyen et long terme. C'est pourquoi, l'industrie des semi-conducteurs et les milieux académiques cherchent de nouvelles technologies qui pourraient être susceptibles de succéder / remplacer ou compléter le MOS. En tenant compte des défis posés par la fabrication de circuits constitués de milliards de dispositifs à l'échelle nanométrique, les problèmes de variabilité et de consommation d'énergie, en particulier, impliqueront une mutation de l'architecture des dispositifs et même peut-être de leur principe de fonctionnement.

Depuis les années 90, des efforts de recherche considérables ont été menés afin d'étudier les dispositifs émergents et d'évaluer leurs perspectives. Au cours des dernières années, de nombreuses nouvelles technologies ont été proposées dans ce sens (par exemple, les Automates Cellulaires Quantique – QCA –, l'électronique moléculaire, les TFETs, l'électronique de spin, etc.). Parmi celles-ci, le transistor mono-électronique à double-grille (DG-SET) est un candidat très prometteur pour les futurs circuits nanoélectroniques, spécialement pour leur faible consommation d'énergie. Cependant, les défis de fabrication (par exemple, les jonctions ultra-minces et des capacités très faibles pour un fonctionnement à température ambiante) ont été un véritable obstacle afin de les voir dans des circuits démonstrateurs. Récemment, les progrès des techniques de nano-fabrication ont permis la fabrication/réalisation de transistors mono-électroniques (SET) fonctionnants à température ambiante.

En revanche, les aspects économiques mènent à considérer, en premier, des moyens innovants compatibles avec les plates-formes existantes en terme d'infrastructures de fabrication, mais aussi en terme de méthodologie de conception. Dans ce contexte, une solution consiste à être

en mesure de fabriquer des dispositifs dans le Back-End Of Line (BEOL) du procédé CMOS. L'intégration de ces dispositifs avec le procédé CMOS est une forme d'intégration 3D, ce qui permettra d'ajouter des fonctions supplémentaires, mais aussi de tirer avantage à la fois de la technologie CMOS et des nouvelles technologies. Ainsi, une technologie compatible CMOS sera préférable afin de bénéficier des blocs IP CMOS existants. L'utilisation de SET dans des circuits logiques avec du CMOS commence à émerger³. De plus, les progrès ULSI ont conduit à des applications réelles telles que la mémoire⁴ à base de SET ou des circuits logiques programmables⁵.

1.2 Contributions

Afin de satisfaire aux besoins des systèmes électroniques notamment en termes de basse consommation, de forte puissance de calcul, de reconfigurabilité ... pour les marchés de masse telles que l'internet nomade, les tablettes, les réseaux de capteurs, etc., l'industrie de la microélectronique recherche des solutions innovantes et complémentaires au CMOS. Ces travaux de recherche visent à développer, évaluer et valider des solutions originales aux niveaux circuits et architectures en utilisant les composants mono-électroniques DG-SET. Une filière mono-électronique métallique est extrêmement pertinente car, en étant compatible CMOS (composants réalisés dans le back-end), elle ouvre la voie à la réalisation de fonctions numériques ultra-basse consommation.

C'est le contexte d'étude développé ci-dessus qui nous a permis de guider nos recherches et d'en déterminer les principaux axes. Dans le cadre de nos travaux, nous nous intéresserons plus particulièrement aux circuits et architectures numériques qui, aujourd'hui, ne sont pas seulement utilisées dans les microprocesseurs, mais aussi dans chaque dispositif électronique développé pour le domaine de l'information ou de la communication. Les paragraphes suivants font la synthèse des contributions des travaux de recherche réalisés durant cette thèse.

³ S. J. Kim, J. J. Lee, H. J. Kang, J. B. Choi, Y.-S. Yu, Y. Takahashi, and D. G. Hasko, "One electron-based smallest flexible logic cell," *Applied Physics Letters*, vol. 101, no. 18, p. 183101, 2012.

⁴ K. Yano et al. "Single-electron memory for giga-to-tera bit storage," *Proc. IEEE*, vol. 87, no. 4, pp. 633-651, April 1999.

⁵ K. Uchida et al. "Programmable single-electron transistor logic for future low-power intelligent LSI: proposal and room-temperature operation," *IEEE Trans. Electron Devices*, vol. 50, no.7, pp. 1623-1630, July 2003.

La première contribution de ces travaux sera le développement des outils nécessaires à la simulation de transistors mono-électroniques double-grille (DG-SET). A cet effet, nous avons mis en place un modèle électrique, implémenté en langage Verilog-A, compatible avec les environnements de conception standards de l'industrie de la microélectronique (ex. Cadence). Ce modèle a permis de reproduire fidèlement le comportement électrique à température ambiante et au-delà des dispositifs fabriqués à l'Université de Sherbrooke (UdeS) en prenant en considération les paramètres physiques et géométriques du SET.

Suite à cette modélisation électrique, nous entamerons alors la deuxième partie de ce travail, à savoir la conception de circuits logiques combinatoires et séquentiels élémentaires à base de DG-SET. Pour cela, nous abordons les méthodes de conception des circuits à base de SET. Ensuite, nous présentons une bibliothèque à base de DG-SET composée de cellules standards pour la réalisation d'opérations booléennes et fonctions logiques. Une évaluation et une analyse des performances des éléments de la librairie sont effectuées afin de voir l'impact de l'utilisation des DG-SET dans les circuits logiques.

Enfin, c'est dans le prolongement des deux contributions précédentes que nous arriverons à la dernière partie de notre travail, à savoir l'exploration et l'évaluation des architectures logiques numériques à base de DG-SET tels que les réseaux SRAM et les blocs élémentaires utilisés pour le calcul arithmétique. En exploitant la flexibilité offerte par la seconde grille du DG-SET, une famille de fonctions logiques à base de DG-SET est implémentée à l'aide de portes de transmission est proposée. Pour finir, nous abordons la variabilité par des simulations Monte-Carlo ainsi que l'hybridation à la technologie CMOS.

1.3 Plan & Organisation du Mémoire

Suite à cette introduction, ce document s'articule en quatre parties :

Dans le chapitre II, nous présenterons le contexte général de ces travaux. Plus particulièrement, nous analyserons notamment le statut actuel de la micro-nano-électronique, l'évolution de l'industrie de la microélectronique ainsi que la dynamique de ce marché lié essentiellement à la miniaturisation et à la capacité d'intégrer plusieurs composants dans un

même circuit. Un état de l'art non-exhaustif des technologies émergentes et nouveaux paradigmes de calcul est présenté.

Le chapitre III introduira tout d'abord les fondamentaux du transistor mono-électronique. Ensuite, les détails concernant notre approche de modélisation analytique du DG-SET à haute température seront donnés. Nous illustrerons l'efficacité du modèle développé en le comparant aux données expérimentales, mais aussi à d'autres modèles compacts issus de la littérature.

Le chapitre IV sera consacré à la conception de circuits logiques à base de DG-SET. Nous aborderons, en premier lieu, la méthodologie de conception de circuits à base de transistors mono-électroniques à grille unique et à double-grille successivement. Nous verrons par la suite comment la seconde grille du transistor rend ce dernier configurable en tant que transistor de type-N ou de type-P. Nous décrirons alors la librairie DG-SET complémentaire conçue et évaluerons les performances afin de quantifier l'impact de l'implémentation des DG-SET dans les futurs circuits nanoélectroniques.

Dans le chapitre V, nous explorerons l'utilisation des transistors DG-SET dans les blocs élémentaires pour la conception d'architectures logiques. Une estimation des performances électrique est réalisée. Nous mettrons ensuite l'accent sur la valeur ajoutée que peut offrir la seconde grille pour de nouvelles implémentations de fonctions logiques flexibles en utilisant notamment les portes de transmission. Dans la dernière partie de ce chapitre, nous introduirons l'hybridation au CMOS ainsi que la variabilité liée aux dispersions technologiques.

Et pour finir, le chapitre VI conclura ce mémoire. Nous présenterons nos conclusions et perspectives sur la base des résultats obtenus mais aussi par rapport à la problématique de recherche.

CHAPITRE 2 Technologies Émergentes & Nouveaux Paradigmes de Calcul

2.1 Aperçu

Selon la « loi de Moore », la capacité d'intégration sur les technologies silicium prévoit de doubler tous les deux ans. Depuis l'apparition du premier microprocesseur en 1971, le 4004, comportant 2300 transistors au multiprocesseur XEON E7 « Westmere-Ex » d'Intel en 2011 avec 2,6 Milliards de transistors en technologie CMOS, la microélectronique a maintenu une croissance exponentielle pendant plusieurs décennies et s'est imposée dans tous les aspects de notre vie quotidienne. Cette dynamique de production a été atteinte essentiellement, par une réduction de la taille des transistors, notamment grâce aux progrès de la lithographie optique.

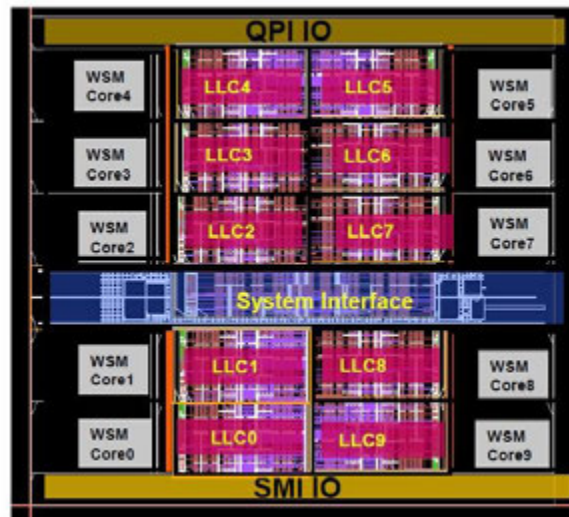


Fig. 1 : Processeur XEON E7 multi-cœurs d'INTEL réalisé en technologie 32 nm [27].

Cependant, cette réduction est confrontée à des limites d'ordres physiques, technologiques et économiques. Mais, d'autres facteurs de différenciation vont contribuer au progrès en microélectronique tel que l'architecture du composant, les dispositifs utilisant d'autres variables d'états (Spin, phase, photon, ...), voire l'introduction des nanotechnologies (nanotubes, nano-fils, électronique moléculaire, mono-électronique ...). Car au-delà de l'évolution incrémentale de la microélectronique autour de la filière CMOS, qui fait la puissance de cette industrie, c'est à une diversification de plus en plus grande des options

technologiques qu'il faut se préparer dans le futur et les nanotechnologies offriront une diversité supplémentaire qu'il convient d'analyser.

La microélectronique a pénétré tous les aspects de notre vie quotidienne sans que nous en soyons toujours conscients. Que ce soit en téléphonant, en nous connectant sur internet, plus simplement, en démarrant notre voiture ou en payant par carte de crédit, nous sollicitons une électronique sophistiquée qui s'appuie de plus en plus sur des circuits intégrés. Le succès de la microélectronique vient d'un cercle vertueux qui dure depuis plusieurs décennies. Grâce à une miniaturisation toujours plus poussée des circuits, on est capable d'offrir, pour le même prix, des fonctions de plus en plus complexes et performantes. Vu la complexité croissante des procédés CMOS et la diversité des voies technologiques à explorer, la miniaturisation, même si elle reste le fondement du progrès, correspond à un coût toujours plus élevé, en termes de R&D comme en termes d'investissements productifs. *La leçon à tirer de cette évolution est que jusqu'à aujourd'hui, l'industrie du semi-conducteur a toujours privilégié la performance (par la technologie) et un coût réduit par fonction (par le « scaling ») au détriment éventuel de la complexité de fabrication d'un circuit intégré.* Cette course aux dimensions a jusqu'ici permis d'obtenir des circuits plus denses, plus performants, moins chers et plus fiables.

L'entrée de la microélectronique dans l'ère nanoélectronique correspond à un changement profond. En effet, l'avènement des nanotechnologies laisse espérer des ruptures technologiques majeures à moyen et long terme avec des concepts innovants de dispositifs. Ce domaine est appelé de manière assez inappropriée « *Beyond CMOS* », laissant croire à tort à un remplacement de la technologie CMOS par autre chose. Le consensus actuel est que ces technologies vont venir compléter une technologie CMOS qui continuera de progresser.

2.2 Évolution de la Microélectronique

Les prévisions concernant l'évolution des technologies CMOS sont faites de manière consensuelle dans un forum regroupant des chercheurs et ingénieurs concurrents du monde entier, appartenant aux différentes compagnies, instituts, universités et organismes gouvernementaux spécialistes des domaines de la technologie et conception des circuits intégrés, et sont publiées tous les ans sous l'intitulé « International Technology Roadmap for

Semiconductor » (ITRS). Les projections actuelles vont jusqu'en 2020 et couvrent les domaines de la lithographie, des interconnexions, des mémoires, de la logique CMOS ainsi que des technologies dites « émergentes ».

Cette feuille de route évalue les besoins futurs en se basant sur les démonstrations technologiques existantes, tout en respectant un critère d'amélioration des performances des circuits de 17 % par an. Les Groupes ITRS ont réadapté la feuille de route en définissant plusieurs catégories de produits allant des produits « Haute Performance » aux produits « Basse Consommation ». En effet, la fuite par effet tunnel à travers l'isolant de grille du transistor MOS [19, 35] et les effets de canaux courts liés au contrôle de la charge électrique par les différentes électrodes [35] rendaient plus difficile leur mise à l'échelle (scaling).

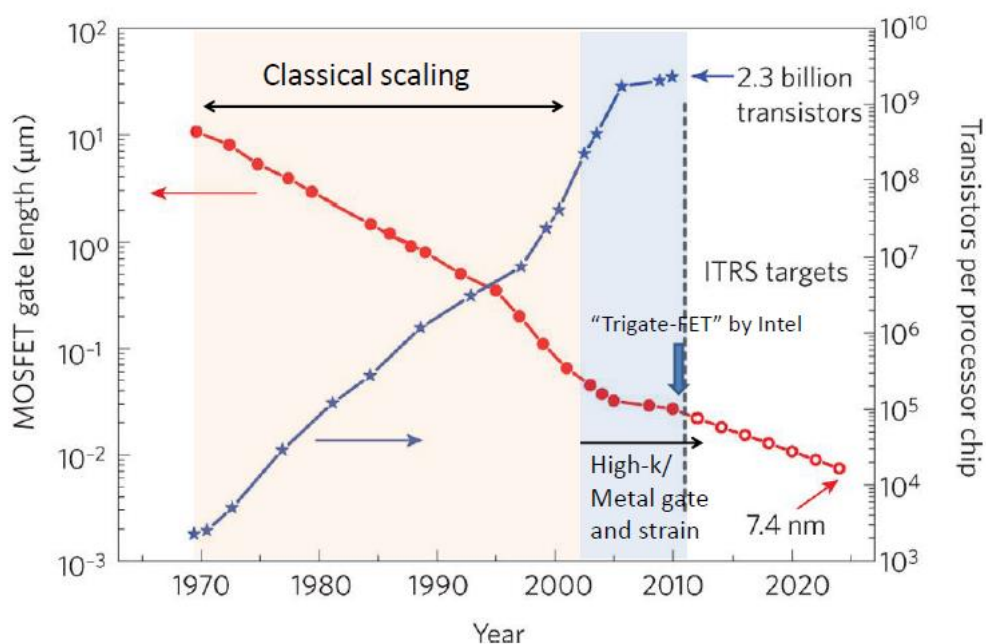


Fig. 2 : Évolution de la longueur de grille du MOSFET et le nombre de transistors par processeur depuis 1970 [68].

La réduction de taille de la technologie CMOS sur silicium devient plus difficile et pourrait s'arrêter à une longueur de l'ordre de 7,5 nm en 2024, selon les prévisions de l'ITRS, à cause de l'effet tunnel entre source et drain (Fig. 2). Y a-t-il des dispositifs utilisant des principes différents du transfert ou stockage de la donnée pour prendre la relève du CMOS sur Silicium ? Ces dispositifs ont été répertoriés par l'ITRS dans la catégorie « Beyond CMOS » (Fig. 3). Un gros effort de terminologie et de classement des solutions en termes de nouveaux

matériaux, nouvelles architectures dispositifs et architectures systèmes a été fait. Les différentes solutions ont été passées au crible des figures de mérite performance/consommation/densité et capacité de continuer la mise à l'échelle/coût (Fig. 4).

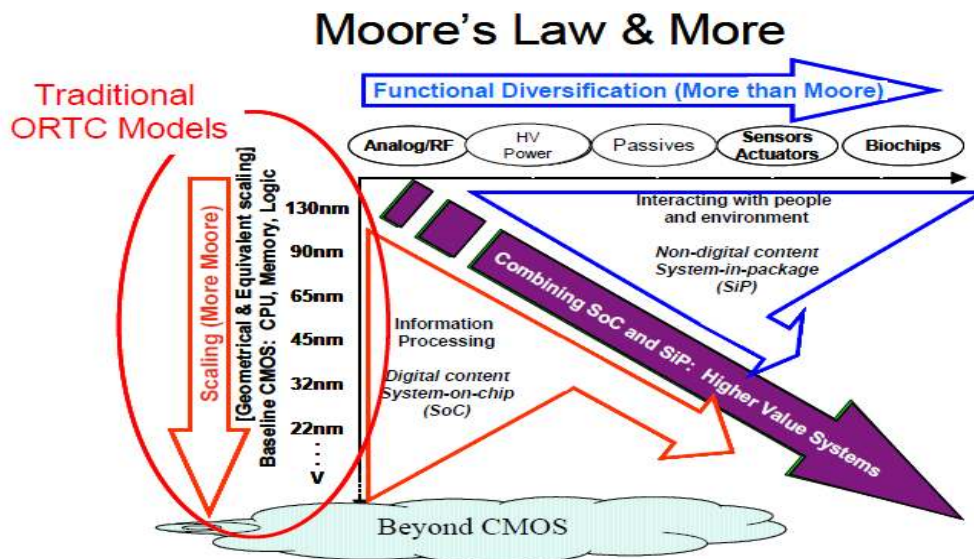


Fig. 3 : Illustration des différents domaines de l'ITRS [34].

Au-delà de ces interrogations, les groupes de l'ITRS ont considéré que la simple diminution des tailles de transistors pour passer d'un nœud technologique à l'autre n'est plus possible. Désormais, de nouvelles solutions au niveau des matériaux, des dispositifs ou d'architectures de circuits permettront d'augmenter les performances des circuits. On distingue trois catégories de développement du secteur de la microélectronique :

- Les dispositifs relevant de la continuité dans l'approche du scaling (« More Moore ») [57].
- Les dispositifs qui apportent une diversification fonctionnelle aux puces microélectroniques permettant l'interfaçage avec le monde extérieur (« More than Moore »).
- Les dispositifs dits « émergents » qui pourraient survivre au CMOS ultime. Le domaine « Beyond CMOS » couvre, par exemple, les dispositifs électroniques à base de molécules, l'électronique quantique, les transistors ou dispositifs à base de transfert, stockage de spin, la logique à base de transfert de moment ferromagnétique, etc. (Fig. 4).

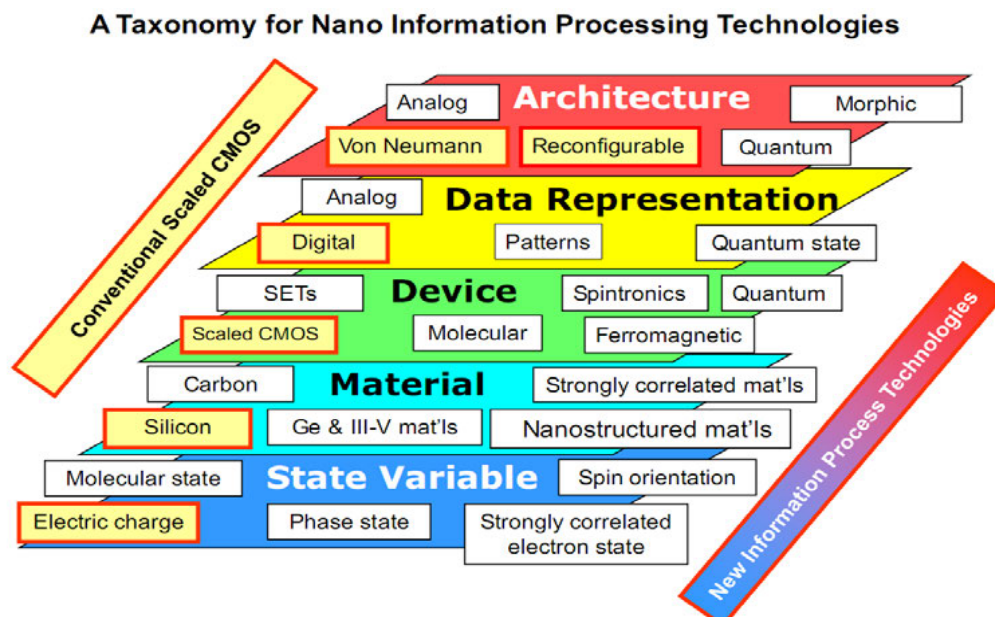


Fig. 4 : Taxonomie des dispositifs Beyond CMOS [34].

Selon le rapport de l'assemblée nationale (France) établi en 2008 [67], l'industrie de la microélectronique est confrontée à plusieurs défis par exemple l'explosion des coûts de R&D, de conception et de production liés aux avancées technologiques, le raccourcissement du cycle de vie des produits, un marché qui approche de la maturité. Par ailleurs, les coûts liés à la conception architecturale des circuits intégrés augmentent de 50 % pour chaque nouvelle génération technologique [67].

Toujours d'après [67], « Pour affronter ces coûts, l'industrie des semi-conducteurs est contrainte à de profondes mutations. Il apparaît ainsi que la poursuite de la miniaturisation et le basculement de la microélectronique dans la nanoélectronique offrent divers intérêts. D'abord, en diminuant l'espace entre la source et le drain, elle accélère le passage des électrons et augmente ainsi le nombre d'opérations réalisées par seconde tout en réduisant la consommation en énergie des transistors ». Ensuite, la réduction de la taille des circuits permet la fabrication collective de centaines de puces sur chaque plaquette de silicium, abaissant leur coût unitaire. Enfin, la miniaturisation diminue l'encombrement des objets tout en multipliant leurs fonctions [67].

2.3 La miniaturisation du CMOS et ses défis

Comme mentionné auparavant la réduction de la taille des transistors a diminué d'année en année mais étonnamment la structure de base du transistor MOS n'a pas changé. La réduction d'échelle simple est devenue de plus en plus contraignante en raison des limites physiques fondamentales du composant [24]. Au niveau des nœuds technologiques inférieurs à 100 nm, une réduction supplémentaire de la longueur de grille (L) a permis d'avoir des améliorations en termes de performances limitées [3, 53]. C'est pour cette raison que le silicium contraint a émergé et a été mis en production [26]. Comme l'épaisseur (T_{OX}) de l'oxyde de grille (SiO_2) est réduite au-delà de 1,2 nm, les fuites de grille deviennent importantes [45]. Une réduction supplémentaire de T_{OX} se traduira par une augmentation importante de la consommation statique (essentiellement aux courants de fuites par effet tunnel) même si le transistor est à l'état OFF ainsi que la diminution de la fiabilité du transistor. Par conséquent, dans les nœuds technologiques 45 nm, l'utilisation d'un diélectrique *High-K* a permis de diminuer l'épaisseur équivalente d'oxyde de silicium (EOT), en conservant la même capacité de la grille sans les effets de courant de fuite. Parmi les alternatives utilisées, on peut noter l'utilisation des grilles métalliques au lieu des grilles en poly-silicium [56].

2.4 Vers de nouvelles architectures du transistor

Malgré ces prouesses technologiques, il y a peu de marge de manœuvre concernant la réduction de l'épaisseur d'oxyde (EOT) de peur des effets de canal court et des courants de fuites importants à l'état OFF du transistor. De ce fait, de nouvelles approches sont nécessaires afin de continuer la réduction de la longueur de canal. Les structures et technologies silicium sur isolant (SOI) et multi-grilles (MG-FET) apparaissent aujourd'hui comme les approches les plus prometteuses [11, 66]. La Fig. 5 illustre les prédictions de l'ITRS en 2011 sur les architectures CMOS en fonction des annonces des industriels. INTEL, par exemple, a annoncé en 2011 l'utilisation des transistors FinFET pour la fabrication de ses futurs microprocesseurs dans le nœud technologique 22 nm [54]. En 2012, Intel a commercialisé ses produits dans les applications hautes performances en utilisant l'architecture Trigate 22 nm [4]. STMicroelectronics a parié plutôt sur les transistors FD-SOI pour les applications grand public. Elle a présenté sa plateforme CMOS FDSOI 28 nm [62] et a annoncé le développement du nœud technologique FD-SOI 20 nm.

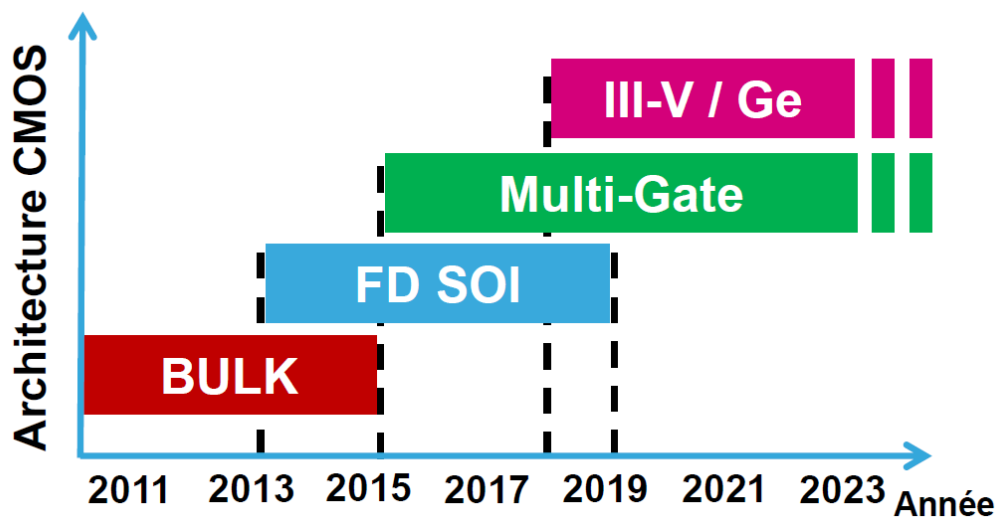


Fig. 5 : Prédiction de l'ITRS 2011 de l'utilisation des différentes architectures CMOS en fonction de l'année.

2.4.1 Les Transistors FDSOI

Les plaques de semi-conducteurs (wafers) SOI sont désormais considérées comme la technologie émergente de wafer la plus importante destinée à la production de circuits intégrés de pointe durant les 3 à 5 prochaines années [70]. Les avantages de la technologie SOI proviennent de sa couche d'oxyde enterrée « BOX » (pour Buried OXYde) (Fig. 6). Les transistors MOS fabriqués en technologie FDSOI reposent sur un film mince de silicium non dopé isolé du substrat par une couche d'oxyde de silicium.

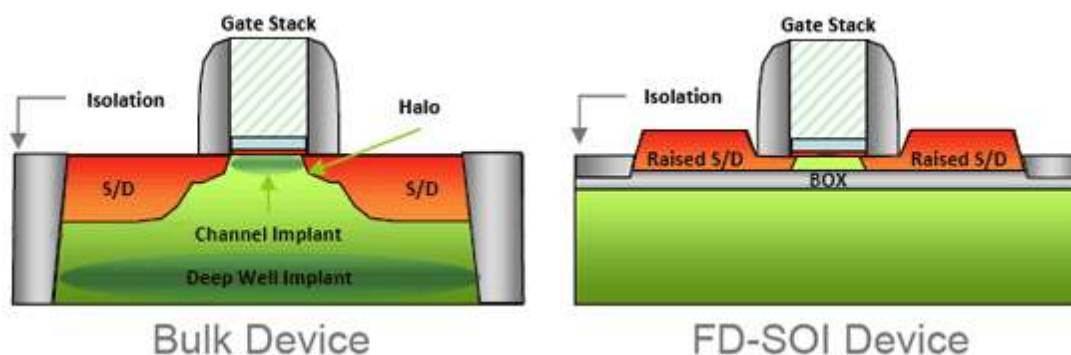


Fig. 6 : Schéma illustrant l'architecture d'un transistor MOS sur substrat massif et sur SOI.

Le principal avantage de ces transistors à film mince de silicium non dopé est d'avoir un bien meilleur contrôle électrostatique du canal par la grille, réduisant ainsi les courants sous le seuil

et les effets canaux courts. La première conséquence de cette amélioration est la diminution de la pente sous le seuil. La deuxième conséquence de l'augmentation du contrôle électrostatique du canal par la grille est un meilleur contrôle des effets canaux courts, et notamment du DIBL (pour Drain Induced Barrier Lowering). De plus, le non dopage du film mince de silicium limite aussi le courant GIDL (Gate Induced Drain Leakage) [59]. Le second avantage est la suppression des courants de jonction entre source/drain et substrat. Ainsi, la technologie FDSOI est plus robuste vis-à-vis de la technologie silicium massif et permet de minimiser grandement les courants de fuite.

Une amélioration majeure apportée par l'utilisation d'un film mince de silicium non dopé est la suppression de la fluctuation aléatoire de dopants dans le canal « RDF » (pour Random Doping Fluctuation). Cette fluctuation est la plus importante source de variabilité au niveau de la tension de seuil en technologie silicium massif [2]. Ainsi, la technologie FDSOI a pour effet de réduire la tension minimale d'alimentation des circuits intégrés, notamment les circuits critiques tels que les SRAM [9, 51]. La troisième amélioration majeure apportée par la technologie planaire FDSOI est l'utilisation d'un seul type de grille métallique, ce qui a pour intérêt de réduire la complexité du procédé de fabrication mais aussi son coût grâce à la suppression d'un masque critique. En plus de tous ces avantages, la technologie FDSOI présente la possibilité de pouvoir contrôler la tension de seuil du dispositif par polarisation de la face arrière (back-biasing) [23].

Le back-biasing présente un énorme avantage pour les transistors FDSOI car il peut être utilisé de façon constante pour ajuster la tension de seuil si le métal de grille ne permet pas d'atteindre la bonne tension de seuil V_T . Dans le cas contraire, le back-biasing est considéré comme un plus au niveau système puisqu'il peut être utilisé de manière dynamique. Lorsque le système est au repos, on utilise le back-biasing pour augmenter la tension de seuil et donc réduire la fuite statique; tandis que lorsque le système nécessite un niveau de performance maximale, la tension de seuil est abaissée et par conséquent le courant débité augmente [43].

Dans un récent article paru dans le magazine « EE Times », STMicroelectronics déclare que les performances sont améliorées de l'ordre de 30% en technologie FDSOI par rapport à la technologie 28 nm bulk CMOS pour une même consommation d'énergie, ou encore, une

réduction de la puissance dynamique de 50% pour des performances similaires. Ces améliorations de performances sont atteintes du fait que le FDSOI permet l'utilisation de tensions d'alimentation jusqu'à 0,6 V, tandis que le bulk CMOS est limité à un V_{DD} de 0.9 V. Malgré le fait qu'un wafer SOI coûte deux à trois fois plus cher qu'un wafer silicium standard, le procédé de fabrication de la ligne FDSOI est plus simple, ce qui réduit les coûts et améliore le rendement. Le coût du procédé FDSOI est de 10 à 12% moins cher que le bulk. Cela permet de compenser intégralement le coût supplémentaire du substrat SOI en haut volume de production [10].

2.4.2 Les Transistors Multi-Grilles MGFET

Il existe différentes architectures de transistors MOSFET à grilles multiples (MG-FET). La Fig. 7 illustre plusieurs structures de transistors multi-grilles telles que présentées dans [52]. L'exemple le plus connu, sans doute, est le transistor FinFET [30]. L'origine du nom vient des canaux de conduction qui sont verticaux et ressemblent un aileron (Fin en anglais). L'ITRS le considère comme le candidat le plus apte à remplacer le MOSFET planaire en raison de sa capacité à surmonter les problèmes liés aux effets canaux courts et aussi pour son procédé de fabrication relativement simple. Les transistors FinFETs peuvent être fabriqués sur substrat massif ou sur substrat SOI (Fig. 7-a et Fig. 7-b respectivement). Le FinFET en sa configuration double-grille est représenté sur la Fig. 7-c. Dans cette configuration double-grille, un masque dur de nitrure est déposé afin d'empêcher la conduction sur le dessus du Fin [40]. Dans sa configuration « Triple-gate », le FinFET est identique à la configuration double-grille sauf que le masque dur de nitrure est remplacé par l'empilement de l'oxyde de grille, permettant ainsi au Fin d'être contrôlé par trois grilles. L'architecture du transistor à grille enrobante (GAA pour Gate All Around) [31] est représentée sur la Fig. 7-d. Le transistor à nanofil (NWFET) [13] est un exemple des dispositifs GAA. Selon le procédé de fabrication, le canal peut être orienté verticalement [72] ou horizontalement [77]. L'architecture GAA offre le meilleur contrôle du canal puisque celui-ci est complètement enrobé par la grille. Elle permet un contrôle électrostatique supérieur au FDSOI ou Triple-gate pour les nœuds les plus avancés ($L_g < 10$ nm) où les effets canaux courts seront tellement plus importants. Un transistor FinFET peut optionnellement avoir deux grilles séparées qui sont polarisées de façon indépendante (Fig. 7-e). Ceci peut être réalisé en supprimant la partie supérieure de la

grille d'un FinFET conventionnel (Fig. 7-b) à l'aide d'un polissage mécano-chimique (CMP pour Chemical Mechanical Polishing) [25]. La Fig. 7-f illustre un transistor à double-grille indépendante qui est réalisé de façon planaire [84]. L'usage de la grille arrière et son fonctionnement restent similaires au FDSOI avec le back-biasing.

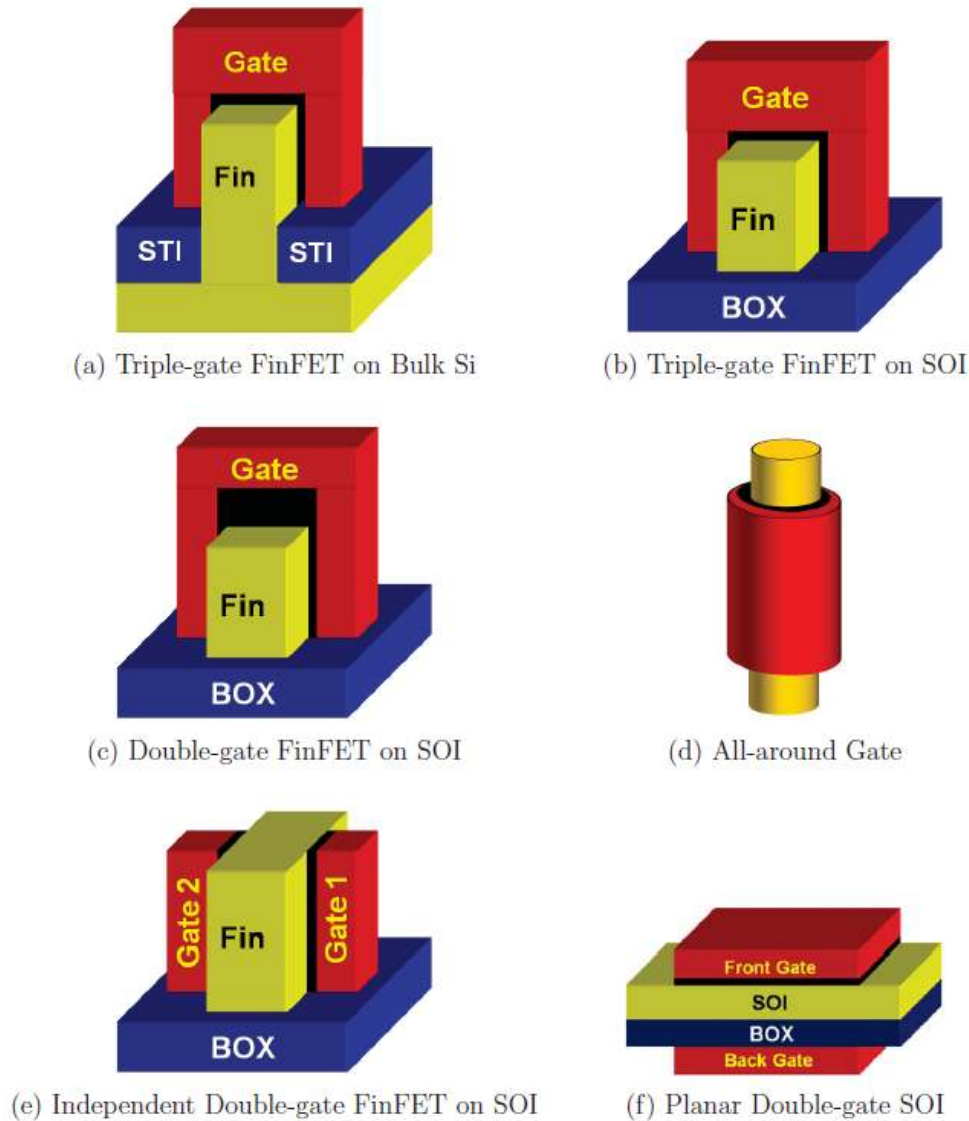


Fig. 7 : Différentes structures de transistors MG-FET [52].

L'avantage majeur des dispositifs multi-grilles est la réduction des effets canaux courts. Puisque le canal est contrôlé par la grille de plusieurs côtés, on a un meilleur contrôle électrostatique du canal par la grille contrairement aux structures de transistors conventionnelles. Ceci a pour conséquence de réduire les courants de fuites. Aussi, grâce aux

dimensions de ces dispositifs, la réduction des coûts à travers la miniaturisation peut donc se poursuivre. Un deuxième avantage de ces dispositifs est l'amélioration du courant débité à l'état passant du transistor (I_{ON}) et donc une augmentation de la vitesse du circuit grâce à la réduction du canal de conduction. Le FinFET est une des architectures multi-grilles les plus prometteuses puisqu'il offre une largeur de canal plus grande avec une faible empreinte en surface. Ceci augmente le courant (I_{ON}) et donc permet de piloter une ligne d'interconnexion beaucoup plus longue. Finalement, comme pour les FDSOI, le troisième avantage des architectures multi-grilles est la réduction de la variabilité et des RDF [52]. Les avantages des MGFETs sont bien connus et démontrés dans de nombreuses technologies de FinFETs [79, 83].

2.5 Technologies & Composants émergents

2.5.1 Électronique Moléculaire

L'électronique moléculaire couvre la physique, la chimie et la science des matériaux. Le dispositif moléculaire est un composant à deux terminaux qui peut stocker l'information ou bien effectuer des calculs avec des éléments passifs tels que les rotaxanes (Fig. 8). Le rotaxane est une molécule constituée d'un macrocycle lié mécaniquement à un fragment linéaire avec deux extrémités plus larges empêchant le macrocycle de s'échapper [63]. Leur physique est généralement basée soit sur le piégeage de charges (de la même façon que le blocage de Coulomb), ou bien sur le changement de la résistivité selon l'état / phase de la molécule. Une des utilisations intéressantes des dispositifs moléculaires est leur application comme des éléments de mémorisation. En effet, cela résulte de l'hystérésis qui permet à ces dispositifs moléculaires de fonctionner en tant que diodes programmables selon différents modes : i) la formation et la dissolution de filaments métalliques le long de la molécule [73] ; ii) le piégeage de charges [1, 64] ; et iii) le changement de la configuration moléculaire [21]. La taille des molécules se situe entre 1 et 100 nm. Ainsi les dispositifs moléculaires présentent un intérêt essentiellement pour leurs potentiels en haute densité d'intégration, en faibles consommation et dissipation d'énergie et la possibilité de tirer profit de leur auto-assemblage dans le but de réduire le coût et de simplifier le procédé de fabrication à grande échelle. Toutefois, ils présentent des inconvénients tels que leur instabilité à haute température. L'intégration de ces éléments moléculaires à grande échelle est supposée se faire dans une approche hybride

combinant la technologie CMOS et les éléments moléculaires. Le concept de circuit hybride CMOS-moléculaire (CMOL) est basé sur la liaison de la partie des circuits CMOS, des structures entrecroisées fabriquées avec des nano-fils silicium et des diodes moléculaires comme éléments de mémorisation aux points d'entrecroisement des nano-fils [71, 74] comme représenté sur la Fig. 8.

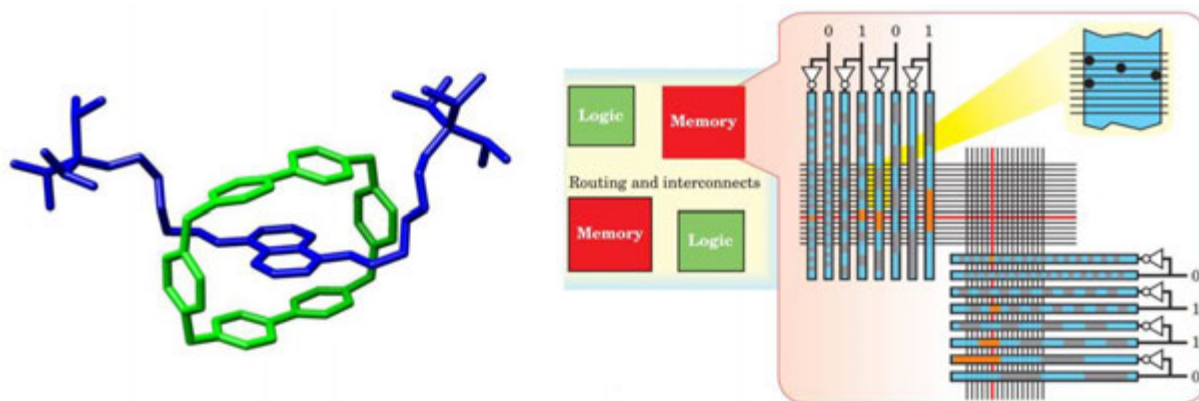


Fig. 8 : Vue schématique d'un rotaxane qui agit comme un interrupteur moléculaire (gauche) : le macrocycle (en vert) se déplace de point en point le long de l'axe (en bleu) ; et d'un circuit mémoire moléculaire 256 bits (droite) [28].

2.5.2 Électronique de Spin

La Spintronique (ou électronique de spin), est une technologie émergente qui exploite la propriété quantique du spin des électrons dans le but de stocker des informations. Le spin lui-même se manifeste comme un faible état d'énergie magnétique caractérisé par « spin up » et « spin down » (Fig. 9). Les phénomènes physiques à l'origine des fonctionnalités obtenues mettent en jeu des processus complexes d'injection et de recombinaison des porteurs (électrons et trous) dans le matériau semi-conducteur, dont les caractéristiques varient localement par dopage ou par la réalisation d'hétérostructures en multicouches. Or, d'après le théorème d'Ampère, les électrons, charges électriques en mouvement de rotation sur eux-mêmes, possèdent également un moment magnétique propre appelé moment de spin ou spin, quantifié selon deux valeurs opposées $+1/2$ (up, vers le haut) et $-1/2$ (down, vers le bas). Dans les métaux usuels (cuivre, aluminium, ...), ce moment de spin ne joue aucun rôle. Dans les matériaux magnétiques, par contre, le spin des électrons peut être utilisé en plus de la charge électrique comme facteur discriminant des porteurs électriques.

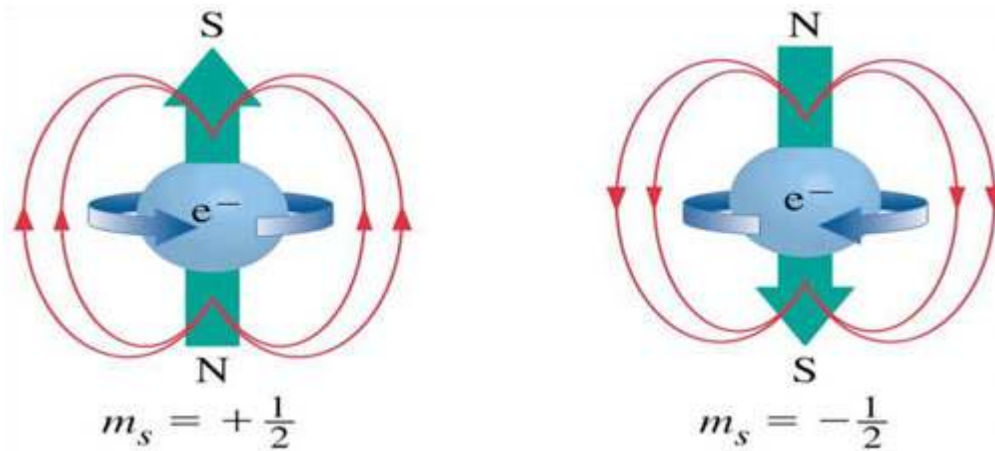


Fig. 9 : Moment de spin-up et de spin-down

En effet, les électrons piégés dans les points quantiques ont des fonctions d'ondes chevauchées et peuvent ainsi influencer sur leurs états, les uns les autres, mutuellement. Il est donc intéressant d'utiliser le couplage des états du spin des électrons afin de transmettre les données et d'implémenter des portes logiques [5, 33]. La Fig. 10 montre la façon dont les spins sont organisés dans un réseau de points quantiques dans un automate cellulaire quantique (QCA pour Quantum Cellular Automata). Cependant, en dépit de la consommation d'énergie extrêmement faible, le problème majeur des QCAs découle de la grande variabilité et la sensibilité au bruit. Ceci rend cette approche généralement peu pratique à moins que le dispositif opère à basse température.

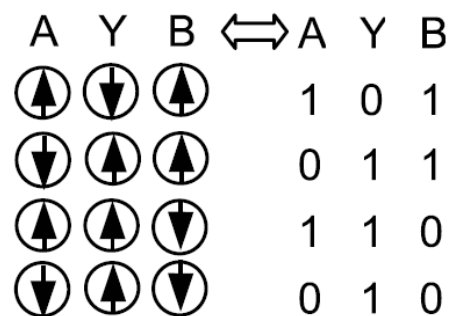


Fig. 10 : Spin QCA réalisant la fonction NAND, avec A et B les entrées et Y la sortie [33].

2.5.3 Transistors à un électron - SET

Le transistor à un électron (SET) se compose d'un îlot central, séparé des électrodes de source et de drain par 2 jonctions tunnel (le potentiel de l'îlot est contrôlé par une grille). Le silicium

a été utilisé comme matériau de base pour la fabrication de SET puisque le confinement quantique peut augmenter la température de fonctionnement mais aussi car chaque SET peut être fabriqué dans l'étape du Front End Of Line (FEOL) des dispositifs MOS (on peut réutiliser le savoir-faire FEOL pour la fabrication de SET au lieu des FETs). Certains de ces dispositifs ont été signalés comme fonctionnant à température ambiante [37, 44, 69]. Les dispositifs mono-électroniques fabriqués sur un substrat SOI ont été démontrés à basse température [29] et récemment à haute température [20]. Aussi des SETs basés sur une technologie FinFET ont été rapportés pour un fonctionnement à 300K [41, 69]. Bien que les technologies SETs silicium (Si-SETs) soient prometteuses, le courant tunnel dans les Si-SETs est censé être inférieur aux SETs métalliques. Cela est dû à la faible densité de porteurs dans le silicium.

Afin d'augmenter la densité de fonctions par unité de surface, il est possible de fabriquer des dispositifs dans le Back-End Of Line (BEOL) du procédé CMOS. L'intégration de ces dispositifs dans le procédé CMOS est une forme d'intégration hétérogène 3D. Cela permet, en effet, d'ajouter des fonctions supplémentaires à la fin du procédé, mais aussi tirer avantage des deux technologies SET et CMOS. De plus, pour apporter de la valeur ajoutée au BEOL par l'intégration 3D, le choix des Si-SETs n'est pas pertinent en raison de la difficulté à manipuler du silicium cristallin dans le BEOL.

Différentes techniques de fabrication existent pour la réalisation de SETs. Parmi celles-ci on peut noter : i) la méthode qui s'appuie sur l'utilisation des point quantiques auto-assemblés ; ii) la fabrication par nano-oxydation avec une pointe AFM (pour Atomic Force Microscopy) ; iii) la technique d'évaporation à angle ; et iv) le procédé de fabrication nano-damascène de l'Université de Sherbrooke [6, 22]. La Fig. 11 illustre les différentes réalisations de SETs fonctionnels par ces techniques de fabrication en fonction de leurs températures de fonctionnement et de leurs fréquences maximales intrinsèques.

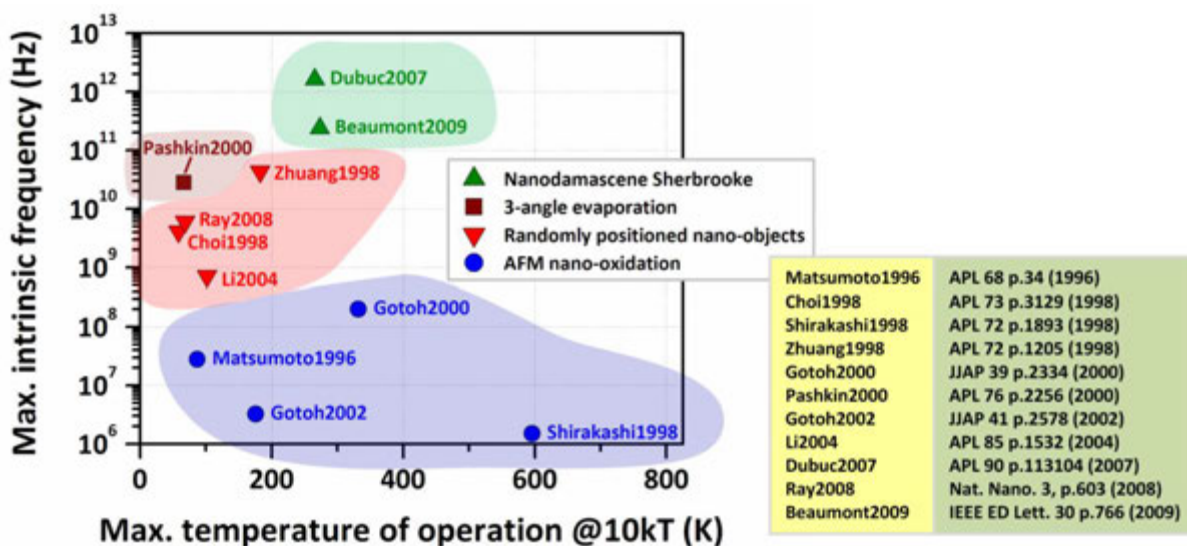


Fig. 11 : Illustration des réalisations de SETs selon la technique de fabrication et la température d'opération [illustration tirée du projet « Single Electron Above CMOS » (SEAMOS)].

Le procédé nano-damascène [6, 22], est alors un procédé très prometteur pour la réalisation de SETs à température ambiante et au-delà tout en assurant une compatibilité avec les étapes du back-end du procédé CMOS. Cela offre en effet une valeur ajoutée au back-end du CMOS. Les différentes étapes du procédé de fabrication sont représentées sur la Fig. 12. Il comporte cinq étapes clés à savoir : i) définition des motifs nanométriques, dont la tranchée, par une lithographie électronique. Ensuite, on procède à une gravure sèche du substrat SiO_2 ; ii) après un dépôt du titane (Ti), une deuxième étape de lithographie électronique est effectuée ; iii) une étape de gravure sèche pour éliminer le Ti dans la tranchée perpendiculaire à celle définie auparavant, suivie d'une oxydation ; iv) dépôt de métal (couche de Ti) qui va former l'îlot central et la grille ; et v) une étape de CMP (polissage mécano-chimique), en dernier lieu, permet de bien distinguer les différents éléments du SET (jonctions tunnels, grille et îlot). Il est à noter que l'étape de la CMP est sensiblement critique. En effet, c'est grâce au polissage de la structure que les jonctions sont amincies et que le fonctionnement à haute température est atteint (diminution de la capacité du SET et augmentation de l'énergie de chargement : voir Chap. 3, § 3.1.4).

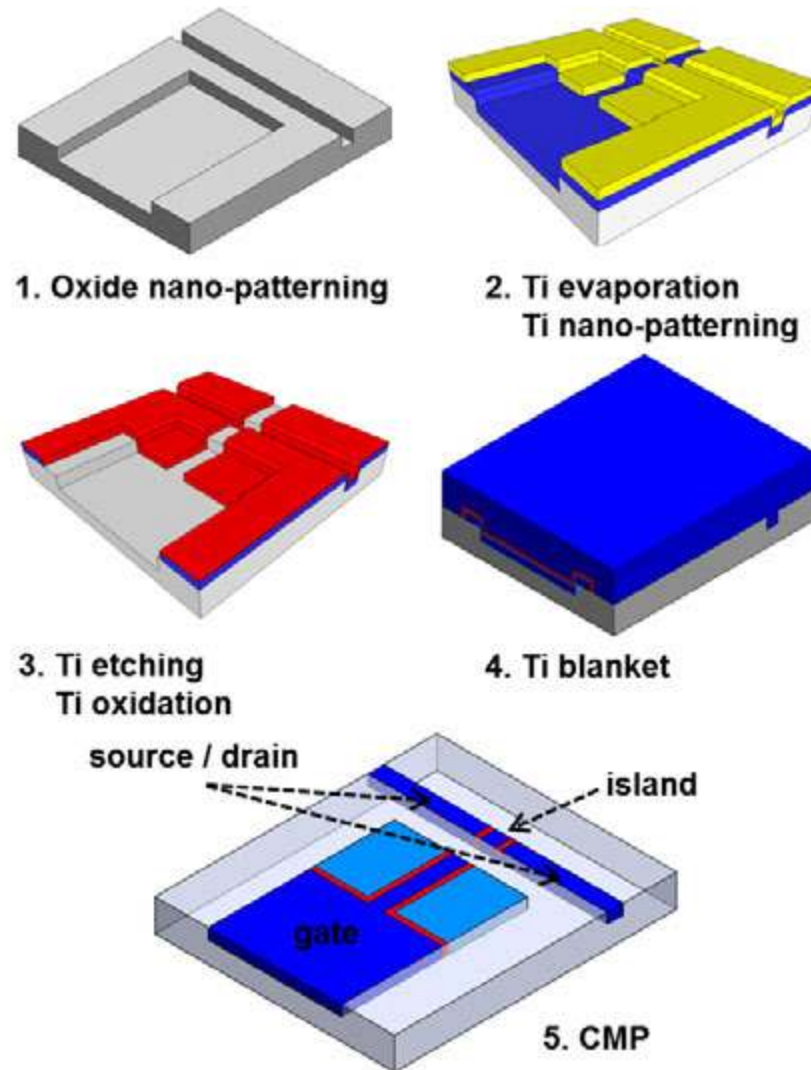


Fig. 12 : Étapes du procédé de fabrication nano-damascène des SETs à l'université de Sherbrooke [38].

La Fig. 13 est une représentation de l'intégration hétérogène hybride 3D des SETs sur du CMOS. En effet, avec la compatibilité du procédé, les SETs sont alignés, fabriqués et connectés au niveau du TEOS [39]. Comme illustré dans la figure ci-après, les transistors SETs sont connectés à la plateforme CMOS par des vias allant de la couche des transistors SET au premier niveau de métal, ce qui permet d'augmenter la densité de fonctions. Dans l'image TEM (Fig. 13), le SET est aligné sur le premier niveau de métal et les trois étapes du procédé peuvent être identifiées [38].

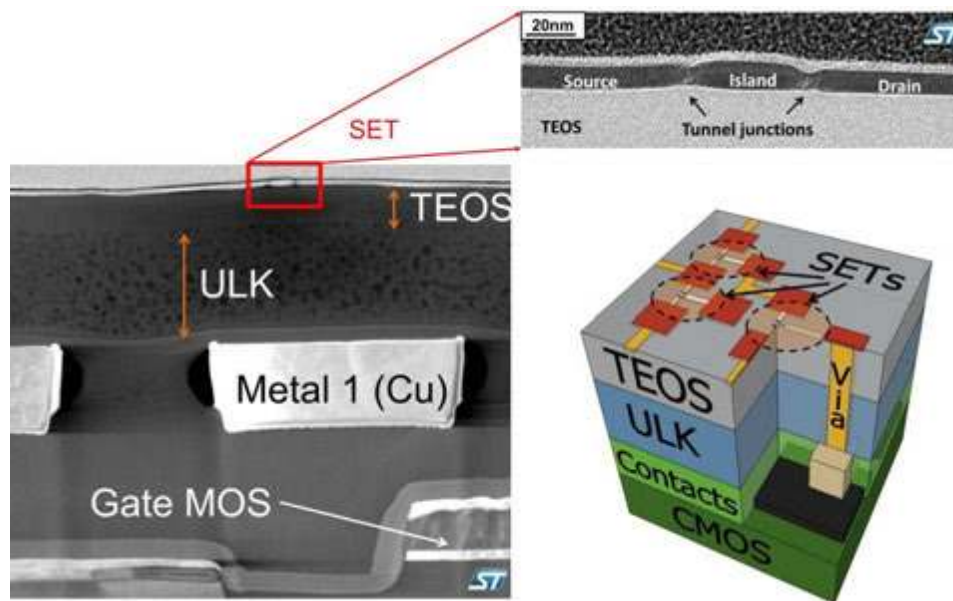


Fig. 13 : Fabrication & intégration du SET sur une plateforme CMOS (au-dessus du niveau Métal 1) [38].

2.6 Nouveaux paradigmes pour le traitement de l'information

Selon les feuilles de route de l'ITRS, deux principales familles d'architectures sont définies; à savoir les architectures morphiques et les architectures hétérogènes. La famille basée sur l'approche morphique développe des architectures qui sont fortement en rupture avec les circuits standards. Ces systèmes sont inspirés par la biologie et sont très performants (faible consommation et tolérances aux défauts). Les architectures hétérogènes peuvent être classées en deux catégories selon le type d'améliorations ciblées :

- L'amélioration est réalisée en augmentant la densité de surface (c.-à-d. plus de composants par unité de surface) grâce à la régularité élevée obtenue généralement par un arrangement entrecroisé des nano-dispositifs.
- L'amélioration est obtenue en augmentant la fonctionnalité du composant (c.-à-d. l'utilisation du même nombre de dispositifs avec plus de fonctionnalités dans une surface plus importante). Dans ce cas, les nouveaux nano-dispositifs forment une plateforme matérielle qui peut être reconfigurée lors de son fonctionnement afin d'effectuer des calculs logiques différents. Ceci permet en effet d'augmenter la flexibilité du circuit.

2.6.1 Le besoin en régularité

L'ultime réduction des dimensions représente un véritable challenge pour l'intégration de circuits complexes. Plus particulièrement, les difficultés liées à la photolithographie ont un impact sur les différents niveaux de conception. Par exemple, la variabilité affectant la largeur de ligne et la différence entre les dimensions dessinées et fabriquées affectent les paramètres technologiques de base tels que la longueur et le niveau de dopage du canal. Cette variabilité se transmet au niveau du composant provoquant, par exemple, une variation de la tension de seuil. Cela a une influence sur les performances du système conçu (à titre d'exemple le délai ou la dissipation d'énergie). Une solution consiste à utiliser des dispositions et motifs spécifiques afin de permettre une correction de proximité optique à l'échelle du circuit. La redondance et la régularité sont aussi considérées comme des solutions clés pour la conception de systèmes robustes. La régularité peut être envisagée au niveau transistor. En effet, l'utilisation de la régularité est d'un grand intérêt pour réduire la taille des circuits de façon drastique. En outre, avec les technologies émergentes, la régularité devient nécessaire pour répondre aux contraintes au niveau architectural, d'autant plus qu'elle est compatible avec les approches de fabrication du type Bottom-Up. Ces techniques ouvrent la voie à des arrangements complexes à l'échelle nanométrique et conduisent à l'émergence de circuits avec des structures entrecroisées (crossbar). Une structure entrecroisée (Fig. 14) est définie par l'arrangement régulier des dispositifs dans un réseau sous forme matricielle [76].

2.6.2 Architectures entrecroisées

L'architecture entrecroisée ou crossbar est un système dans lequel des fils parallèles sont organisés en deux couches perpendiculaires entrecroisées. Ces deux couches réalisent des points de croisement à leurs intersections, qui peuvent être fonctionnalisés pour réaliser une fonction permettant des améliorations significatives en termes de surface, mais aussi une régularité intrinsèque par rapport à la technologie CMOS [15]. Historiquement, la régularité a été utilisée dans les circuits programmable reconfigurables de type PLA (pour Programmable Logic Array). De nos jours, les architectures entrecroisées sont utiles pour réaliser des circuits reconfigurables ultra-denses à base de composants nanométriques. Par exemple, un couple diode-interrupteur programmable moléculaire est employé aux points de croisements [18]. Cette structure forme une grille de logique à diodes, se comportant comme un PLA. Toutefois,

la logique à diodes nécessite un interfaçage complexe afin d'assurer la restauration des niveaux logiques. C'est dans ce sens que des alternatives faisant usage de transistors à la place de la logique à diodes ont été explorées [16].

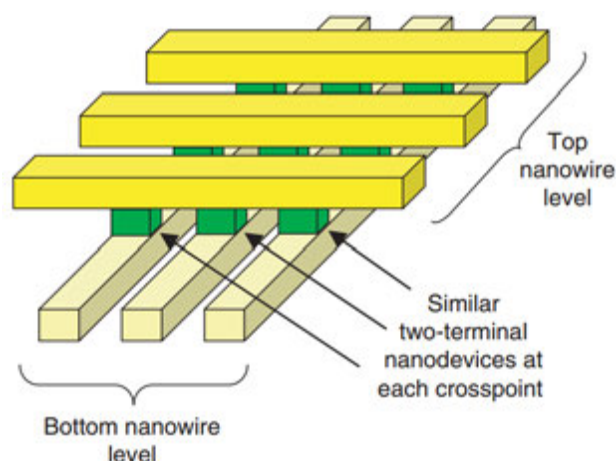


Fig. 14 : Schéma d'une structure entrecroisée à nano-fils [76].

2.6.3 Architectures Hybrides CMOS / Moléculaires - CMOL

L'approche CMOL combine les transistors en technologie CMOS et deux niveaux parallèles de nano-fils, avec des nano-dispositifs à l'échelle moléculaire formés entre les nano-fils à chaque point de croisement (crosspoint). Le concept CMOL n'a pas été encore implémenté au niveau matériel. Néanmoins, ce dernier suppose un procédé de fabrication qui reste plausible avec les installations et matériel de fabrication de l'état de l'art. L'idée basique est de définir un réseau de lignes CMOS dont les extrémités sont délimitées par des pins métalliques pointues de hauteurs différentes. Ensuite, une structure de nano-fils entrecroisée est définie après les étapes du back-end du procédé CMOS. Par une séquence de gravure et de planarisation, les deux couches de nano-fils peuvent être liées par les pins du CMOS selon leur hauteur. Afin d'assurer l'alignement entre la structure de nano-fils et les lignes CMOS, la structure entrecroisée est tournée selon un certain angle par rapport au réseau CMOS. Cela permet en effet de relier chaque nano-fil par deux pins. L'idée d'incliner/de faire une rotation des structures a été proposée dans les années 70 dans le contexte du CMOS. L'approche CMOL donna à cette idée un nouveau souffle dans le contexte des technologies émergentes. La Fig. 15 illustre le concept CMOL.

Dans les circuits CMOL, la partie entrecroisée représente un réseau d'interconnexions programmables. Ce dernier, peut réaliser la fonction OU câblée sans aucune inversion tandis que les fonctions logiques sont réalisées par la partie CMOS [17]. Cette partie est aussi dédiée à l'interfaçage des entrées / sorties et le décodage de la structure entrecroisée de nano-fils. De nombreux circuits basés sur l'approche CMOL ont été simulés. On peut citer par exemple le FPGA comme architecture logique programmable numérique, les architectures mémoires entrecroisées et les circuits bio-inspirés pour la reconnaissance d'images [47, 74, 75, 78]. Ces derniers prévoient de meilleures performances et plus de tolérances aux fautes que le CMOS.

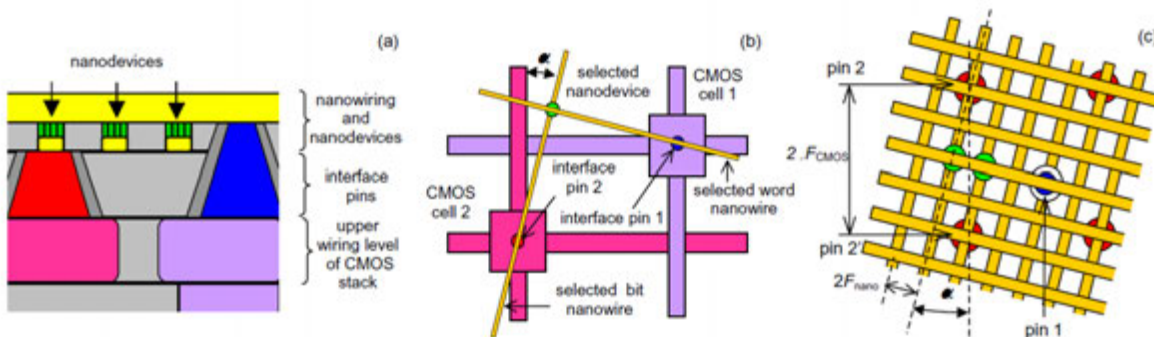


Fig. 15 : Architecture CMOL : a) vue transversal du crossbar et de la partie CMOS ; b) adressage des nano-fils ; c) adressage de deux points de croisement [46].

2.6.4 Nano-Programmable Logic Array (Nano-PLA)

L'architecture Nano-PLA est un concept basé sur des nano-fils de silicium (SiNWs) organisés de manière entrecroisée (crossbar). Au point de croisement des nano-fils (crosspoints), des dispositifs moléculaires agissent comme des interrupteurs et peuvent effectuer des opérations logiques ou bien stocker l'information. Ces interrupteurs peuvent être programmés pour réaliser le routage ou les fonctions logiques câblées (fonctions OR). L'entrée de la structure est un décodeur qui est utilisé, uniquement, pour adresser chaque nano-fil indépendamment des autres. La sortie de la structure entrecroisée est routée vers un second plan entrecroisé dans lequel les signaux peuvent être inversés en activant les nano fils qui transmettent ces signaux. Une cascade de ces deux plans est l'équivalent d'un plan NOR. Les deux plans NOR dos-à-dos, sont des portes universelles et peuvent implémenter les équations d'un PLA traditionnel (AND-OR PLA) en appliquant le théorème de DeMorgan [17]. La Fig. 16 illustre la topologie d'un bloc Nano-PLA.

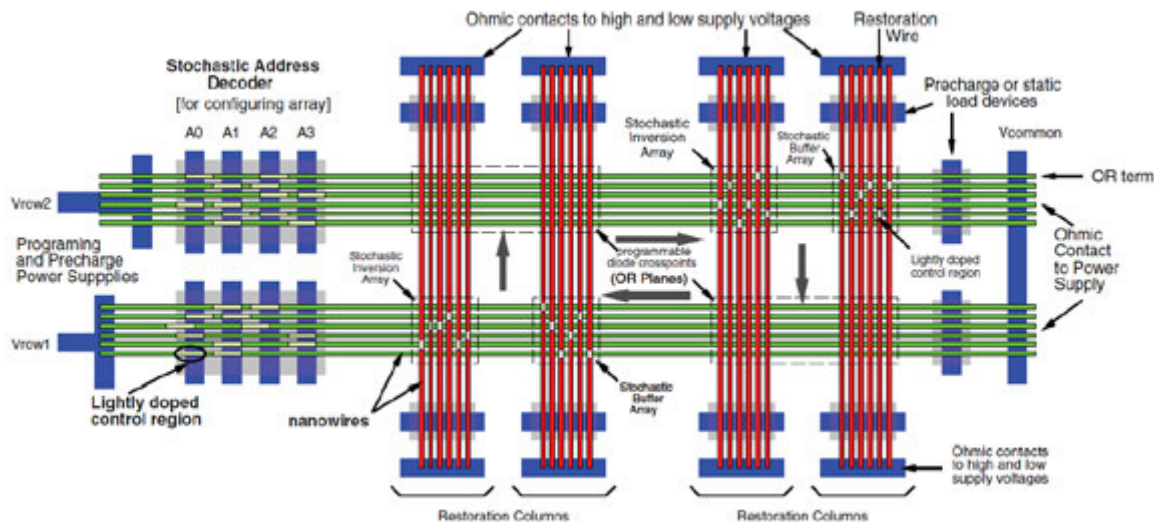


Fig. 16 : Architecture d'un bloc Nano-PLA [17].

2.6.5 Nanoscale Application Specific Integrated Circuit (NASIC)

En utilisant le même concept de structures entrecroisées (crossbar), une seconde architecture appelée Nanoscale Application Specific Integrated Circuit (NASIC), a été proposée [58, 81]. Le NASIC est basé sur une logique combinatoire à deux étages à partir d'une structure entrecroisée de transistors à nanofils. Cette structure est utilisée comme une fabrique généraliste afin d'implémenter des blocs logiques complexes pour constituer le nano-processeur WISP-0 [80]. La principale différence entre le NASIC et le NanoPLA est l'utilisation aux points d'entrecroisements, des transistors FETs pour la logique au lieu d'utiliser des diodes [82]. Cette technologie basée sur les FETs, peut répondre à des applications spécifiques. Plusieurs circuits logiques de base tels que les additionneurs, multiplexeurs et les Flip-Flops ont été implémentés en logique dynamique en utilisant les blocs du NASIC. Deux transistors commandés par une horloge sont placés entre les sources d'alimentations (V_{DD} et G_{ND}) et l'empilement de transistors qui réalise la fonction logique. Comme illustré sur la Fig. 17-a, il est possible d'implémenter les fonctions standards AND / OR ainsi que leurs fonctions inverses. Un bloc complet du NASIC est représenté sur la Fig. 17-b. Un premier ensemble de fonctions logiques (fonctions AND) est réalisé dans un plan horizontal. Des fils nanométriques, connectés aux micro-lignes d'alimentations ainsi qu'aux autres blocs, entourent le cœur de la structure entrecroisée. Le second ensemble de fonctions AND (implémentation horizontale) commande les transistors qui sont placés selon l'orientation verticale. Le plan vertical sert à implémenter les fonctions OR.

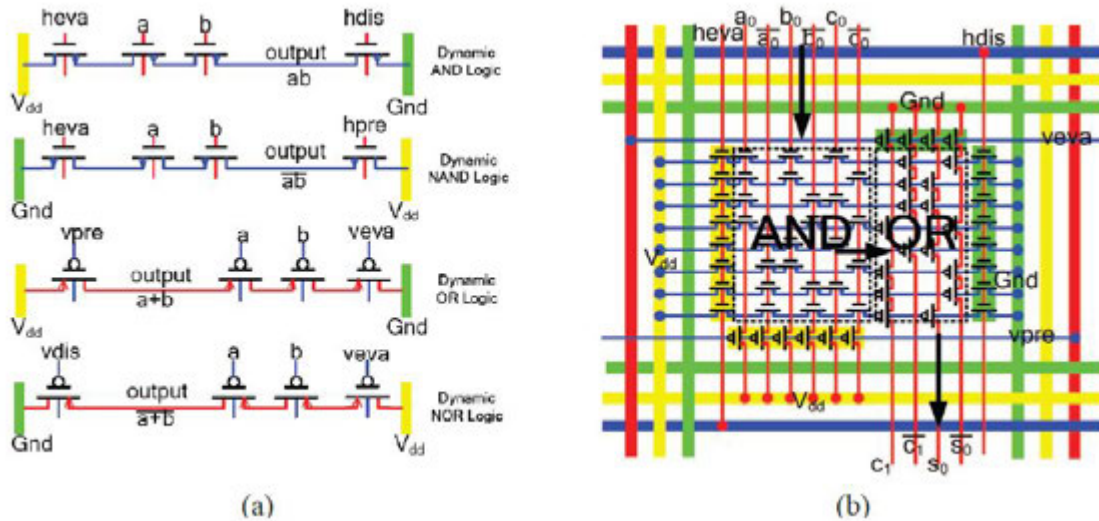


Fig. 17 : a) Implémentation en logique dynamiques des fonctions AND, NAND, OR et NOR ;
 b) Structure du NASIC implémentant un additionneur 1-bit ; [81].

2.6.6 Électronique carbone à base de DG-CNTFET

Toujours dans le même esprit de recherche de nouveaux phénomènes physiques, matériaux et dispositifs pour les technologies post-silicium tels que les nanotubes de carbone [32, 55], les feuillets de graphène [60] ou les nanofils de silicium [12, 42, 65], l'électronique carbone a connu un intérêt croissant⁶. En effet, le transistor DG-CNTFET (pour Double-Gate Carbon Nano-Tube Field Effect Transistor), présente une propriété d'ambipolarité [48]. Cela signifie qu'il est possible de contrôler la polarité (type N ou type P) au sein du même composant en fonction de la tension appliquée sur la grille arrière. Des niveaux de performances prometteurs ont été démontrés au niveau circuit en exploitant l'ambipolarité du DG-CNTFET [14, 36, 49, 50].

Le potentiel des dispositifs ambipolaires est tout aussi intéressant pour faire de la logique dynamique et reconfigurable tout en réduisant le nombre de transistors utilisés. Outre le gain apporté par la logique dynamique elle-même, il est possible de fusionner les transistors d'évaluation avec les transistors de fonctions, mais aussi de supprimer tous les circuits d'inversion de signaux. Une cellule reconfigurable GNOR (pour Generalized NOR) a été conçue en logique dynamique [7]. Pour la reconfiguration, la cellule utilise à la fois les grilles avant et arrière des DG-CNTFET (Fig. 18-a). La cellule GNOR sert de bloc élémentaire d'un

⁶ Récemment, IBM a pu intégrer 10000 transistors à nanotubes de carbone dans une seule puce. Article publié le 5 février 2013, (<http://www.technologyreview.com/demo/510766/how-to-build-a-nanotube-computer/>).

PLA à base de DG-CNTFET (Fig. 18-b) et s'avère être plus puissant que les PLA classiques avec un gain en surface, une diminution du nombre d'interconnexions et une augmentation de la fréquence. Aussi, la propriété ambipolaire des DG-CNTFET a permis de concevoir des fonctions logiques très compactes [8]. A titre d'exemple, la fonction XOR a été exploitée pour concevoir des modules logiques universels (ULM) [85], qui sont amenés à être des candidats pour la conception de fabriques logiques régulières à base de DG-CNTFET. Finalement, une cellule logique reconfigurable dynamiquement et utilisant seulement 7 transistors pour réaliser 14 fonctions Booléennes de façon reconfigurable est présentée [61]. Comme illustré sur la (Fig. 19), cette cellule est composée d'un étage qui agit comme fonction logique et d'un étage qui agit comme un inverseur ou suiveur.

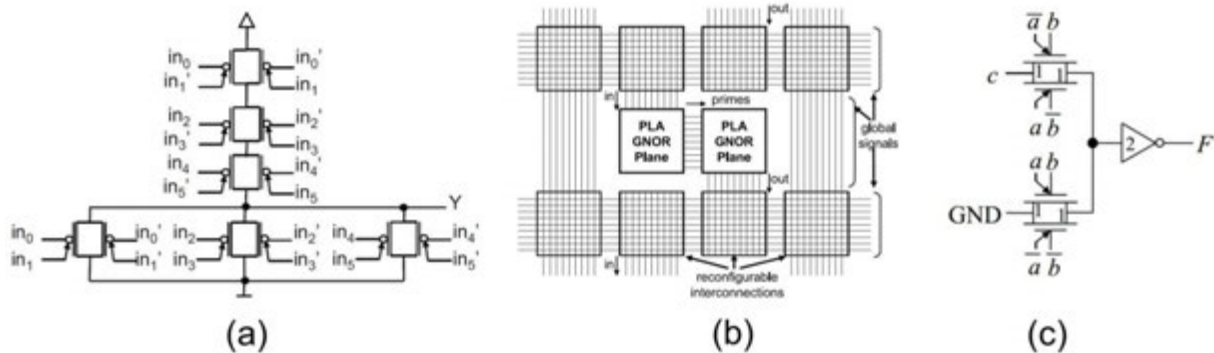


Fig. 18 : a) Implémentation de la fonction GNOR ; b) Architecture PLA basée sur des plans GNOR ; c) Structure d'un ULM 3,2.

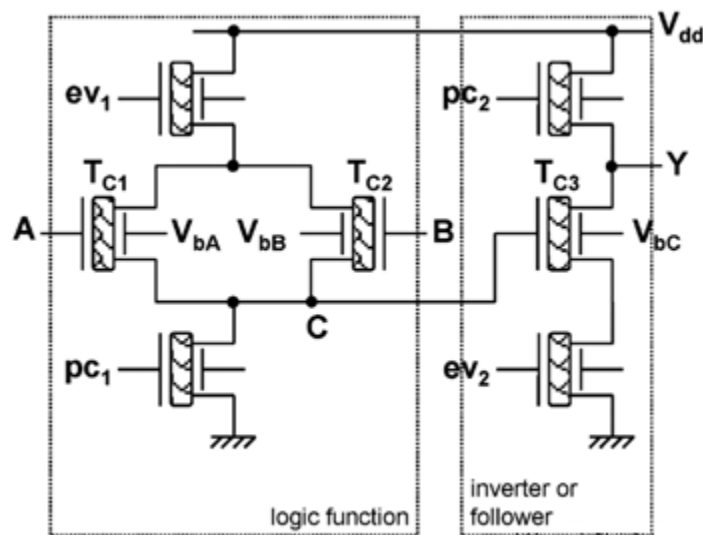


Fig. 19 : Cellule reconfigurable à base de DG-CNTFET.

2.7 Conclusion

La poursuite de la miniaturisation des circuits intégrés entraîne de hautes densités d'intégration : actuellement, un circuit CMOS peut contenir plus d'un milliard de transistors. A ce niveau, le circuit devient « système » puisqu'il est capable d'intégrer toute une application, prenant en compte les aspects logiciels et matériels. L'association du « More Moore » et du « More than Moore » offre à l'industrie microélectronique de nombreuses opportunités de croissance. Néanmoins, la technologie CMOS se heurtera tôt ou tard à une limite physique qui est envisagée autour de 2024. Nous avons aussi vu comment des technologies dites de rupture pourraient conduire à de nouveaux paradigmes architecturaux pour le traitement de l'information. A cet effet, nous avons analysé les architectures hétérogènes à base de technologies émergentes selon deux types d'améliorations : i) l'amélioration est réalisée en augmentant la densité de surface (c.-à-d. plus de composants par unité de surface) ; ii) L'amélioration est obtenue en augmentant la fonctionnalité du composant. Dans ce cas, les nouveaux nano-dispositifs forment une plateforme matérielle qui peut être reconfigurée lors de son fonctionnement afin d'effectuer des calculs logiques différents. Ceci permet en effet d'augmenter la flexibilité du circuit. Si toutes ces voies semblent prometteuses, aucune d'entre elles ne s'est vraiment imposée pour détrôner le silicium, ni en terme de performance, ni en terme de coût. Cependant, elles demeurent encore du domaine de la recherche fondamentale.

Parmi les technologies émergentes, ce travail de recherche porte sur les transistors mono-électroniques. Le chapitre suivant décrit la physique et la modélisation du transistor SET double-grille.

RÉFÉRENCES DU CHAPITRE 2

Liste des références

- [1] Akkerman, H. B., Blom, P. W., De Leeuw, D. M. et De Boer, B. (2006). Towards molecular electronics with large-area molecular junctions. *Nature*, volume 441, numéro 7089, p. 69-72.
- [2] Asenov, A. (2007). Simulation of statistical variability in nano MOSFETs. Dans *VLSI Technology, 2007 IEEE Symposium on*. IEEE, p. 86-87.
- [3] Assaderaghi, F., Sinitsky, D., Bokor, J., Ko, P. K., Gaw, H. et Hu, C. (1997). High-field transport of inversion-layer electrons and holes including velocity overshoot. *IEEE Transactions on Electron Devices*, volume 44, numéro 4, p. 664-71.
- [4] Auth, C., Allen, C., Blattner, A., Bergstrom, D., Brazier, M., Bost, M., Buehler, M., Chikarmane, V., Ghani, T. et Glassman, T. (2012). A 22nm high performance and low-power CMOS technology featuring fully-depleted tri-gate transistors, self-aligned contacts and high density MIM capacitors. Dans *VLSI Technology (VLSIT), 2012 Symposium on*. IEEE, p. 131-132.
- [5] Bandyopadhyay, S., Das, B. et Miller, A. (1994). Supercomputing with spin-polarized single electrons in a quantum coupled architecture. *Nanotechnology*, volume 5, numéro 2, p. 113.
- [6] Beaumont, A., Dubuc, C., Beauvais, J. et Drouin, D. (2009). Room Temperature Single-Electron Transistor Featuring Gate-Enhanced ON-State Current. *Electron Device Letters, IEEE*, volume 30, numéro 7, p. 766-768.
- [7] Ben Jamaa, M. H., Atienza, D., Leblebici, Y. et De Micheli, G. (2008). Programmable logic circuits based on ambipolar CNFET. Dans *Proceedings of the 45th annual Design Automation Conference*. ACM, p. 339-340.
- [8] Ben Jamaa, M. H., Mohanram, K. et De Micheli, G. (2009). Novel library of logic gates with ambipolar CNTFETs: Opportunities for multi-level logic synthesis. Dans *Design, Automation & Test in Europe Conference & Exhibition, 2009. DATE'09*. IEEE, p. 622-627.
- [9] Cheng, K., Khakifirooz, A., Kulkarni, P., Ponoth, S., Kuss, J., Shahrjerdi, D., Edge, L., Kimball, A., Kanakasabapathy, S. et Xiu, K. (2009). Extremely thin SOI (ETSOI) CMOS with record low variability for low power system-on-chip applications. Dans *Electron Devices Meeting (IEDM), 2009 IEEE International*. IEEE, p. 1-4.

- [10] Clarke, P. (20 Janvier 2013). ST plans for Dresden FDSOI production. Dans <http://www.eetimes.com/electronics-news/4405121/FDSOI-production-video> (page consultée le 12 Avril 2013).
- [11] Colinge, J. (2007). *FinFETs and other multi-gate transistors*. Springer,
- [12] Colli, A., Tahraoui, A., Fasoli, A., Kivioja, J. M., Milne, W. I. et Ferrari, A. C. (2009). Top-gated silicon nanowire transistors in a single fabrication step. *ACS nano*, volume 3, numéro 6, p. 1587-1593.
- [13] Coquand, R., Cassé, M., Barraud, S., Leroux, P., Cooper, D., Vizioz, C., Comboroure, C., Perreau, P., Maffini-Alvaro, V. et Tabone, C. (2012). Strain-induced performance enhancement of tri-gate and omega-gate nanowire FETs scaled down to 10nm Width. Dans *VLSI Technology (VLSIT), 2012 Symposium on*. IEEE, p. 13-14.
- [14] De Marchi, M., Jamaa, M. et De Micheli, G. (2010). Regular fabric design with ambipolar CNTFETs for FPGA and structured ASIC applications. Dans *Proceedings of the 2010 IEEE/ACM International Symposium on Nanoscale Architectures*. IEEE Press, p. 65-70.
- [15] DeHon, A. (2007). Architecture approaching the atomic scale. Dans *Solid State Circuits Conference, 2007. ESSCIRC 2007. 33rd European*. IEEE, p. 11-20.
- [16] DeHon, A. (2003). Array-based architecture for FET-based, nanoscale electronics. *Nanotechnology, IEEE Transactions on*, volume 2, numéro 1, p. 23-32.
- [17] DeHon, A. et Likharev, K. K. (2005). Hybrid CMOS/nanoelectronic digital circuits: Devices, architectures, and design automation. Dans *Proceedings of the 2005 IEEE/ACM International conference on Computer-aided design*. IEEE Computer Society, p. 375-382.
- [18] DeHon, A. et Wilson, M. J. (2004). Nanowire-based sublithographic programmable logic arrays. Dans *Proceedings of the 2004 ACM/SIGDA 12th international symposium on Field programmable gate arrays*. ACM, p. 123-132.
- [19] Deleonibus, S., Caillat, C., Guegan, G., Heitzmann, M., Nier, M. E., Tedesco, S., Dal'zotto, B., Martin, F., Mur, P., Papon, A. M., Lecarval, G., Biswas, S. et Souil, D. (2000). A 20-nm physical gate length NMOSFET featuring 1.2 nm gate oxide, shallow implanted source and drain and BF₂ pockets. *IEEE Electron Device Letters*, volume 21, numéro 4, p. 173-5.
- [20] Deshpande, V., Wacquez, R., Vinet, M., Jehl, X., Barraud, S., Coquand, R., Roche, B., Voisin, B., Vizioz, C., Previtali, B., Tosti, L., Perreau, P., Poiroux, T., Sanquer, M., De Salvo, B. et Faynot, O. (2012). 300 K Operating Full-CMOS Integrated Single Electron Transistor (SET)-FET Circuits. Dans *2012 IEEE International Electron Devices Meeting (IEDM 2012)*. IEEE, Piscataway, NJ, USA, p. 8-7.

- [21] Dichtel, W. R., Heath, J. R. et Stoddart, J. F. (2007). Designing bistable [2] rotaxanes for molecular electronic devices. *Philosophical Transactions of the Royal Society A: Mathematical, Physical and Engineering Sciences*, volume 365, numéro 1855, p. 1607-1625.
- [22] Dubuc, C., Beauvais, J. et Drouin, D. (2008). A nanodamascene process for advanced single-electron transistor fabrication. *Nanotechnology, IEEE Transactions on*, volume 7, numéro 1, p. 68-73.
- [23] Fenouillet-Beranger, C., Perreau, P., Tosti, L., Thomas, O., Noel, J., Weber, O., Andrieu, F., Casse, M., Garros, X. et Benoist, T. (2011). Low power UTBOX and back plane (BP) FDSOI technology for 32nm node and below. Dans *IC Design & Technology (ICICDT), 2011 IEEE International Conference on*. IEEE, p. 1-4.
- [24] Frank, D. J., Dennard, R. H., Nowak, E., Solomon, P. M., Taur, Y. et Hon-Sum, P. W. (2001). Device scaling limits of Si MOSFETs and their application dependencies. *Proceedings of the IEEE*, volume 89, numéro 3, p. 259-88.
- [25] Fried, D. M., Duster, J. S. et Kornegay, K. T. (2004). High-performance p-type independent-gate FinFETs. *Electron Device Letters, IEEE*, volume 25, numéro 4, p. 199-201.
- [26] Ghani, T., Armstrong, M., Auth, C., Bost, M., Charvat, P., Glass, G., Hoffmann, T., Johnson, K., Kenyon, C., Klaus, J., McIntyre, B., Mistry, K., Murthy, A., Sandford, J., Silberstein, M., Sivakumar, S., Smith, P., Zawadzki, K., Thompson, S. et Bohr, M. (2003). A 90nm High Volume Manufacturing Logic Technology Featuring Novel 45nm Gate Length Strained Silicon CMOS Transistors. Dans *IEEE International Electron Devices Meeting, December 8, 2003 - December 10*. Institute of Electrical and Electronics Engineers Inc, Washington, DC, United states, p. 978-980.
- [27] Guerrini, Y. (10 nouveaux Xeon 10-core chez Intel. Dans <http://www.presence-pc.com/actualite/westmere-ex-xeon-43147/> (page consultée le 05 Avril 2013).
- [28] Heath, J. R. et Ratner, M. A. (2003). Molecular electronics *Physics Today* 56 (5): 43-49.
- [29] Hofheinz, M., Jehl, X., Sanquer, M., Molas, G., Vinet, M. et Deleonibus, S. (2006). Simple and controlled single electron transistor based on doping modulation in silicon nanowires. *Applied Physics Letters*, volume 89, p. 143504.
- [30] Huang, X., Lee, W., Kuo, C., Hisamoto, D., Chang, L., Kedzierski, J., Anderson, E., Takeuchi, H., Choi, Y. et Asano, K. (1999). Sub 50-nm FinFET: PMOS. Dans *Electron Devices Meeting, 1999. IEDM'99. Technical Digest. International*. IEEE, p. 67-70.
- [31] Huguenin, J., Monfray, S., Bidal, G., Denorme, S., Perreau, P., Loubet, N., Campidelli, Y., Samson, M., Arvet, C. et Benotmane, K. (2010). Ultra-Thin (4nm) Gate-All-Around CMOS devices with High-k/Metal for Low Power Multimedia Applications. *SSDM 2010*,

- [32] Iijima, S. et Ichihashi, T. (1993). Single-shell carbon nanotubes of 1-nm diameter. *Nature* 363, p. 603-605.
- [33] Imre, A., Csaba, G., Ji, L., Orlov, A., Bernstein, G. et Porod, W. (2006). Majority logic gate for magnetic quantum-dot cellular automata. *Science*, volume 311, numéro 5758, p. 205-208.
- [34] ITRS (2010). International Technology Roadmap for Semiconductors. Dans *Emerging Research Devices and Materials Chapters*. <http://www.itrs.net/Links/2010ITRS/Home2010.htm> (page consultée le 20 mars 2013).
- [35] Iwai, H. (2004). Future semiconductor manufacturing - Challenges and opportunities. Dans *IEEE International Electron Devices Meeting, 2004 IEDM, December 13, 2004 - December 15*. Institute of Electrical and Electronics Engineers Inc, San Francisco, CA, United states, p. 11-16.
- [36] Jabeur, K., Yakymets, N., O'Connor, I. et Le-Beux, S. (2011). Fine-grain reconfigurable logic cells based on double-gate CNTFETs. Dans *Proceedings of the 21st edition of the great lakes symposium on Great lakes symposium on VLSI*. ACM, p. 19-24.
- [37] Jeong, Y., Miyaji, K., Saraya, T. et Hiramoto, T. (2009). Silicon nanowire n-type metal-oxide-semiconductor field-effect transistors and single-electron transistors at room temperature under uniaxial tensile strain. *Journal of Applied Physics*, volume 105, numéro 8, p. 084514-084514-5.
- [38] Jouvét, N. (2012). *Intégration hybride de transistors à un électron sur un noeud technologique CMOS*. Ph.D., INSA de Lyon / Université de Sherbrooke,
- [39] Jouvét, N., Bounouar, M. A., Ecoffey, S., Nauenheim, C., Beaumont, A., Monfray, S., Ruediger, A., Calmon, F., Souifi, A. et Drouin, D. (2012). Recent Developments on 3d Integration of Metallic Set onto CMOS Process for Memory Application. *International Journal of Nanoscience*, volume 11, numéro 04,
- [40] Kawasaki, H., Basker, V., Yamashita, T., Lin, C., Zhu, Y., Faltermeier, J., Schmitz, S., Cummings, J., Kanakasabapathy, S. et Adhikari, H. (2009). Challenges and solutions of FinFET integration in an SRAM cell and a logic circuit for 22 nm node and beyond. Dans *Electron Devices Meeting (IEDM), 2009 IEEE International*. IEEE, p. 1-4.
- [41] Kim, S., Lee, J., Kang, H., Choi, J., Yu, Y., Takahashi, Y. et Hasko, D. (2012). One electron-based smallest flexible logic cell. *Applied Physics Letters*, volume 101, numéro 18, p. 183101-183101-4.
- [42] Koo, S., Li, Q., Edelstein, M. D., Richter, C. A. et Vogel, E. M. (2005). Enhanced channel modulation in dual-gated silicon nanowire transistors. *Nano letters*, volume 5, numéro 12, p. 2519-2523.

- [43] Lacord, J. "Développement de modèles pour l'évaluation des performances circuit des technologies CMOS avancées sub-20nm" (2012). Ph. D., Université de Grenoble,
- [44] Lee, D. S., Kang, S., Kang, K., Lee, J., Lee, J. H., Song, K., Kim, D. M., Lee, J. D. et Park, B. (2009). Fabrication and characteristics of self-aligned dual-gate single-electron transistors. *Nanotechnology, IEEE Transactions on*, volume 8, numéro 4, p. 492-497.
- [45] Lee, W. - et Hu, C. (2001). Modeling CMOS tunneling currents through ultrathin gate oxide due to conduction-and valence-band electron and hole tunneling. *IEEE Transactions on Electron Devices*, volume 48, numéro 7, p. 1366-1373.
- [46] Likharev, K. K. (2007). Hybrid semiconductor/nanoelectronic circuits: Freeing advanced lithography from the alignment accuracy burden. *Journal of Vacuum Science & Technology B: Microelectronics and Nanometer Structures*, volume 25, numéro 6, p. 2531-2536.
- [47] Likharev, K. K. (2008). Hybrid CMOS/nanoelectronic circuits: Opportunities and challenges. *Journal of Nanoelectronics and Optoelectronics*, volume 3, numéro 3, p. 203-230.
- [48] Lin, Y., Appenzeller, J., Knoch, J. et Avouris, P. (2005). High-performance carbon nanotube field-effect transistor with tunable polarities. *Nanotechnology, IEEE Transactions on*, volume 4, numéro 5, p. 481-489.
- [49] Liu, B. (2009). Reconfigurable double gate carbon nanotube field effect transistor based nanoelectronic architecture. Dans *Design Automation Conference, 2009. ASP-DAC 2009. Asia and South Pacific*. IEEE, p. 853-858.
- [50] Liu, B. (2010). Advancements on crossbar-based nanoscale reconfigurable computing Platforms. Dans *Circuits and Systems (MWSCAS), 2010 53rd IEEE International Midwest Symposium on*. IEEE, p. 17-20.
- [51] Liu, Q., Monsieur, F., Kumar, A., Yamamoto, T., Yagishita, A., Kulkarni, P., Ponoth, S., Loubet, N., Cheng, K. et Khakifirooz, A. (2011). Impact of back bias on ultra-thin body and BOX (UTBB) devices. Dans *VLSI Technology (VLSIT), 2011 Symposium on*. IEEE, p. 160-161.
- [52] Lu, D. (2011). *Compact models for future generation CMOS*, Ph.D., University of California, Berkeley.
- [53] Lundstrom, M. (1997). Elementary scattering theory of the Si MOSFET. *IEEE Electron Device Letters*, volume 18, numéro 7, p. 361-363.
- [54] Markoff, J. (2011). Intel increases transistor speed by building upward. *The New York Times*, volume 4,

- [55] Martel, R., Derycke, V., Lavoie, C., Appenzeller, J., Chan, K., Tersoff, J. et Avouris, P. (2001). Ambipolar electrical transport in semiconducting single-wall carbon nanotubes. *Physical Review Letters*, volume 87, numéro 25, p. 256805.
- [56] Mistry, K., Allen, C., Auth, C., Beattie, B., Bergstrom, D., Bost, M., Brazier, M., Buehler, M., Cappellani, A., Chau, R., Choi, C. -, Ding, G., Fischer, K., Ghani, T., Grover, R., Han, W., Hanken, D., Hattendorf, M., He, J., Hicks, J., Huessner, R., Ingerly, D., Jain, P., James, R., Jong, L., Joshi, S., Kenyon, C., Kuhn, K., Lee, K., Liu, H., Maiz, J., McIntyre, B., Moon, P., Neiryneck, J., Pae, S., Parker, C., Parsons, D., Prasad, C., Pipes, L., Prince, M., Rarade, P., Reynolds, T., Sandford, J., Shifren, L., Sebastian, J., Seiple, J., Simon, D., Sivakumar, S., Smith, P., Thomas, C., Troeger, T., Vandervoorn, P., Williams, S. et Zawadzki, K. (2007). A 45nm logic technology with high-k+ metal gate transistors, strained silicon, 9 Cu interconnect layers, 193nm dry patterning, and 100% Pb-free packaging. Dans *2007 IEEE International Electron Devices Meeting, IEDM, December 10, 2007 - December 12*. Institute of Electrical and Electronics Engineers Inc, Washington, DC, United states, p. 247-250.
- [57] Moore, G. E. (1998). Cramming more components onto integrated circuits. *Proceedings of the IEEE*, volume 86, numéro 1, p. 82-85.
- [58] Moritz, C. A. et Wang, T. (2004). Latching on the wire and pipelining in nanoscale designs.
- [59] Noel, J. (2011). *Optimisation de dispositifs FDSOI pour la gestion de la consommation et de la vitesse: application aux mémoires et fonctions logiques*,
- [60] Novoselov, K., Geim, A. K., Morozov, S., Jiang, D., Zhang, Y., Dubonos, S., Grigorieva, I. et Firsov, A. (2004). Electric field effect in atomically thin carbon films. *Science*, volume 306, numéro 5696, p. 666-669.
- [61] O'Connor, I., Junchen, L., Gaffiot, F., Prégaldiny, F., Lallement, C., Maneux, C., Goguet, J., Frégonèse, S., Zimmer, T. et Anghel, L. (2007). CNTFET modeling and reconfigurable logic-circuit design. *Circuits and Systems I: Regular Papers, IEEE Transactions on*, volume 54, numéro 11, p. 2365-2379.
- [62] Planes, N., Weber, O., Barral, V., Haendler, S., Noblet, D., Croain, D., Bocat, M., Sassoulas, P., Federspiel, X. et Cros, A. (2012). 28nm FDSOI technology platform for high-speed low-voltage digital applications. Dans *VLSI Technology (VLSIT), 2012 Symposium on*. IEEE, p. 133-134.
- [63] Rotaxane. (Dans <http://fr.wikipedia.org/wiki/Rotaxane> (page consultée le 20 mai 2013)).
- [64] Rotenberg, E. et Venkatesan, R. (2006). The state of ZettaRAM. Dans *Nano-Networks and Workshops, 2006. NanoNet'06. 1st International Conference on*. IEEE, p. 1-5.

- [65] Sacchetto, D., De Micheli, G. et Leblebici, Y. (2011). Ambipolar Si nanowire field effect transistors for low current and temperature sensing. Dans *Solid-State Sensors, Actuators and Microsystems Conference (TRANSDUCERS), 2011 16th International*. IEEE, p. 2562-2565.
- [66] Sakurai, T., Matsuzawa, A. et Douseki, T. (2010). *Fully-depleted SOI CMOS circuits and technology for ultralow-power applications*. Springer Publishing Company, Incorporated,
- [67] Saunier, C. (2008). *Rapport sur l'évolution du secteur de la micro/nanoélectronique*
- [68] Schwierz, F. (2010). Graphene transistors. *Nature Nanotechnology*, volume 5, numéro 7, p. 487-96.
- [69] Shin, S., Jung, C., Park, B., Yoon, T., Lee, J., Kim, S., Choi, J., Takahashi, Y. et Hasko, D. (2010). Si-based ultrasmall multiswitching single-electron transistor operating at room-temperature. *Applied Physics Letters*, volume 97, numéro 10, p. 103101-103101-3.
- [70] Singh, R. K., Saxena, A. et Rastogi, M. SILICON ON INSULATOR TECHNOLOGY REVIEW.
- [71] Snider, G. S. et Williams, R. S. (2007). Nano/CMOS architectures using a field-programmable nanowire interconnect. *Nanotechnology*, volume 18, numéro 3, p. 035204.
- [72] Sriramkumar, V., Lu, D. D., Morshed, T. H., Kawakami, Y., Lee, P. M., Niknejad, A. M. et Hu, C. (2011). BSIM-CG: A compact model of cylindrical gate/nanowire MOSFETs for circuit simulations. Dans *VLSI Technology, Systems and Applications (VLSI-TSA), 2011 International Symposium on*. IEEE, p. 1-2.
- [73] Stewart, D., Ohlberg, D., Beck, P., Chen, Y., Williams, R. S., Jeppesen, J. O., Nielsen, K. et Stoddart, J. F. (2004). Molecule-independent electrical switching in Pt/organic monolayer/Ti devices. *Nano Letters*, volume 4, numéro 1, p. 133-136.
- [74] Strukov, D. B. et Likharev, K. K. (2005). CMOL FPGA: a reconfigurable architecture for hybrid digital circuits with two-terminal nanodevices. *Nanotechnology*, volume 16, numéro 6, p. 888.
- [75] Strukov, D. B. et Likharev, K. K. (2007). Defect-tolerant architectures for nanoelectronic crossbar memories. *Journal of Nanoscience and Nanotechnology*, volume 7, numéro 1, p. 151-167.
- [76] Strukov, D. B. et Likharev, K. K. (2012). Reconfigurable nano-crossbar architectures. *Nanoelectronics, R.Waser, Eds,*
- [77] Takayanagi, K., Kondo, Y. et Ohnishi, H. (2001). Suspended gold nanowires: ballistic transport of electrons. *JSAP international*, volume 3, p. 3-8.

- [78] Türel, Ö., Lee, J. H., Ma, X. et Likharev, K. K. (2004). Neuromorphic architectures for nanoelectronic circuits. *International Journal of Circuit Theory and Applications*, volume 32, numéro 5, p. 277-302.
- [79] von Arnim, K., Augendre, E., Pacha, A., Schulz, T., San, K. T., Bauer, F., Nackaerts, A., Rooyackers, R., Vandeweyer, T. et Degroote, B. (2007). A low-power multi-gate FET CMOS technology with 13.9 ps inverter delay, large-scale integrated high performance digital circuits and SRAM. Dans *VLSI Technology, 2007 IEEE Symposium on*. IEEE, p. 106-107.
- [80] Wang, T. (2009). *Fault tolerant nanoscale microprocessor design on semiconductor nanowire grids*. Ph.D., University of Massachusetts Amherst,
- [81] Wang, T., Narayanan, P., Leuchtenburg, M. et Moritz, C. A. (2008). NASICs: A nanoscale fabric for nanoscale microprocessors. Dans *Nanoelectronics Conference, 2008. INEC 2008. 2nd IEEE International*. IEEE, p. 989-994.
- [82] Wang, T., Narayanan, P. et Moritz, C. A. (2007). Combining 2-level logic families in grid-based nanoscale fabrics. Dans *Nanoscale Architectures, 2007. NANOSARCH 2007. IEEE International Symposium on*. IEEE, p. 101-108.
- [83] Yang, F., Chen, H., Chen, F., Chan, Y., Yang, K., Chen, C., Tao, H., Choi, Y., Liang, M. et Hu, C. (2002). 35 nm CMOS FinFETs. Dans *VLSI Technology, 2002. Digest of Technical Papers. 2002 Symposium on*. IEEE, p. 104-105.
- [84] Yang, I. Y., Vieri, C., Chandrakasan, A. et Antoniadis, D. A. (1997). Back-gated CMOS on SOIAS for dynamic threshold voltage control. *Electron Devices, IEEE Transactions on*, volume 44, numéro 5, p. 822-831.
- [85] Zukoski, A., Yang, X. et Mohanram, K. (2011). Universal logic modules based on double-gate carbon nanotube transistors. Dans *Design Automation Conference (DAC), 2011 48th ACM/EDAC/IEEE*. IEEE, p. 884-889.

CHAPITRE 3 Modélisation Électrique du Transistor à un Électron

3.1 Aperçu

3.1.1 Bref Historique

C'est en 1951 que le phénomène de blocage de Coulomb a été utilisé pour interpréter les variations inhabituelles de la résistance de films métalliques granulaires [11]. Presque 20 ans après, en 1969, Lambe et Jaklevic [16] ont étudié la quantification de charge dans une structure dite « boîte à électrons ». Mais ce n'est qu'en 1987 que le premier transistor à un électron (Single Electron Transistor) a été fabriqué aux Bell Labs [9], aux USA, deux ans après que le concept eût été énoncé par D. Averin et K. Likharev [2]. Depuis, de nombreux travaux ont porté sur les SET [10, 14], notamment au niveau de la technologie de fabrication, dans la perspective d'applications du blocage de Coulomb à la microélectronique.

3.1.2 Le Blocage de Coulomb

Un aspect qui caractérise la pénétration dans le domaine nanométrique est l'apparition de phénomènes physiques nouveaux. Parmi ceux-ci, le Blocage de Coulomb (CB) repose sur le caractère granulaire et quantique de la charge électrique, permettant le transit des électrons de manière individuelle, afin de contrôler très précisément le courant véhiculé. Le phénomène de blocage de Coulomb est basé sur la quantification de la charge électrique. Il se manifeste dans les dispositifs présentant une barrière de potentiel assez fine afin que les électrons puissent transiter, par effet tunnel, vers une nanostructure permettant de confiner un nombre restreint et contrôlé de porteurs. Afin d'observer le phénomène de blocage de Coulomb, deux conditions doivent être satisfaites :

1. Pour garantir la localisation de la charge sur l'îlot, les fluctuations thermiques ne doivent pas permettre l'ajout ou la soustraction d'un électron supplémentaire dans l'îlot, ce qui signifie que l'énergie électrostatique de chargement doit être supérieure à l'énergie thermique, $E_C = e^2/2C_\Sigma \gg K_B T$, où e est la charge élémentaire, C est la somme des capacités de grilles et de jonctions, K_B est la constante de Boltzmann et T la température [20]. Ainsi, Pour un fonctionnement à température

ambiante, en prenant un facteur 10, il faut donc que la capacité totale des îlots ne dépasse pas $0.3aF$.

2. Les fluctuations quantiques de l'énergie des électrons doivent rester suffisamment faibles pour que les électrons restent localisés dans l'îlot, ce qui implique que la résistance R_J équivalente à la jonction tunnel soit grande devant le quantum de résistance $R_Q = h/e^2 = 25,8 k\Omega$, où h est la constante de Planck.

En dessous de cette valeur, le blocage de Coulomb disparaît progressivement. Le blocage de Coulomb est le résultat de l'association de l'effet tunnel d'origine quantique, et de la répulsion coulombienne, phénomène électrostatique classique.

3.1.3 La Jonction Tunnel

Les jonctions tunnel, tels que représentées dans la Fig. 20, sont composées d'une fine barrière isolante (de l'ordre du nanomètre) entre deux électrodes conductrices pour permettre le passage du courant par effet tunnel. On peut attribuer à la jonction tunnel un double comportement (une capacité ou une résistance). Quand la jonction bloque le passage de l'électron, elle est perçue par ce dernier comme une capacité classique. Dans le cas où la jonction est passante, elle va permettre le passage d'un courant et l'électron la percevra ainsi comme une résistance [23, 25].

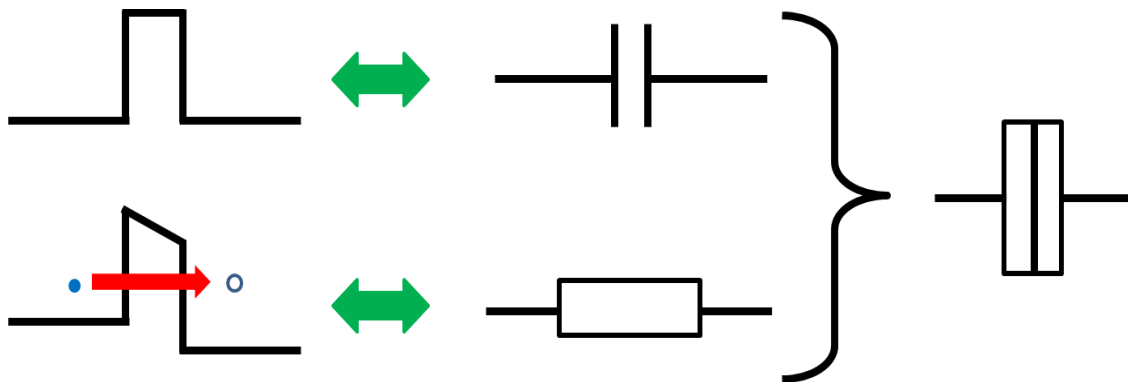


Fig. 20 : Représentation du comportement de la jonction tunnel.

3.1.4 Principe du Transistor à un Électron

Le dispositif de base de la mono-électronique est le transistor à un électron ("Single Electron Transistor" – SET). Son principe de fonctionnement est gouverné par le phénomène du blocage de Coulomb. Il se compose d'un îlot central conducteur, séparé des électrodes de

source et de drain par 2 jonctions tunnel. Le potentiel de cet îlot étant contrôlé par une ou plusieurs électrodes de grille (Fig. 21). En fait, le transfert individuel d'électrons entre la source et le drain à travers l'îlot, basé sur le blocage de Coulomb, peut être commandé par la tension appliquée à l'électrode de grille.

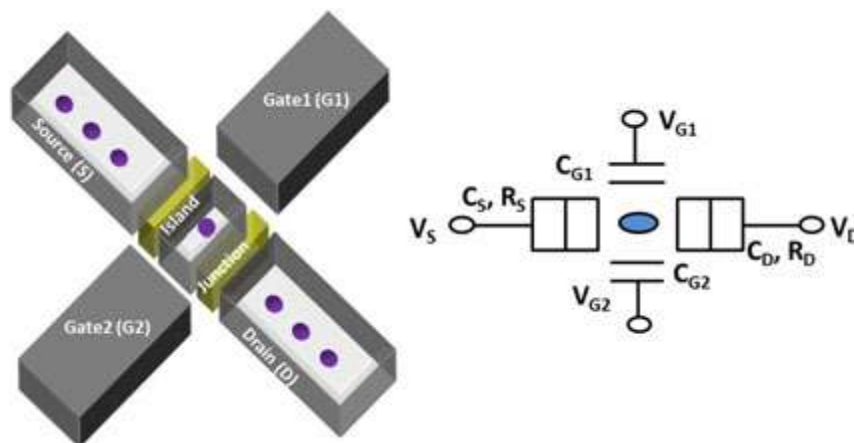


Fig. 21 : Dessin schématique d'un SET (gauche) et son circuit électrique équivalent (droite).

L'appellation SET signifie simplement que le transfert de charge à travers les barrières tunnel peut être contrôlé électron par électron, en utilisant le phénomène de blocage de Coulomb. L'îlot central peut être aussi bien métallique que semi-conducteur. Le fonctionnement des SET est régi par la condition « 2 » – (voir § 3.1.2), qui autorise ou non le passage d'un électron à travers chacune des barrières tunnel et pour chaque sens. On peut représenter chaque jonction tunnel par une capacité (C_S , C_D) ou une résistance (R_S , R_D) comme le montre la Fig. 21. Les électrodes de source et de drain servent de réservoirs d'électrons.

Un SET peut également contenir une électrode de grille optionnelle, qui est généralement utilisée pour ajuster la polarisation V_{GS} du SET. L'îlot est sous influence de l'électrode de grille ce qui permet le déplacement du niveau d'énergie de l'îlot, et donc, lorsque le SET est activé, le courant circule à travers le dispositif.

D'un point de vue électrostatique, quand un électron transite par effet tunnel vers l'îlot, l'énergie électrostatique varie. Cette variation est liée à la variation de l'énergie de Gibbs de l'îlot. La Fig. 22 illustre les niveaux d'énergies associés à la charge de l'îlot par les électrons. Les niveaux sont espacés d'une valeur d'énergie de charge qui est égale à $E_C = e^2/C_X$, où e est la charge élémentaire et C est la capacité totale de l'îlot. Pour un fonctionnement à haute température, la variation de l'énergie électrostatique due à l'ajout ou à la soustraction d'un

électron doit être supérieure à l'énergie thermique. Si l'on considère une toute petite tension V_{DS} , le potentiel de grille peut ainsi moduler les niveaux d'énergies de charge par rapport à l'énergie de Fermi des électrodes de source et drain (Fig. 22).

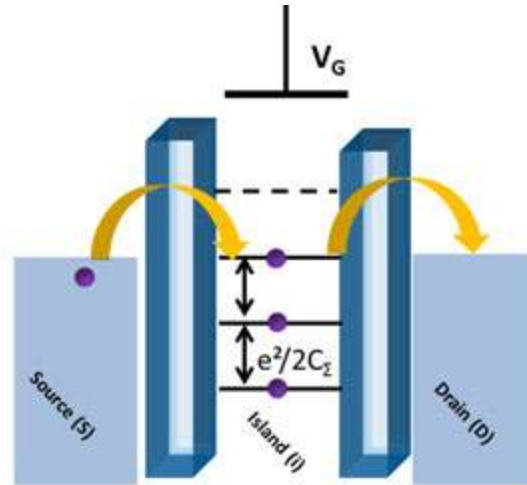


Fig. 22 : représentation des niveaux de charge de l'îlot (modulés à la source par V_G).

D'un point de vue électrique, les électrons sont injectés dans ou éjectés de l'îlot, par effet tunnel à travers une fine barrière entre l'électrode externe et l'îlot. En changeant le potentiel de l'électrode de grille (C_G), la tension de seuil diminue ou augmente. Quand on augmente la tension de grille à une certaine valeur, les électrons transitent vers l'îlot, résultant d'une charge supplémentaire dans ce dernier. Le nombre d'électrons présents dans l'îlot augmente un par un avec l'augmentation de la tension de grille. Plus on augmente la tension de grille, plus le nombre d'électrons dans l'îlot augmentera automatiquement. On peut noter la périodicité du courant en fonction de la tension de grille d'une période e/C_G [20]. L'effet de Blocage de Coulomb est maximal lorsqu'un multiple entier d'électrons est dans l'îlot ($V_{GS} = ne / C_G$), où n représente le nombre d'électrons dans le SET. D'autre part, quand un multiple demi-entier d'électrons est présent dans l'îlot l'effet de Blocage de Coulomb disparaît ($V_{GS} = ne / 2C_G$). La Fig. 23 montre les courbes $I_{DS}-V_{GS}$ et $I_{DS}-V_{DS}$ d'un SET. Nous retrouvons sur la courbe $I_{DS}-V_{GS}$ les oscillations périodiques appelées oscillations de Coulomb, tandis que la courbe $I_{DS}-V_{DS}$ peut présenter un seuil qui peut être supprimé avec une tension de grille appropriée.

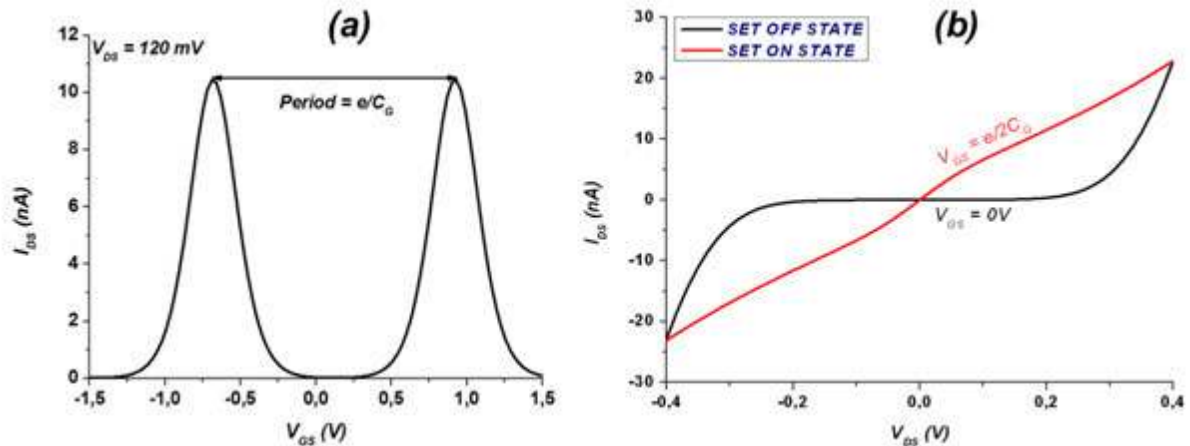


Fig. 23 : (a) Oscillations de Coulomb dans un SET pour $V_{DS} = 120$ mV, et (b) Caractéristiques I_D - V_{DS} illustrant l'annulation du phénomène de blocage de Coulomb. Les paramètres du SET sont : $T = 300$ K, $C_{G1} = C_{G2} = 0.1$ aF et $C_S = C_D = 0.05$ aF.

3.2 Outils CAO pour la simulation de SETs

Les outils CAO (Conception Assistée par Ordinateur) pour la conception et la simulation de circuits électroniques sont l'un des principaux facteurs qui ont contribué à la fulgurante croissance de l'industrie de la microélectronique. En effet, afin de suivre cette croissance accrue de la complexité des circuits intégrés, le besoin en outils de CAO efficaces devient de plus en plus important. Ainsi, pour une bonne implémentation de SETs dans les futurs circuits ULSI (Ultra Large Scale Integration), des efforts considérables sont déployés afin de développer des outils logiciels efficaces pour la conception et la simulation de circuits SETs à large échelle. À ce jour, trois techniques de modélisation sont utilisées pour la simulation de circuits à base de SETs.

3.2.1 La Méthode de Monte-Carlo (MC)

La technique dite de Monte-Carlo est probablement la méthode la plus populaire pour la simulation des dispositifs mono-électroniques. Cette approche permet de suivre instantanément l'évolution du nombre d'électrons dans l'îlot en fonction du temps ainsi que le nombre d'électrons ayant transité à travers la jonction tunnel source ou drain. En effet, l'algorithme évalue tous les événements tunnel possibles, en calculant les probabilités et choisit l'un des événements possibles de façon aléatoire et pondérée en fonction des probabilités [32]. Les événements tunnel sont considérés comme indépendants et sont distribués de façon

exponentielle. Le processus est répété pour atteindre le régime stationnaire. Autrement dit, l'approche MC choisit les événements de façon aléatoire et exploite le fait que le passage des électrons par effet tunnel à travers la barrière tunnel est un processus stochastique [32]. On peut citer par exemple des simulateurs basés sur cette technique. Parmi les simulateurs les plus populaires, on peut citer SIMON [33], MOSES [5], SENECA [8], KOSEC [34] et tout récemment le simulateur SENS [28, 29]. Cependant, ils sont coûteux en temps de calcul et ne peuvent être adaptés à une simulation de circuits hybrides SET-FET.

3.2.2 La Macro-Modélisation par SPICE

La seconde approche est l'approche basée sur les macro-modèles SPICE [34] pour modéliser le comportement des SETs. En utilisant un circuit équivalent (Fig. 24), basé sur des composants SPICE classiques. Cette méthode fournit des résultats raisonnables en termes de précision, temps de calcul et compatible avec les environnements de conception de circuits intégrés actuels. Parmi les modèles basés sur cette approche, on peut citer les modèles de Lientschnig [18], et le modèle HSPICE de Zhang [36]. Cependant, cette technique est de nature empirique et ne prend pas en considération les paramètres physiques du dispositif afin de concevoir des circuits SETs à partir d'une technologie donnée.

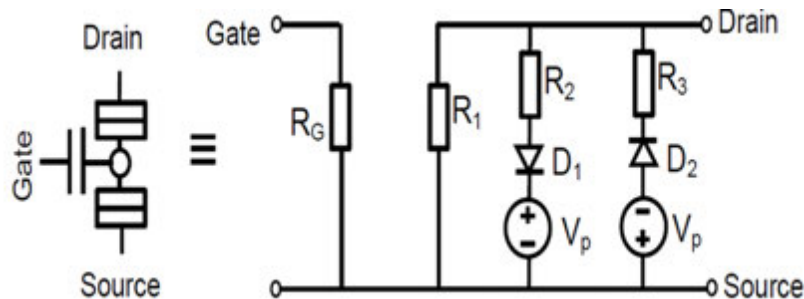


Fig. 24 : Circuit équivalent du SET utilisé lors d'une modélisation SPICE [35].

3.2.3 La Résolution de l'Équation Maîtresse (ME)

Certains modèles analytiques basés sur la physique de SETs ont été développés pour la conception de circuits hybrides en utilisant la méthode de l'Equation Maitresse (ME) [1, 13, 22, 31]. Cette méthode permet d'obtenir rapidement un courant par rapport à l'approche MC mais ne donne que des résultats en termes du nombre moyen d'électrons dans l'îlot. En effet, l'équation Maîtresse est la description du processus markovien sous-jacent du passage tunnel

de l'électron d'îlot à îlot [26], ainsi le circuit occupe différents états. Pour cela, il est nécessaire de définir tous les états possibles du circuit, qui sont définis par les sources de tension externe et la distribution de charge dans le circuit. Afin de résoudre la ME, seul un nombre fini d'états sera considéré. Le double comportement de la jonction tunnel évoqué précédemment, est à la base de la théorie orthodoxe. Elle met en équation la répartition et le transfert de charges entre les éléments du système en déterminant les conditions dans lesquelles le transfert est thermodynamiquement possible. Parmi les modèles compacts les plus populaires pour la conception et simulation de circuits SET-CMOS, on peut citer les modèles MIB [21], d'Inokawa [13] et celui d'Uchida [30].

3.2.4 La Modélisation au sein de l'UdeS et l'INL

Un nouveau simulateur basé sur la ME pour les dispositifs à un électron (SED) fabriqués et caractérisés à haute température, nommé MARSSEA⁷, a été développé au sein de l'INL et l'UdeS. Celui-ci permet de calculer les caractéristiques statiques de SET métalliques en fonction de la température et prenant en considération les caractéristiques physiques des jonctions tunnel des SET. Cette méthode de modélisation a été implémentée dans un programme MATLAB et a été proposée depuis peu pour expliquer les différences observées à haute température (430 K) entre les données expérimentales [7] et les simulations issues des simulateurs qui font référence dans le domaine [33]. En effet, il a été démontré que sous certaines conditions, la déformation de la hauteur de la barrière tunnel peut provenir du champ électrostatique dû à la tension source-drain, mais aussi de la tension de grille [4]. Malheureusement, MARSSEA n'est pas compatible avec les environnements de conception de circuits intégrés et ne permet pas la simulation de circuits hybrides SET-CMOS.

3.3 La Théorie Orthodoxe

La théorie orthodoxe a joué un rôle très important à travers l'histoire de la mono-électronique. Elle a été développée initialement par Kulik et Shekhter [15] et a été étendue aux SETs par Likharev et Averin [3, 19]. La plupart des approches mentionnées ci-dessus sont basées sur la théorie orthodoxe. Elle repose sur l'analyse électrique de circuits contenant des jonctions

⁷ Master-equation Approximate Resolution for Simulation of Single Electron Artifacts.

tunnel (dualité condensateur / résistance) et des capacités (pour l'électrode de grille d'un SET) [6, 17].

La théorie est basée sur les hypothèses suivantes:

- Au sein de l'îlot, le spectre de l'énergie de l'électron est continue (c'est à dire toute quantification de l'énergie électronique est ignoré).
- La durée de temps pour qu'un électron transite par effet tunnel à travers la barrière est supposé négligeable.
- Le co-tunneling est ignoré.

Les modèles basés sur la théorie orthodoxe sont très pratiques pour simuler des composants et des circuits demandant des temps de calculs courts. Cependant, il y a quelques limitations : i) la théorie nécessite la connaissance des "résistances tunnel" pour déterminer le courant. Ces données sont indépendantes de la température et ne sont donc théoriquement correctes qu'à basse température ; ii) dans le cas d'îlots semi-conducteurs, les détails de la quantification des niveaux d'énergie dans les semi-conducteurs ne sont pas pris en considération.

Étant donné que la technologie SET utilisée dans ces travaux est une technologie métallique (pas de quantification de niveaux d'énergie) et fonctionne à haute température, nous allons voir par la suite que notre approche de modélisation permet d'aller au-delà des limitations mentionnées ci-dessus. Cela aura un impact considérable sur la conception et l'évaluation de circuits SETs. En effet, différents modes de conduction ont été incorporés, notamment pour les forts champs électrostatiques et les hautes températures. Contrairement aux modèles compacts les plus courants, une alternative réaliste est fournie et sera utile lors de la conception et l'évaluation des performances des circuits à base de SETs.

3.4 Transport Électronique dans le SET

Afin d'exhiber l'effet lié à la granularité de la charge électrique, on considère la structure dite « boîte à électrons » présentée ci-après (Fig. 25) qui consiste en un îlot conducteur contenant une charge Q et séparé des électrodes par une jonction tunnel et par un condensateur. Le rôle de la jonction tunnel sera de filtrer les électrons de sorte qu'ils passent de manière séquentielle.

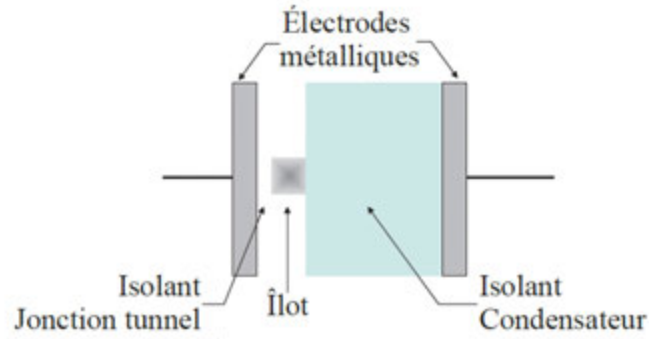


Fig. 25 : Schéma de la structure étudiée. La jonction tunnel permet le passage des électrons un par un.

L'énergie électrostatique du système (E_1) peut être exprimée par :

$$E_1 = \frac{Q^2}{2C_\Sigma} \quad (3.1)$$

Avec C_Σ la capacité totale de l'îlot.

Si un électron est injecté dans l'îlot par effet tunnel à travers la barrière, l'énergie électrostatique du système deviendra :

$$E_2 = \frac{(Q - e)^2}{2C_\Sigma} \quad (3.2)$$

L'évolution du système peut seulement s'effectuer dans le sens d'une diminution de l'énergie totale. En d'autres termes, un événement tunnel ne se produit que s'il diminue l'énergie électrostatique totale de l'îlot, c'est-à-dire :

$$E_1 - E_2 = \frac{e(Q - e/2)}{C_\Sigma} > 0$$

$$\Rightarrow Q > e/2 \quad (3.3)$$

En tenant compte que $Q = C_\Sigma|V|$, où $|V|$ est la différence de potentiel à travers la jonction tunnel, on peut conclure qu'un événement tunnel n'est possible que si :

$$|V| = \frac{e}{2C_\Sigma} \quad (3.4)$$

Cette équation précise le phénomène du blocage de Coulomb décrit précédemment : il existe une zone dans laquelle aucune transition n'est possible et où aucun courant ne peut circuler.

Analysons maintenant le transport électronique dans un SET (Fig. 21). Comme mentionné auparavant, lorsque les électrons ne transitent pas à travers les jonctions, ces dernières ont un comportement capacitif. Si la source du SET est connectée à la masse et le drain et la grille sont polarisés par des sources de tension externe V_{DS} et V_{GS} respectivement, le potentiel de l'îlot peut être calculé, avant qu'un évènement tunnel ne se produise (charge sur l'îlot nulle), comme suit :

$$V_{\text{îlot}} = \frac{C_G}{C_\Sigma} V_{GS} + \frac{C_D}{C_\Sigma} V_{DS} \quad (3.5)$$

où,

$$C_\Sigma = C_D + C_S + C_G \quad (3.6)$$

D'après l'équation (3.4), un évènement tunnel peut se produire seulement si $|V_{\text{îlot}}| > e/2C_\Sigma$ (à travers la jonction tunnel côté source) ou $|V_{DS} - V_{\text{îlot}}| > e/2C_\Sigma$ (à travers la jonction tunnel côté drain). Pour simplifier, si l'on garde V_{DS} constant à $e/2C_\Sigma$ et on fait varier la tension V_{GS} de zéro à une valeur positive plus élevée, $V_{\text{îlot}}$ augmentera aussi de $eC_D/2C_\Sigma^2$ à une valeur positive élevée de façon linéaire avec la tension V_{GS} . Les observations suivantes peuvent être faites :

- Quand $|V_{\text{îlot}}| < e/2C_\Sigma$ (c.-à-d., $V_{GS} < e(C_\Sigma - C_D)/2C_G C_\Sigma$), la chute de potentiel à travers les jonctions tunnel source et drain est inférieur à $e/2C_\Sigma$, et par conséquent le dispositif est dans le régime de blocage de Coulomb (Fig. 26-a).
- Si on augmente la tension V_{GS} de sorte à ce que $V_{\text{îlot}}$ soit supérieur à $e/2C_\Sigma$, un électron peut transiter, par effet tunnel, de la source vers l'îlot. De ce fait, le potentiel de l'îlot diminue de e/C_Σ . Un électron peut maintenant transiter, par effet tunnel, de l'îlot vers le drain du dispositif et ainsi, le potentiel de l'îlot est à nouveau restauré à sa valeur initiale permettant le passage tunnel d'un nouvel électron de la source vers l'îlot. De cette manière, un flux de courant continu est établi entre la source et le drain (Fig. 26-b).

- En augmentant la tension V_{GS} davantage et lorsque $|V_{\text{îlot}}| \geq e/2C_{\Sigma}$ (c.-à-d., $V_{GS} \geq e(2C_{\Sigma} - C_D)/2C_G C_{\Sigma}$), le SET est à nouveau dans le régime de blocage de Coulomb. En effet, cela résulte du fait que lorsque initialement $|V_{\text{îlot}}| > e/C_{\Sigma}$, un électron transite de la source vers l'îlot ce qui réduit le potentiel de l'îlot de e/C_{Σ} (Fig. 26-c). La différence de potentiel à travers les jonctions tunnel source et drain devient donc inférieure à $e/2C_{\Sigma}$.
- De nouveau le SET sort du régime de blocage de Coulomb et commence à conduire le courant dès que $|V_{\text{îlot}}| \geq e/3C_{\Sigma}$ (c.-à-d., $V_{GS} \geq e(3C_{\Sigma} - C_D)/2C_G C_{\Sigma}$). Comme représenté dans la Fig. 26-d, lorsque $|V_{\text{îlot}}| > 3e/2C_{\Sigma}$, un électron transite par effet tunnel de la source vers l'îlot, le potentiel de l'îlot baisse de e/C_{Σ} . Néanmoins, comme $|V_{\text{îlot}}| > e/2C_{\Sigma}$, un deuxième électron additionnel peut transiter, par effet tunnel, de la source vers l'îlot et donc la tension $V_{\text{îlot}}$ baisse de nouveau d'une valeur de e/C_{Σ} . À présent, le mécanisme décrit dans la seconde observation reprend et un flux de courant continu entre la source et le drain est de nouveau rétabli. Il faut souligner que désormais l'îlot contient un électron supplémentaire par rapport à son état normal (Fig. 26-d).

À partir de la discussion ci-dessus, on peut remarquer qu'à une tension constante du drain la région de blocage de Coulomb devient une fonction périodique e/C_G en fonction de la tension de grille. Également, lorsque $|V_{DS}| > e/C_{\Sigma}$, il n'est plus possible d'atteindre le régime de blocage de Coulomb quelle que soit la valeur de V_{GS} . Il convient de mentionner que le mécanisme de transfert tunnel décrit ci-dessus est valide pour une température $T \ll e^2/k_B C_{\Sigma}$. À haute température, les électrons peuvent traverser la jonction tunnel même si la différence de potentiel est inférieure à $e/2C_{\Sigma}$.

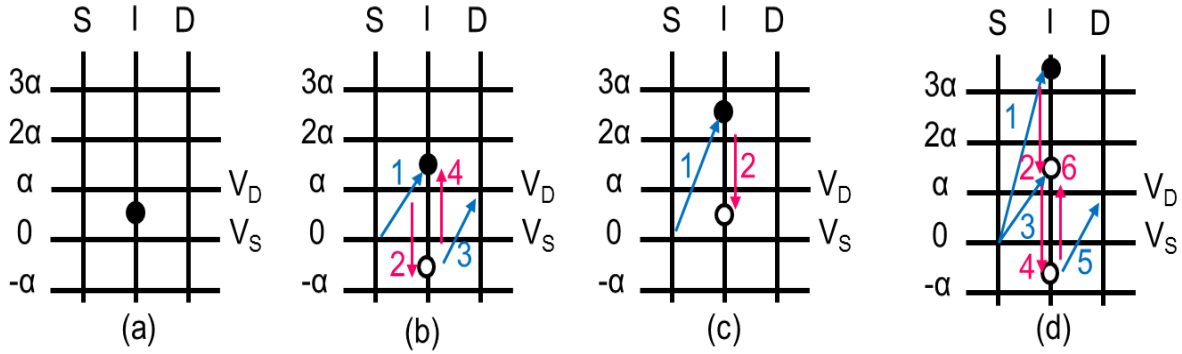


Fig. 26 : Mécanisme de transfert tunnel dans un SET. D, I et S représentent le drain, l'îlot et la source respectivement tandis que les lignes horizontales représentent leurs tensions. La source est liée à la masse et le drain à une tension $V_D = \alpha = e/2C_\Sigma$. Les cercles pleins représentent le potentiel de départ de l'îlot (avant qu'un évènement tunnel ne se produise) et les cercles vides représentent le potentiel de l'îlot après un passage tunnel. Les flèches bleues et roses représentent le transfert tunnel et le changement du potentiel de l'îlot respectivement. Les chiffres 1, 2, ..., 6 représentent les séquences des électrons lors de la conduction du courant à travers le SET.

3.5 Modélisation du Courant de Drain

Basé sur la théorie orthodoxe du transfert tunnel de l'électron, qui décrit le transport de charge sous l'influence du Blocage de Coulomb, le taux de transfert tunnel Γ d'un électron à travers une barrière de potentiel peut être exprimé comme fonction de la transparence des jonctions et de la chute d'énergie électrostatique [20] :

$$\Gamma(\Delta E) = - \frac{\Delta E}{e^2 R_T \left(1 - \exp\left(\frac{\Delta E}{kT}\right)\right)} \quad (3.7)$$

où ΔE est la différence entre l'énergie de Gibbs final et initial du système ($\Delta E = E(\text{final}) - E(\text{initial})$), R_T est la résistance tunnel (plus de détails sont donnés dans l'annexe A). De cette équation, on peut en déduire que le transfert tunnel est atténué de manière exponentielle lorsque ΔE passe d'un signe négatif à un signe positif. Autrement dit, les évènements tunnel deviennent plus probables s'ils réduisent l'énergie de Gibbs ($\Delta E < 0$).

Bien que, la théorie orthodoxe donne le taux de transfert tunnel d'un électron à travers une barrière de potentiel dans le SET, elle ne nous donne aucune information sur les statistiques de passage tunnel de plusieurs électrons. Sous les hypothèses de la théorie orthodoxe, et si l'on considère que les états sont discrets, la méthode de l'équation maîtresse (ME) pour la

simulation de circuits mono-électroniques tente de résoudre l'équation (3.8), qui est la description stochastique générale du circuit SET [32] :

$$\frac{\partial P_i(t)}{\partial t} = \sum_{j \neq i} [\Gamma_{ij} P_j(t) - \Gamma_{ji} P_i(t)] \quad (3.8)$$

où Γ_{ij} est le taux de transition de l'état j à l'état i (Γ_{ij} est une composition des taux de transition des jonctions tunnel des côtés source et drain), et $P_i(t)$ est la probabilité d'occupation de l'état i en fonction du temps. Un état dans un SET est défini par une distribution de charges spécifique, c'est-à-dire le nombre d'électrons qui se trouve dans l'îlot.

Pour un SET, en négligeant la corrélation entre les différents effets tunnel, on peut simplifier la ME qui relie les états aux différentes charges de l'îlot comme suit [12] :

$$\frac{dP_n}{dt} = \Gamma_{n,n-1} P_{n-1} + \Gamma_{n,n+1} P_{n+1} - (\Gamma_{n,n-1} + \Gamma_{n,n+1}) \cdot P_n \quad (3.9)$$

où n est le nombre d'électrons présent dans l'îlot et P_n (variable temporelle) est la probabilité de trouver n électrons dans l'îlot.

Il existe maintenant deux probabilités indépendantes pour que la charge de l'îlot change, notamment, par effet tunnel, à travers la jonction tunnel côté source ou côté drain. Alors, les deux taux de transition peuvent s'écrire comme suit :

$$\Gamma_{n,n-1} = \vec{\Gamma}_D(n) + \vec{\Gamma}_S(n) \quad (3.10)$$

$$\Gamma_{n,n+1} = \vec{\Gamma}_D(n) + \vec{\Gamma}_S(n) \quad (3.11)$$

Ainsi, l'équation (3.9) devient :

$$\begin{aligned} \frac{dP_n}{dt} = & P(n-1) \cdot [\vec{\Gamma}_D(n-1) + \vec{\Gamma}_S(n-1)] + P(n+1) \cdot [\vec{\Gamma}_D(n+1) + \vec{\Gamma}_S(n+1)] \\ & - P(n) \cdot [\vec{\Gamma}_D(n) + \vec{\Gamma}_S(n) + \vec{\Gamma}_S(n) + \vec{\Gamma}_D(n)] \end{aligned} \quad (3.10)$$

où $\vec{\Gamma}_D(n)$, $\vec{\Gamma}_S(n)$, $\vec{\Gamma}_S(n)$, $\vec{\Gamma}_D(n)$ représentent respectivement le taux de transfert tunnel du drain vers l'îlot, de la source vers l'îlot, de l'îlot vers la source et de l'îlot vers le drain avec n électrons présents dans l'îlot.

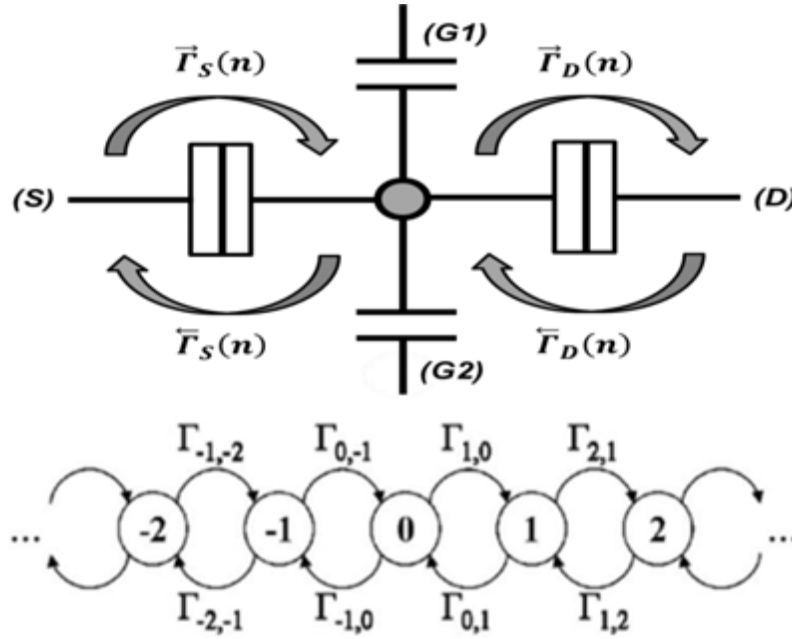


Fig. 27 : Diagramme des différents états (n) de transition du SET.

3.5.1 Calcul du potentiel de l'îlot d'un SET Double-Grille (DG-SET)

Sous certaines conditions de polarisation, à savoir V_{DS} , V_{GS1} , et V_{GS2} , et avant aucun évènement tunnel, les jonctions du SET agissent comme des capacités, et donc :

$$V_{\text{îlot}} = \frac{C_{G1}}{C_{\Sigma}} V_{GS1} + \frac{C_{G2}}{C_{\Sigma}} V_{GS2} + \frac{C_D}{C_{\Sigma}} V_{DS} - \frac{\xi e}{C_{\Sigma}} \quad (3.11)$$

Avec,

$$C_{\Sigma} = C_D + C_S + C_{G1} + C_{G2} \quad (3.12)$$

où ξ est un nombre réel représentant les charges parasites (Chap. 4, § 4.4 pour plus de détails).

Il faut souligner que dans les équations (3. 11 et 3.12), l'effet de la seconde grille est pris en compte. Si on introduit un nouveau paramètre $\alpha = e/2C_{\Sigma}$, avec une tension V_{DS} positive (source à la masse), on peut dire que lorsque $V_{\text{îlot}} > \alpha$, un électron transite, par effet tunnel, de la source vers l'îlot, et par conséquent le potentiel de l'îlot diminue d'une valeur de 2α . Si maintenant la différence de potentiel entre le drain et l'îlot est supérieure à α , l'électron est libéré de l'îlot pour aller vers le drain (sinon le dispositif est dans le régime de blocage de Coulomb) et le potentiel de l'îlot augmente d'une valeur de 2α (retour à l'état initial). On peut

poursuivre le raisonnement dans le sens de ce mécanisme de base afin d'obtenir la périodicité du courant de drain (oscillations de Coulomb) en fonction du potentiel de l'îlot $V_{\text{îlot}}$ (équation (3.11)).

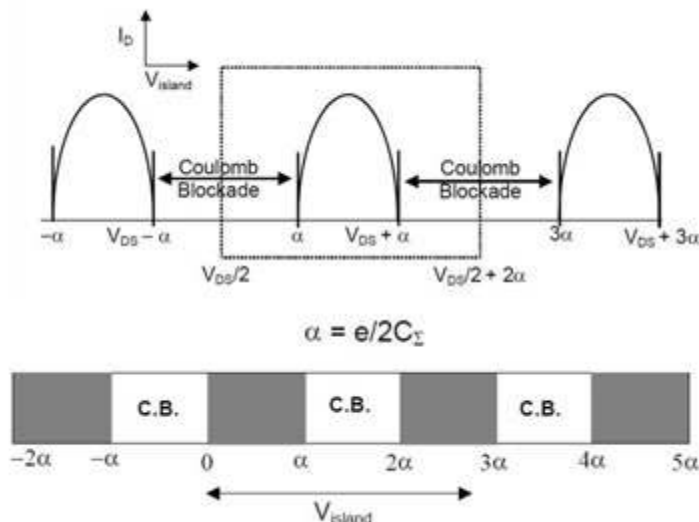


Fig. 28 : illustration de la périodicité du courant de drain I_{DS} en fonction du potentiel de l'îlot pour une valeur de V_{DS} positive quelconque ($\leq e/C$) [21].

Comme illustré sur la Fig. 28, le courant de drain est une fonction périodique de la tension $V_{\text{îlot}}$ avec une période 2α . Dans notre approche, la modélisation du courant de drain est développée seulement pour la période : $V_{DS}/2 \leq V_{\text{îlot}} \leq 2\alpha + V_{DS}/2$, (fenêtre en pointillés Fig. 28). Pour toute autre valeur du potentiel $V_{\text{îlot}}$, on peut décaler cette fenêtre d'un multiple de 2α en appliquant la même méthode de calcul du courant de drain. Le décalage de cette fenêtre de courant peut s'effectuer de la façon suivante :

Si $\lambda \cdot V_{\text{îlot}} > (2\alpha + \lambda \cdot V_{DS}/2)$:

$$V_{\text{îlot}} \leftarrow V_{\text{îlot}} - 2\lambda \cdot \alpha \left\{ 1 + \left(\frac{|V_{\text{îlot}} - 2\alpha - \lambda \cdot V_{DS}/2|}{2\alpha} \right) \right\} \quad (3.13)$$

Si $\lambda \cdot V_{\text{îlot}} < \lambda \cdot V_{DS}/2$:

$$V_{\text{îlot}} \leftarrow V_{\text{îlot}} + 2\lambda \cdot \alpha \left\{ 1 + \left(\frac{|V_{\text{îlot}} - \lambda \cdot V_{DS}/2|}{2\alpha} \right) \right\} \quad (3.14)$$

où λ est le signe de V_{DS} .

3.5.2 Calcul du courant I_{DS}

Dans le modèle, le courant de drain est calculé en résolvant l'équation maîtresse à l'état stationnaire ($\partial P(n)/\partial t = 0$). Ainsi, pour un état de polarisation donné, le nombre d'électrons le plus probable dans l'îlot est pris en compte, à savoir, -2, -1, 0, 1, 2. On obtient alors pour la résolution de la ME à l'état stationnaire les états de transition suivants : $0 \leftrightarrow 1$, $1 \leftrightarrow 2$, $-1 \leftrightarrow 0$, $-2 \leftrightarrow -1$. Les termes $P(n)$ sont :

- Pour la transition $-2 \leftrightarrow -1$:

$$P_{-2} = \frac{\vec{\Gamma}_D(-1) + \vec{\Gamma}_S(-1)}{\vec{\Gamma}_S(-2)} \cdot \frac{\vec{\Gamma}_D(0) + \vec{\Gamma}_S(0)}{\vec{\Gamma}_S(-1)} \cdot P_0 \quad (3.15)$$

- Pour la transition $1 \leftrightarrow 2$:

$$P_2 = \frac{\vec{\Gamma}_S(1) + \vec{\Gamma}_D(1)}{\vec{\Gamma}_D(2)} \cdot \frac{\vec{\Gamma}_S(0) + \vec{\Gamma}_D(0)}{\vec{\Gamma}_D(1) + \vec{\Gamma}_S(1)} \cdot P_0 \quad (3.16)$$

- Pour la transition $-1 \leftrightarrow 0$:

$$P_{-1} = \frac{\vec{\Gamma}_D(0) + \vec{\Gamma}_S(0)}{\vec{\Gamma}_S(-1)} \cdot P_0 \quad (3.17)$$

- Pour la transition $0 \leftrightarrow 1$:

$$P_1 = \frac{\vec{\Gamma}_S(0) + \vec{\Gamma}_D(0)}{\vec{\Gamma}_D(1) + \vec{\Gamma}_S(1)} \cdot P_0 \quad (3.18)$$

Une fois que les probabilités $P(n)$ sont déterminées en fonction de Γ et en utilisant la condition de normalisation $\sum P(n) = 1$, on peut les injecter dans l'expression du courant de drain. En résolvant la ME, le courant de drain peut être exprimée alors en fonction du taux de transfert tunnel comme suit :

$$I_{DS} = e \sum_{n=-\infty}^{n=\infty} P(n) \left(\vec{\Gamma}_S(n) - \vec{\Gamma}_S(n) \right) = e \sum_{n=-\infty}^{n=\infty} P(n) \left(\vec{\Gamma}_D(n) - \vec{\Gamma}_D(n) \right) \quad (3.19)$$

Dans l'équation (3.19), nous limitons n à l'intervalle $-2 \dots 2$.

En raison de la conservation du courant, peu importe la jonction à travers laquelle le courant est calculé. À l'aide des termes $P(n)$ obtenus précédemment, l'expression du courant de drain traversant le SET peut être exprimée en fonction des taux de transfert comme suit :

$$I_{DS} = e \cdot \frac{(\bar{\Gamma}_S(-1) + \bar{\Gamma}_D(-1))(\bar{\Gamma}_S(0) + \bar{\Gamma}_D(0))(\bar{\Gamma}_S(1) + \bar{\Gamma}_D(1)) + (\bar{\Gamma}_S(0) + \bar{\Gamma}_D(0))(\bar{\Gamma}_S(-1) - \bar{\Gamma}_S(-1))(\bar{\Gamma}_S(1) + \bar{\Gamma}_D(1)) + (\bar{\Gamma}_S(0) + \bar{\Gamma}_S(0))(\bar{\Gamma}_S(1) + \bar{\Gamma}_D(1))\bar{\Gamma}_S(-1) + (\bar{\Gamma}_S(1) - \bar{\Gamma}_S(1))(\bar{\Gamma}_S(0) + \bar{\Gamma}_D(0))(\bar{\Gamma}_S(1) + \bar{\Gamma}_D(1))\bar{\Gamma}_S(-1)}{\left(\frac{(\bar{\Gamma}_S(-1) + \bar{\Gamma}_D(-1))(\bar{\Gamma}_S(0) + \bar{\Gamma}_D(0))(\bar{\Gamma}_S(1) + \bar{\Gamma}_D(1))}{\bar{\Gamma}_S(-2)}\right) + \left(\frac{(\bar{\Gamma}_S(1) + \bar{\Gamma}_D(1))(\bar{\Gamma}_S(0) + \bar{\Gamma}_D(0))\bar{\Gamma}_S(-1)}{\bar{\Gamma}_D(2)}\right) + (\bar{\Gamma}_S(0) + \bar{\Gamma}_D(0))(\bar{\Gamma}_S(1) + \bar{\Gamma}_D(1)) + (\bar{\Gamma}_S(0) + \bar{\Gamma}_D(0))\bar{\Gamma}_S(-1) + (\bar{\Gamma}_S(1) + \bar{\Gamma}_D(1))\bar{\Gamma}_S(-1)} \quad (3.20)$$

Il suffit maintenant tout simplement de remplacer les taux de transition tunnel par le courant tunnel afin d'obtenir l'expression finale du courant I_{DS} traversant le SET (c'est-à-dire : $I_S(n) = e\bar{\Gamma}_S(n)$, $I_D(n) = e\bar{\Gamma}_D(n)$, $i_S(n) = e\bar{\Gamma}_S(n)$, $i_D(n) = e\bar{\Gamma}_D(n)$) où $\bar{\Gamma}_S(n)$ représente le taux de transfert de la source vers l'îlot et $\bar{\Gamma}_D(n)$ représente le taux de transfert tunnel de l'îlot vers la source et n le nombre d'électrons présent dans l'îlot. À l'aide de la formulation de l'énergie de Gibbs (voir annexe A pour plus de détails), les termes $I_S(n)$, $I_D(n)$, $i_S(n)$ et $i_D(n)$ se décrivent comme suit :

$$I_S(n) = \frac{\lambda \cdot V_{ilot} - (2n + 1) \cdot \alpha}{\left[1 - \exp\left\{-\frac{\lambda \cdot V_{ilot} - (2n + 1) \cdot \alpha}{V_T}\right\}\right] R_S} \quad (3.21)$$

$$I_D(n) = \frac{\lambda \cdot V_{DS} - \lambda \cdot V_{ilot} + (2n - 1) \cdot \alpha}{\left[1 - \exp\left\{-\frac{\lambda \cdot V_{DS} - \lambda \cdot V_{ilot} + (2n - 1) \cdot \alpha}{V_T}\right\}\right] R_D} \quad (3.22)$$

$$i_S(n) = \frac{-\lambda \cdot V_{ilot} + (2n - 1) \cdot \alpha}{\left[1 - \exp\left\{-\frac{-\lambda \cdot V_{ilot} + (2n - 1) \cdot \alpha}{V_T}\right\}\right] R_S} \quad (3.23)$$

$$i_D(n) = \frac{-\lambda \cdot V_{DS} + \lambda \cdot V_{ilot} - (2n + 1) \cdot \alpha}{\left[1 - \exp\left\{-\frac{-\lambda \cdot V_{DS} + \lambda \cdot V_{ilot} - (2n + 1) \cdot \alpha}{V_T}\right\}\right] R_D} \quad (3.24)$$

Notons que le terme V_T fait référence à la tension thermique $V_T = k_B T / q$.

La forme générale de l'équation maîtresse montre que chaque état de charge a une influence sur le courant drain-source I_{DS} . Toutefois, il n'est évidemment pas possible de prendre en compte toutes les valeurs de n . Selon [21] un courant modélisé pour un $|V_{DS}| \leq 3e/C$ semble être largement suffisant pour des applications analogiques et numériques. Contrairement à la formulation complète de MARSSEA, une manière de simplifier l'équation est de considérer seulement les termes essentiels ($n = -2, -1, \dots, 2$) en vue de réduire la complexité de l'équation du courant et le temps de calcul tout en gardant la même précision de calcul dans une gamme de tension.

3.5.3 Au-delà de la Théorie orthodoxe classique

Tous les modèles analytiques mentionnés précédemment, décrivent les résistances tunnel (R_T) comme une résistance constante, fournissent une description quantitative du courant à travers le dispositif, mais ignorent certains effets physiques qui interviennent dans le SET. Cela les rend insatisfaisants pour l'analyse de performances réelles du SET, parce qu'ils sont vérifiés et comparés par rapport à la méthode de MC plutôt qu'aux données expérimentales à température ambiante et au-delà. Pourtant, la conduction par effet tunnel ne peut être supposée comme l'unique mode de conduction dans les SETs puisque la prise en compte des paramètres intrinsèques (caractéristiques des jonctions tunnel, paramètres physiques, etc.) n'a pas été étudiée auparavant.

Comme mentionné auparavant, la théorie orthodoxe ne prend pas en considération les conductions à haute température ainsi que les détails de quantification des niveaux d'énergie dans le cas d'îlots semi-conducteurs. Étant donné qu'une technologie métallique est utilisée dans le cadre de ces travaux, la seconde limitation n'est pas bloquante. Cependant, nous allons voir comment les effets de haute température (courant Schottky) et/ou de forts champs (Fowler-Nordheim) vont être incorporés dans l'approche de modélisation proposée.

Un modèle de conduction dans les SETs métalliques basé sur les propriétés physiques des jonctions tunnel [7] a été proposé afin d'expliquer les divergences observées à haute température entre les données expérimentales et les simulations de MC.

Dans notre approche de modélisation, nous nous sommes basés sur le modèle MIB. Nous incorporons ensuite les variations de la transparence de la barrière et la contribution du courant

thermoïonique comme dans MARSSEA⁸. Cela, permet d'avoir une solution de simulation efficace et précise pour des circuits hybrides SET-CMOS contrairement aux autres modèles de la littérature. Une fois que l'équation du courant décrivant le comportement du SET est définie en fonction des taux de transfert tunnel, nous calculons alors la densité de courant tunnel à travers une barrière de potentiel en fonction des paramètres intrinsèques tels que les caractéristiques de jonction, le niveau d'énergie et la température de fonctionnement. En effet, la transparence tunnel à travers la barrière est calculée en fonction de l'épaisseur, la hauteur de barrière et la constante diélectrique de la jonction tunnel. Ensuite, nous extrayons la résistance de la jonction tunnel R_T en fonction de la tension de polarisation et nous injectons sa valeur dans l'équation de courant tunnel (3.19). Pour modéliser véritablement l'effet tunnel, nous utilisons la formule de densité de courant de Simmons (équation (3.25)) [24]. Cette formulation, utilisée dans MARSSEA, permet de prendre en considération la déformation de la barrière tunnel sous l'action de champs électriques élevés.

$$J = \int_0^{Em} D(E_x) dE_x * \left\{ \frac{4\pi m e}{h^3} \int_0^{\infty} [f(E) - f(E + eV)] dE_r \right\} \quad (3.25)$$

avec

$$D(E_x) = \exp \left\{ -\frac{4\pi}{h} \int_{S_1}^{S_2} [2m(V(x) - E_x)]^{1/2} dx \right\} \quad (3.26)$$

où Em est l'énergie maximum des électrons dans l'électrode, $D(E_x)$ est la probabilité qu'un électron pénètre la barrière de potentiel pour une charge d'énergie, S_1 et S_2 les extrémités de la jonction, V la hauteur de la barrière, e est la charge élémentaire, m la masse effective, h est la constante de Planck et $f(E)$ est la fonction de Fermi-Dirac.

Cette équation permet une modélisation réaliste de la barrière, par contre elle est assez coûteuse en temps de calcul essentiellement à cause de la double intégrale. Cependant, nous utilisons uniquement les termes essentiels en vue de réduire la complexité de l'expression de la fonction de courant, on est alors capable d'avoir un temps de simulation raisonnable comparé à MARSSEA tout en gardant une bonne précision du courant traversant le SET.

⁸ Plateforme développée par A. Beaumont et M. Guilmain. Plus de détails dans "Guilmain, M. (2013). Ph.D., Université de Sherbrooke".

À haute température de fonctionnement, les électrons sont excités thermiquement et se déplacent librement dans un canal parallèle à travers le SET. Pour cela, il sera important de calculer et de prendre en considération la contribution de la composante de l'émission thermoïonique [27] qui est décrite ci-dessous :

$$J_{thermoïonique} = A T^2 \exp\left(\frac{-e(\varphi_0 - \sqrt{eE/4\pi\epsilon_r\epsilon_0})}{k_B T}\right) \quad (3.27)$$

où A est la constante effective de Richardson, φ_0 est la hauteur de la barrière, E est le champ électrique, ϵ_r est la constante diélectrique et ϵ_0 la permittivité du vide.

Le courant final traversant le SET peut se définir comme la somme de deux contributions à savoir, le courant tunnel et la composante thermoïonique comme illustré dans la Fig. 29.

$$I_{TOTAL} = I_{Tunnel} + I_{Thermoïonique} \quad (3.28)$$

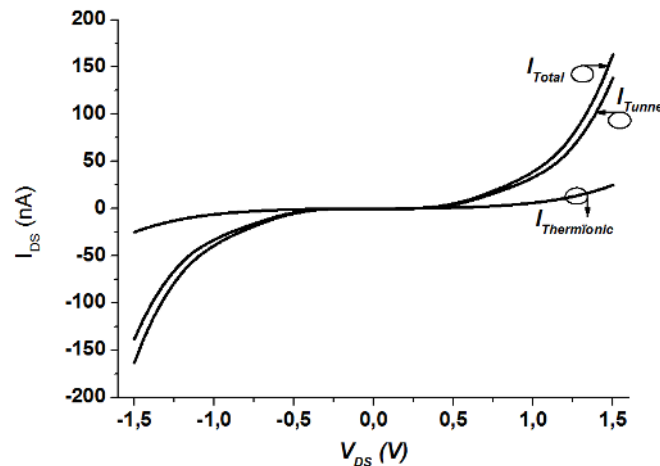


Fig. 29 : Caractéristiques I_D - V_{DS} du SET pour $V_{GS} = 0$ V simulées à 300K et où toutes les composantes du courant total traversant le dispositif sont illustrées. Les paramètres du SET sont $C_G = 0.23$ aF, $C_S=C_D=0.06$ aF, hauteur de barrière φ_0 (jonction $TiOx/Ti$) = 0.32 eV, constante diélectrique ($TiOx$) $\epsilon_r = 4$, surface de la jonction = $2nm*10nm$ et l'épaisseur du diélectriques = $8nm$.

3.6 Routine du modèle

La Fig. 30 illustre la routine du modèle de SET lors du calcul du courant de drain. En effet, la première étape consiste à définir les conditions initiales V_{DS} et V_{GS} dans le but de calculer le

potentiel de l'îlot. Ensuite, le calcul des énergies est effectué. Il faudra souligner que les conditions de blocage de Coulomb sont vérifiées lorsque $\Delta E > 0$, où ΔE correspond à la variation de l'énergie libre du système. La troisième étape détermine l'expression de la fréquence tunnel où Γ représente le taux de transfert en fonction de la transparence des jonctions ainsi que la différence entre l'état initial et final de l'énergie électrostatique. Notons que, contrairement aux autres modèles de SETs dans la littérature, la valeur ajoutée dans notre approche de modélisation est l'incorporation de la variation de la transparence de la barrière tunnel en utilisant l'approximation de *Wentzel–Kramers–Brillouin* (WKB) [24] avec notamment :

- La déformation de la barrière due au potentiel-image ;
- La distribution des électrons dans les électrodes en fonction de la température (T) ;
- L'extraction de la résistance de la jonction tunnel en fonction de la tension de polarisation (V) ;

Afin d'assurer une modélisation réaliste de l'effet tunnel, la résistance tunnel est extraite en fonction de la tension appliquée et rétro-annotée dans les équations (3.7) ou (3.21) à (3.24). De cette façon, au lieu d'avoir une valeur de résistance R_T constante, ce qui ne reflète pas réellement le comportement au sein du SET, l'expression de la résistance tunnel peut s'écrire comme suit :

$$R_T(V, T) = \frac{V}{J(V, T) * S} \quad (3.29)$$

La prochaine étape consiste à calculer les probabilités $P(n)$. À l'état stationnaire, le nombre d'électrons entrant est égale au nombre d'électrons sortant de l'îlot. Finalement, une fois que toutes les étapes ont été réalisées, le calcul du courant total traversant le SET (courant tunnel et courant thermoionique) est réalisé.

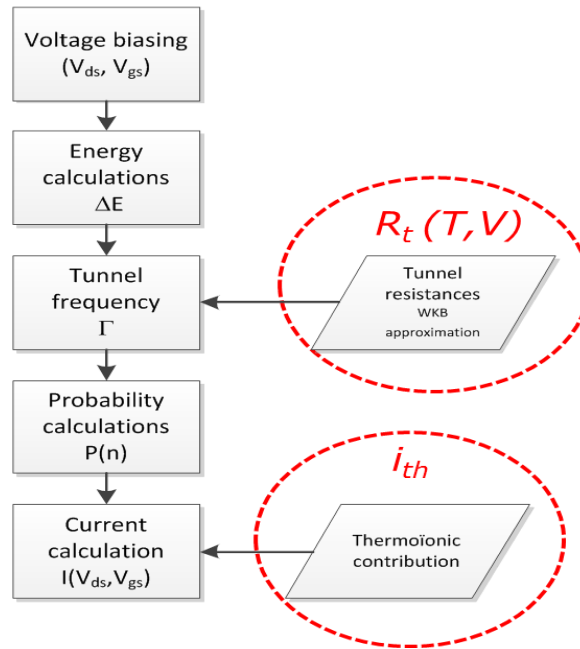


Fig. 30 : Routine du modèle pour le calcul du courant dans le SET.

3.7 Validation & Vérification du modèle

Le modèle a été vérifié par rapport aux données expérimentales de SETs (jonctions $Ti/TiOx$) fonctionnant à haute température. Tel qu'illustré dans la Fig. 31, la caractéristique $I_{DS}-V_{DS}$ du SET est considérablement affectée par la tension appliquée, la température et les caractéristiques simulées correspondent parfaitement aux données expérimentales. Toutes les contributions gouvernées par les mécanismes de conduction tels que le courant tunnel, la conduction Fowler-Nordheim pour les forts champs ainsi que le courant thermoïonique sont considérées (Fig. 29). Une comparaison a été effectuée pour différentes températures de fonctionnement entre notre modèle et le modèle MIB afin de vérifier l'exactitude et la précision de notre approche de modélisation. Il est à noter que le modèle MIB est un des modèles les plus populaires pour la simulation de circuits hybrides SET-FET, et ses résultats ont été vérifiés par rapport aux simulations MC. Les Fig. 32 et Fig. 33 illustrent le fait que notre modèle prend en considération l'augmentation du courant en fonction de la température et de la tension appliquée, contrairement au MIB où aucune différence n'est observée. Cela démontre que le MIB est limité aux basses températures et que les variations de la résistance tunnel et du courant thermoïonique favorisées par l'augmentation de la température affectent drastiquement les caractéristiques $I_{DS}-V_{GS}$ du SET. La Fig. 34 montre l'effet des charges parasites sur les caractéristiques $I_{DS}-V_{GS}$ du SET. Il est à noter que si le nombre de charges

parasites est un multiple entier de la charge élémentaire (e), les caractéristiques du SET demeurent inchangées. Cependant, si le nombre des charges parasites est un nombre fractionnel, les oscillations de Coulomb se décalent sur l'axe V_{GS} (Fig. 34). L'origine des charges parasites, leur impact sur les circuits logiques à base de SET ainsi que les solutions pour les contourner seront discutés par la suite (voir Chap. 4, § 4.4). Le tableau ci-après présente les paramètres physiques et électriques du modèle utilisé dans notre approche de calcul.

Table I : Paramètres physiques et électriques utilisés dans le modèle

<i>Paramètres clés du Modèle</i>			
ϵ_r	<i>Constante Diélectrique</i>	ξ	<i>Charges Parasites</i>
ϕ	<i>Hauteur de Barrière</i>	C_S	<i>Capacité Source</i>
s	<i>Épaisseur Diélectrique</i>	C_D	<i>Capacité Drain</i>
h	<i>Hauteur de Jonction</i>	C_{G1}	<i>Capacité de Grille</i>
w	<i>Largeur de Jonction</i>	C_{G2}	<i>Seconde Capacité de Grille</i>

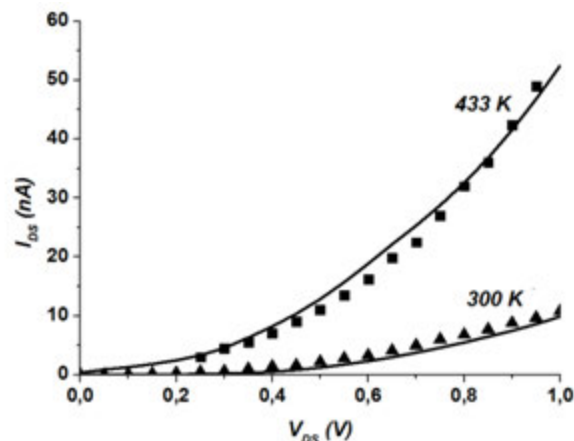


Fig. 31 : Caractéristiques I_D - V_{DS} du SET pour $V_{GS} = 0$ V calculées selon notre modèle et les résultats expérimentaux [7] à 300K et 433K. Les paramètres du SET sont $C_G = 0.23$ aF, $C_S = C_D = 0.06$ aF, hauteur de barrière ϕ_0 (jonction TiOx/Ti) = 0.32 eV, constante diélectrique (TiOx) $\epsilon_r = 4$, surface de la jonction = 2nm*10nm et l'épaisseur du diélectriques = 8nm.

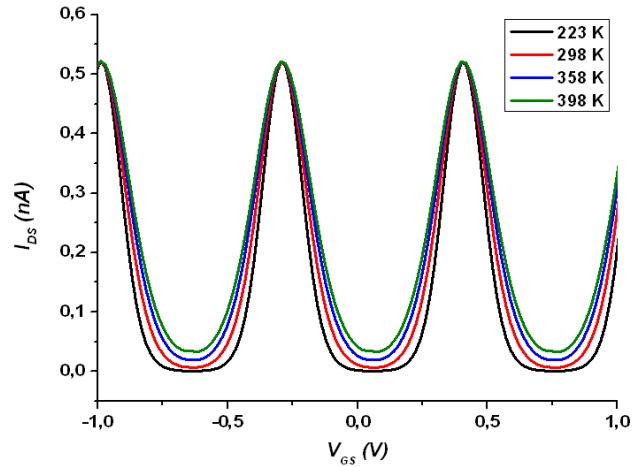


Fig. 32 : Caractéristiques I_D - V_{GS} calculées pour différentes températures selon le modèle MIB. Les paramètres du SET sont $C_G = 0.23$ aF, $C_S = C_D = 0.06$ aF, $V_{DS} = 120$ mV, $R_D = 55$ M Ω et $R_S = 60$ M Ω

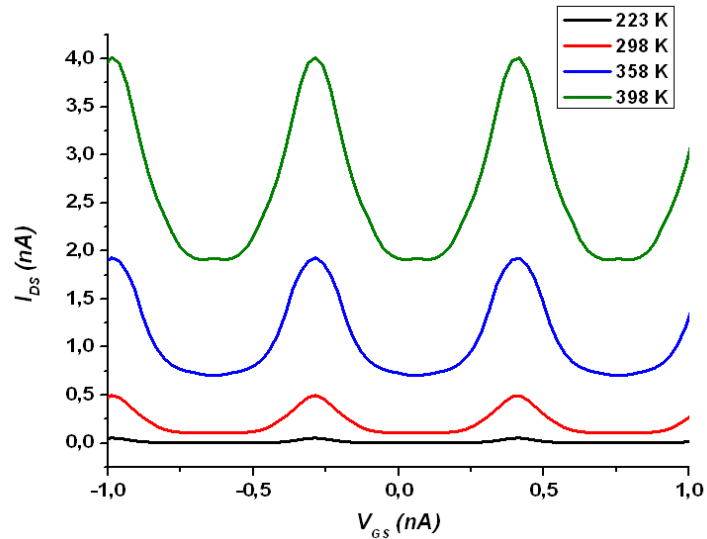


Fig. 33 : Caractéristiques I_D - V_{GS} calculées pour différentes températures selon notre modèle. Les paramètres du SET sont $C_G = 0.23$ aF, $C_S = C_D = 0.06$ aF, and $V_{DS} = 120$ mV.

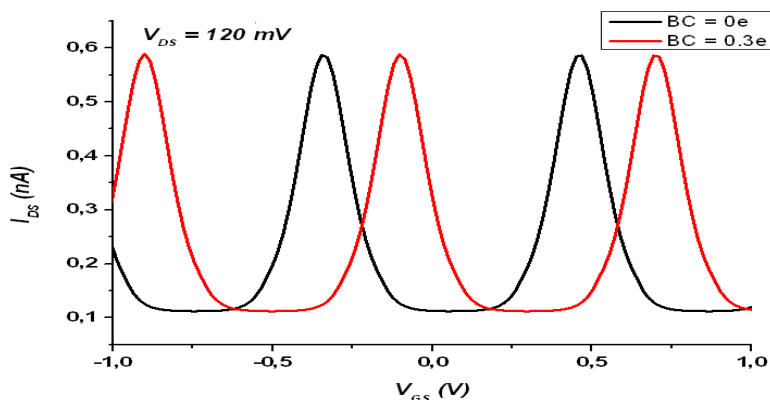


Fig. 34 : Effet des charges parasites. Si la charge parasite est un nombre fractionnaire, ici $0.3e$, la caractéristique I_D - V_{GS} est décalé sur l'axe V_{GS} par $e*\xi/C_G$ (courbe en rouge). Dans le cas où la quantité de la charge parasite ξ est un entier de la charge élémentaire (e), il n'y a aucun changement sur la caractéristique du SET. Les paramètres du SET sont $C_G = 0.23$ aF, $C_S = C_D = 0.06$ aF, et $T = 300$ K.

3.8 Synthèse

Plusieurs modèles analytiques de SET basés sur la théorie orthodoxe, ont été proposés jusqu'à présent. Parmi eux, on peut notamment citer les modèles suivants :

- Le premier modèle compact de SET [30] a été proposé par Uchida de Toshiba Inc. Il a utilisé l'équation maîtresse (ME) pour développer son modèle. Mais, ce dernier est limité à un $|V_{DS}| \leq e/C$ et applicable seulement pour les composants symétriques et les circuits numériques. Son modèle ne prend pas en considération l'effet des charges parasites, ce qui est important dans le fonctionnement des SET.
- Inokawa de NTT Lab [13], a étendu ensuite le modèle d'Uchida, pour des SETs asymétriques mais n'a pas pris en compte l'effet des charges parasites.
- C. Le Royer du CEA-LETI [17], a développé un modèle de SET qui repose aussi sur l'équation maîtresse. Son modèle fournit des résultats assez raisonnables en termes de précision.
- Mahapatra de l'EPFL [21], a développé un modèle basé lui aussi sur la ME valable pour $|V_{DS}| \leq 3e/C$. Dans sa version simplifiée, ce modèle est assez rapide car il considère que le courant circule uniquement dans un seul sens. Cela permet de minimiser le nombre de termes exponentiels. D'autre part, la précision du modèle est dégradée pour les températures élevées.

Dans ce chapitre nous avons présenté, dans un premier temps, la physique et le fonctionnement du SET. Un état de l'art non-exhaustif des outils CAO, des méthodes et techniques de simulations généralement utilisées pour l'analyse de circuits à base de SET a été présenté. Nous avons discuté, par la suite, notre approche de modélisation du courant qui traverse le SET en résolvant l'équation maîtresse (ME) à l'état stationnaire. Le courant de drain est modélisé en fonction de la température et de la tension appliquée. A cet effet, notre modèle a apporté une nouvelle amélioration dans le calcul du courant de drain pour des températures élevées et offre des résultats de calcul d'une assez bonne précision avec un temps de simulation raisonnable (en se limitant qu'aux termes essentiels des évènements tunnel). Contrairement aux simulateurs qui font référence dans le domaine où il n'y a pas de notion de la transparence tunnel (la résistance tunnel R_T est un paramètre fixe), les caractéristiques et paramètres physiques et géométriques des jonctions tunnel, le calcul de toutes les contributions régies par les mécanismes de conduction tels que le courant tunnel direct, la variation de la transparence tunnel en fonction de la polarisation et la contribution de l'émission thermo onique (qui devient considérable dans les SETs métalliques opérant à haute température) ont été incorporés dans le modèle proposé. Cela permet, en effet, de contourner les limites de la théorie orthodoxe, et par la même occasion d'avoir une approche plus réaliste basée sur des résultats expérimentaux de SETs fonctionnant à haute température. De plus, le modèle proposé est valable pour les circuits analogiques et digitaux, prend en compte les effets de charges parasites, n'est pas limité en température et il est adéquat pour les SETs à une seule ou plusieurs grilles. Cela pourrait être très utile pour les concepteurs de circuits et nécessaire pour l'implémentation de SETs dans les futurs circuits ULSI puisque nous pouvons estimer les performances réelles de circuits à base de SETs. Par ailleurs, notre modèle analytique est implémenté en langage Verilog-A, ce qui permet la co-simulation avec les transistors FETs classiques (architectures hybrides SET-CMOS), et par conséquent, son intégration dans un environnement de conception et simulation de circuits intégrés. Enfin, il faut souligner que les interactions électrostatiques de SET à SET ne sont pas intégrées dans le modèle développé. Ce niveau de complexité supplémentaire pourrait être nécessaire à l'avenir en cas de réseaux de SETs très denses.

Le prochain chapitre porte sur le développement d'une bibliothèque de cellules logiques standards dont les performances ont été estimées en utilisant notre modèle de SET.

RÉFÉRENCES DU CHAPITRE 3

Liste des références

- [1] Amman, M., Wilkins, R., Ben-Jacob, E., Maker, P. D. et Jaklevic, R. C. (1991). Analytic solution for the current-voltage characteristic of two mesoscopic tunnel junctions coupled in series. *Physical Review B*, volume 43, numéro 1, p. 1146-1149.
- [2] Averin, D. V. et Likharev, K. K. (1986). Coulomb blockade of single-electron tunneling, and coherent oscillations in small tunnel junctions. *Journal of Low Temperature Physics*, volume 62, numéro 3-4, p. 345-373.
- [3] Averin, D. V., Likharev, K. K. (1991). Chapter 6 - Single Electronics: A Correlated Transfer of Single Electrons and Cooper Pairs in Systems of Small Tunnel Junctions. Dans *Modern Problems in Condensed Matter Sciences*. Elsevier, p. 173-271.
- [4] Beaumont, A., Dubuc, C., Beauvais, J. et Drouin, D. (2009). Room Temperature Single-Electron Transistor Featuring Gate-Enhanced on -State Current. *Electron Device Letters, IEEE*, volume 30, numéro 7, p. 766-768.
- [5] Chen, R. H., Korotkov, A. N. et Likharev, K. K. (1996). Single-electron transistor logic. *Applied Physics Letters*, volume 68, numéro 14, p. 1954-1956.
- [6] Cordan, A. S., Leroy, Y., Goltzene, A., Pepin, A., Vieu, C., Mejias, M. et Launois, H. (2000). Temperature behavior of multiple tunnel junction devices based on disordered dot arrays. *Journal of Applied Physics*, volume 87, numéro 1, p. 345-352.
- [7] Dubuc, C., Beaumont, A., Beauvais, J. et Drouin, D. (2009). Current conduction models in the high temperature single-electron transistor. *Solid-State Electronics*, volume 53, numéro 5, p. 478-482.
- [8] Fonseca, L. R. C., Korotkov, A. N., Likharev, K. K. et Odintsov, A. A. (1995). A numerical study of the dynamics and statistics of single electron systems. *Journal of Applied Physics*, volume 78, numéro 5, p. 3238-3251.
- [9] Fulton, T. A. et Dolan, G. J. (1987). Observation of single-electron charging effects in small tunnel junctions. *Physical Review Letters*, volume 59, numéro 1, p. 109-112.
- [10] Geerligs, L. J., Anderegg, V. F., Holweg, P. A. M., Mooij, J. E., Pothier, H., Esteve, D., Urbina, C. et Devoret, M. H. (1990). Frequency-locked turnstile device for single electrons. *Physical Review Letters*, volume 64, numéro 22, p. 2691-2694.
- [11] Gorter, C. J. (1951). A possible explanation of the increase of the electrical resistance of thin metal films at low temperatures and small field strengths. *Physica*, volume 17, numéro 8, p. 777-780.

- [12] Ingold, G. - et Nazarov, Y. V. (1992). Charge tunneling rates in ultrasmall junctions. Dans *Proceedings of a NATO Advanced Study Institute. Single Charge Tunneling. Coulomb Blockade Phenomena in Nanostructures*. Plenum, New York, NY, USA, p. 21-107.
- [13] Inokawa, H. et Takahashi, Y. (2003). A compact analytical model for asymmetric single-electron tunneling transistors. *Electron Devices, IEEE Transactions on*, volume 50, numéro 2, p. 455-461.
- [14] Kouwenhoven, L. P., Johnson, A. T., Van Der Vaart, N. C., Harmans, C. J. P. M. et Foxon, C. T. (1991). Quantized current in a quantum-dot turnstile using oscillating tunnel barriers. *Physical Review Letters*, volume 67, numéro 12, p. 1626-1629.
- [15] Kulik, I. O. et Shekhter, R. I. (1975). Kinetic phenomena and charge discreteness effects in granulated media. *Zhurnal Eksperimental'noi i Teoreticheskoi Fiziki*, volume 62, numéro 2, p. 623-40.
- [16] Lambe, J. et Jaklevic, R. C. (1969). Charge-quantization studies using a tunnel capacitor. *Physical Review Letters*, volume 22, numéro 25, p. 1371-1375.
- [17] Le Royer, C. (2003). *Modélisation et simulation des effets mono-électroniques dans les nano-dispositifs: application aux mémoires à peu d'électrons et à la logique à base de sets (single-electron transistor)*. Ph.D., Université Joseph Fourier,
- [18] Lientschnig, G., Weymann, I. et Hadley, P. (2003). Simulating Hybrid Circuits of Single-Electron Transistors and Field-Effect Transistors. *Japanese Journal of Applied Physics, Part 1: Regular Papers and Short Notes and Review Papers*, volume 42, numéro 10, p. 6467-6472.
- [19] Likharev, K. K. (1988). Correlated discrete transfer of single electrons in ultrasmall tunnel junctions. *IBM Journal of Research and Development*, volume 32, numéro 1, p. 144-158.
- [20] Likharev, K. K. (1999). Single-electron devices and their applications. *Proceedings of the IEEE*, volume 87, numéro 4, p. 606-632.
- [21] Mahapatra, S., Vaish, V., Wasshuber, C., Banerjee, K. et Ionescu, A. -. (2004). Analytical modeling of single electron transistor for hybrid CMOS-SET analog IC design. *Electron Devices, IEEE Transactions on*, volume 51, numéro 11, p. 1772-1782.
- [22] Pruvost, B., Mizuta, H. et Oda, S. (2008). Voltage-limitation-free analytical single-electron transistor model incorporating the effects of spin-degenerate discrete energy states. *Journal of Applied Physics*, volume 103, numéro 5,

- [23] Sée, J. (2003). *Théorie du blocage de Coulomb appliquée aux nanostructures semiconductrices : modélisation des dispositifs à nanocristaux de silicium*. Ph.D., Université Paris-Sud.
- [24] Simmons, J. G. (1963). Generalized Formula for the Electric Tunnel Effect between Similar Electrodes Separated by a Thin Insulating Film. *Journal of Applied Physics*, volume 34, numéro 6, p. 1793-1803.
- [25] (1992). Single Charge Tunneling. Coulomb Blockade Phenomena in Nanostructures. Proceedings of a NATO Advanced Study Institute. Dans Grabert, H. et Devoret, M. H., *Proceedings of a NATO Advanced Study Institute. Single Charge Tunneling. Coulomb Blockade Phenomena in Nanostructures*. Plenum, New York, NY, USA, p. xiii+335.
- [26] Stewart, W. J. (1994). *Introduction to the numerical solution of Markov chains*. Princeton University Press NJ,
- [27] Sze, S. M. et Ng, K. K. (2006). *Physics of semiconductor devices*. Wiley-interscience,
- [28] Talbo, V. (2012). *Étude théorique du transport électronique dans les nanodispositifs à boîtes quantiques semiconductrices*. Ph.D., Université Paris Sud-Paris XI,
- [29] Talbo, V., Galdin-Retailleau, S., Valentin, A. et Dollfus, P. (2011). Physical Simulation of Silicon-Nanocrystal-Based Single-Electron Transistors. *Electron Devices, IEEE Transactions on*, volume 58, numéro 10, p. 3286-3293.
- [30] Uchida, K., Matsuzawa, K., Koga, J., Ohba, R., Takagi, S. - et Toriumi, A. (2000). Analytical single-electron transistor (SET) model for design and analysis of realistic SET circuits. *Japanese Journal of Applied Physics, Part 1: Regular Papers and Short Notes and Review Papers*, volume 39, numéro 4 B, p. 2321-2324.
- [31] Van Houten, H., Beenakker, C. et Staring, A. (2005). Coulomb-Blockade Oscillations in Semiconductor Nanostructures. *arXiv preprint cond-mat/0508454*,
- [32] Wasshuber, C. (2001). *Computational single-electronics*. Springer,
- [33] Wasshuber, C., Kosina, H. et Selberherr, S. (1997). SIMON-A simulator for single-electron tunnel devices and circuits. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, volume 16, numéro 9, p. 937-44.
- [34] Yu, Y., Oh, J., Hwang, S. et Ahn, D. (2000). Implementation of single electron circuit simulation by SPICE: KOSECSPICE. Dans *Proc. Asia Pasific Workshop Fundamental Application Advanced Semiconductor Device*p. 85-90.
- [35] Yun-Seop Yu, Sung-Woo Hwang et Ahn, D. (1999). Macromodeling of single-electron transistors for efficient circuit simulation. *Electron Devices, IEEE Transactions on*, volume 46, numéro 8, p. 1667-1671.

- [36] Zhang, F., Tang, R. et Kim, Y. -. (2005). SET-based nano-circuit simulation and design method using HSPICE. *Microelectronics Journal*, volume 36, numéro 8, p. 741-748.

CHAPITRE 4 Conception de Circuits Logiques à base de DG-SETs : Approche Standard Cell

4.1 Méthodologie de Conception

4.1.1 Conditions de Polarisation

Nous avons vu dans le chapitre précédent que le SET peut agir comme un interrupteur. En effet, en appliquant une polarisation adéquate sur la grille, il est possible de contrôler le transfert de charge à travers le SET, et donc de passer d'un état de blocage de Coulomb du SET (état *OFF*) à un état de conduction de courant (état *ON*). La Fig. 35 illustre la caractéristique du courant source-drain I_{DS} en fonction de la tension source-drain V_{DS} pour $V_{GOFF} = 0$ et $V_{GON} = e/2C_G$ (l'effet du blocage de Coulomb disparaît). Quand la tension source-drain V_{DS} reste inférieure à la tension de blocage (appelée seuil : $e/2C_S$), les états *ON/OFF* du SET peuvent être parfaitement contrôlés par la grille.

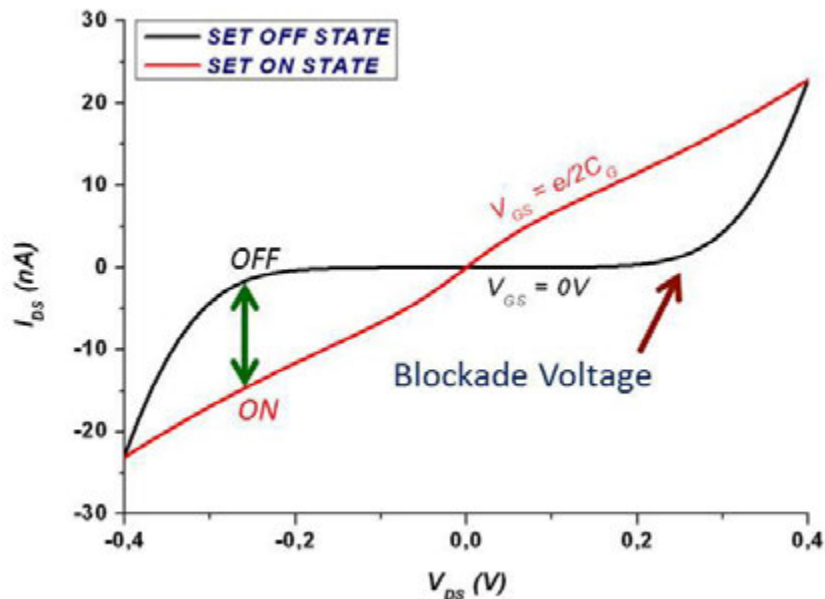


Fig. 35 : Caractéristiques I_{DS} - V_{DS} simulées (notre modèle) du SET à 300K à l'état *OFF* ($V_{GS} = 0$ V) et à l'état *ON* ($V_{GS} = e/2C_G$). Les paramètres du SET et des jonctions sont : $C_G = 0.2$ aF, $C_S = C_D = 0.05$ aF, hauteur de barrière ϕ_0 (jonction *TiOx/Ti*) = 0.4 eV, constante diélectrique (*TiOx*) $\epsilon_r = 3.9$, surface de la jonction = 1nm*5nm et l'épaisseur du diélectrique = 2nm.

4.1.2 Approche Bipolaire

Le schéma d'un circuit inverseur SET opérant sous un mode bipolaire est présenté ci-après (Fig. 36). Notons que dans ce cas, nous utilisons un dispositif SET à une seule grille de contrôle. Bien que le schéma du circuit ressemble à un inverseur CMOS, nous pouvons relever deux principales différences :

- Contrairement à la logique CMOS contenant des transistors de type N et des transistors de type P, ici : les deux transistors SET (T1) et (T2) sont identiques.
- Les tensions d'alimentation V_{DD} et V_{SS} sont définies par les paramètres du SET. Ceci peut être expliqué de la manière suivante : supposons qu'à l'instant $t = 0$, la sortie $V_{OUT} = 0$ et à l'instant $t = 0^+$ l'entrée est fixée à V_{DD} . Dans ce cas, il faudra s'assurer que le transistor (T1) reste dans le régime dit de blocage de Coulomb, autrement la tension de sortie commencera à augmenter. Ainsi, si l'on considère $C_S = C_D = C_T$, on obtient :

$$V_{\text{flot}}(T1) - \alpha \leq 0$$

⇒

$$V_{DD} * \left(\frac{C_{G1} + C_T}{C_\Sigma} \right) \leq \frac{e}{2C_\Sigma} \quad (4.1)$$

⇒

$$V_{DD} \leq \frac{e}{2(C_{G1} + C_T)} \quad (4.2)$$

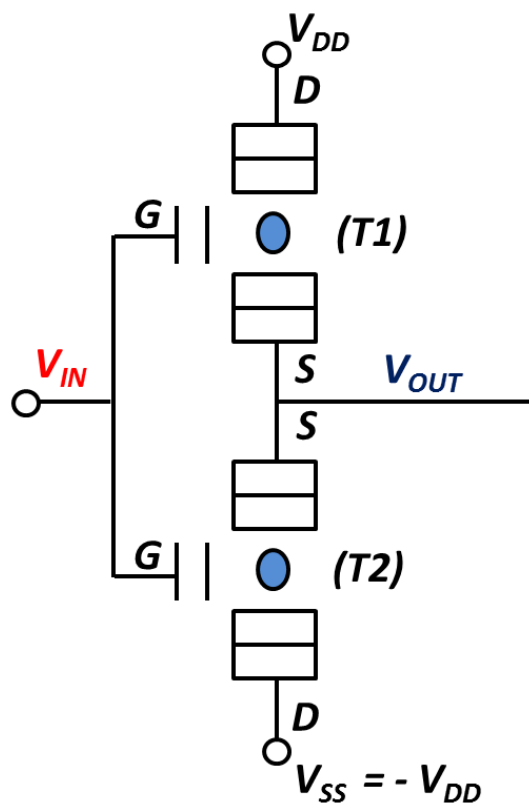


Fig. 36 : Schéma d'un inverseur SET dans le cas d'une polarisation bipolaire. Les terminaux G, D, et S représentent la grille, drain, et source du dispositif.

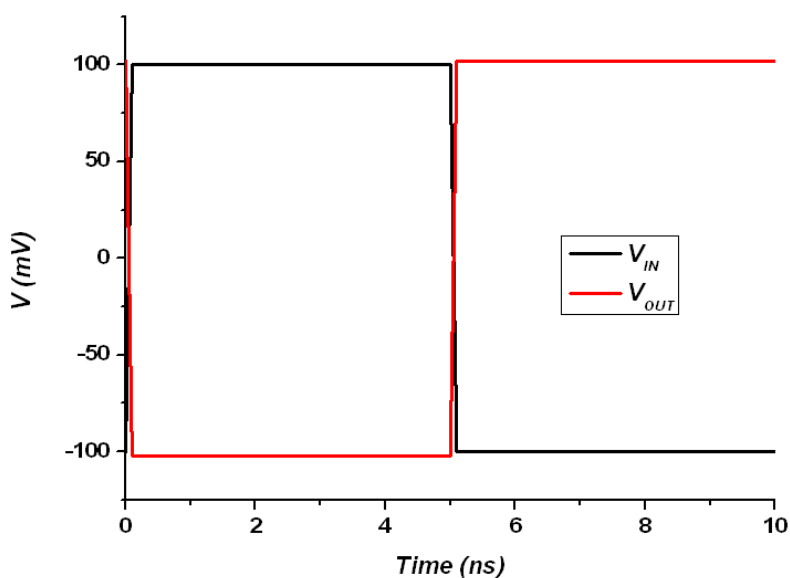


Fig. 37 : Réponse transitoire simulée d'un inverseur SET à polarisation bipolaire. Les paramètres du SET sont : $C_G = 0.2$ aF, $C_S = C_D = 0.05$ aF et $T = 300$ K (simulée avec notre modèle).

La conception de circuits logiques à base de SETs à grille unique nécessite deux sources de tension dont la valeur se situe dans la gamme [$V_{SS} = -e / 2(C_{G1}+C_T)$, $V_{DD} = +e / 2(C_{G2}+C_T)$]. Notons que dans le cas d'un inverseur, les deux transistors ont un comportement identique. Il faudra aussi souligner que dans le cas d'une polarisation bipolaire, les tensions d'entrées et de sorties n'atteignent jamais les valeurs des sources de tension d'alimentation V_{SS} et V_{DD} contrairement à la logique CMOS où la tension de sortie est égale à V_{DD} et G_{ND} (V_{SS}). La tension de sortie est définie de la sorte : $V_{OUT(MAX, MIN)} = V_{DD} (C_G/C_\Sigma)$ [10]. L'usage de deux sources de tension peut s'avérer contraignant puisque la consommation du circuit se voit augmenter mais aussi cela s'avère plus complexe lors de la conception de circuits à grande échelle. En prenant en considération tout cela, on se focalisera par la suite sur un mode d'opération unipolaire pour la conception et la simulation de circuits logiques à base de transistors SET double-grille (DG-SET).

4.1.3 Approche Unipolaire

Dans le cadre des travaux effectués durant cette thèse, nous proposons une méthode de conception de circuits logiques basée sur une structure de SET composée de 4 terminaux (DG-SET). En effet, en optant pour un mode de polarisation unipolaire, on est ainsi compatible avec les techniques de conception conventionnelles CMOS en garantissant une plage d'opération dans la gamme [G_{ND} , V_{DD}]. De ce fait, il est possible de développer une famille de circuits logiques basée sur les DG-SET en gardant les mêmes architectures logiques CMOS. Tandis que l'usage d'une seconde grille a été utilisé dans le but de réduire la consommation statique (courant de fuites) dans le cas des transistors FinFETs [1, 8], l'exploitation de la seconde grille dans la logique DG-SET permet de renforcer le degré de flexibilité lors de la conception. En effet, cela permet de basculer entre les états passant et bloquant du dispositif (ON / OFF) en utilisant la périodicité des oscillations de Coulomb en fonction de la polarisation des grilles. Ainsi, le DG-SET peut être configuré comme un transistor de type N ou de type P selon la tension appliquée sur la deuxième grille. La Fig. 38 illustre la configuration du DG-SET de type N et P, si la tension appliquée sur la seconde grille est égale à G_{ND} ou V_{DD} respectivement. A vrai dire, la grille supplémentaire rend la polarité du SET contrôlable, inspirant de nouvelles opportunités dans la conception logique.

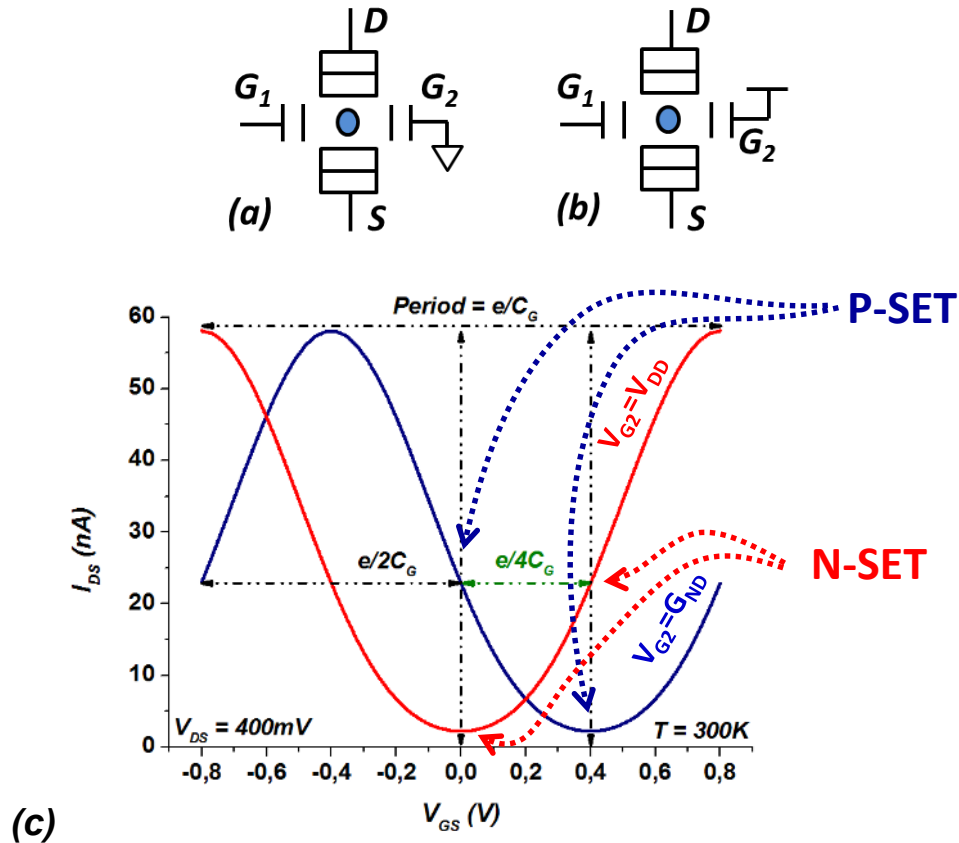


Fig. 38 : Configuration du DG-SET en fonction de la tension appliquée sur la deuxième grille. (a) Type P, (b) Type N, (c) Caractéristiques $I_{DS} - V_{GS}$ simulées (notre modèle) pour $V_{GS2} = G_{ND}$ (type P) et $V_{GS2} = V_{DD}$ (type N).

4.2 Étude de cas : Inverseur DG-SET

4.2.1 Analyse électrique d'un inverseur DG-SET

Dans cette partie, nous allons analyser les caractéristiques électriques d'un circuit élémentaire de base pour la conception de circuits numériques mono-électroniques à savoir l'inverseur DG-SET. Le premier inverseur SET a été développé par [12]. La Fig. 39 représente le schéma électrique de l'inverseur DG-SET. Il est composé de deux DG-SET en série. Ces derniers sont utilisés de façon analogue à leurs homologues en technologie CMOS. Le dispositif de haut agit comme un transistor P-SET, tandis que celui du bas se comporte tel un transistor N-SET. Les caractéristiques statiques et dynamiques de l'inverseur DG-SET simulées sont représentées sur les Fig. 40 et Fig. 41 respectivement.

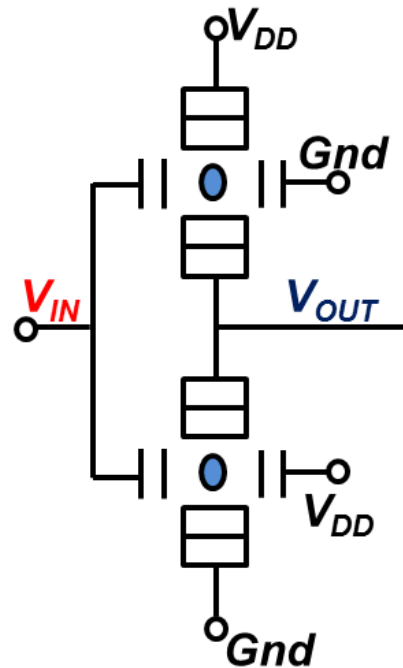


Fig. 39 : Schéma électrique d'un inverseur DG-SET.

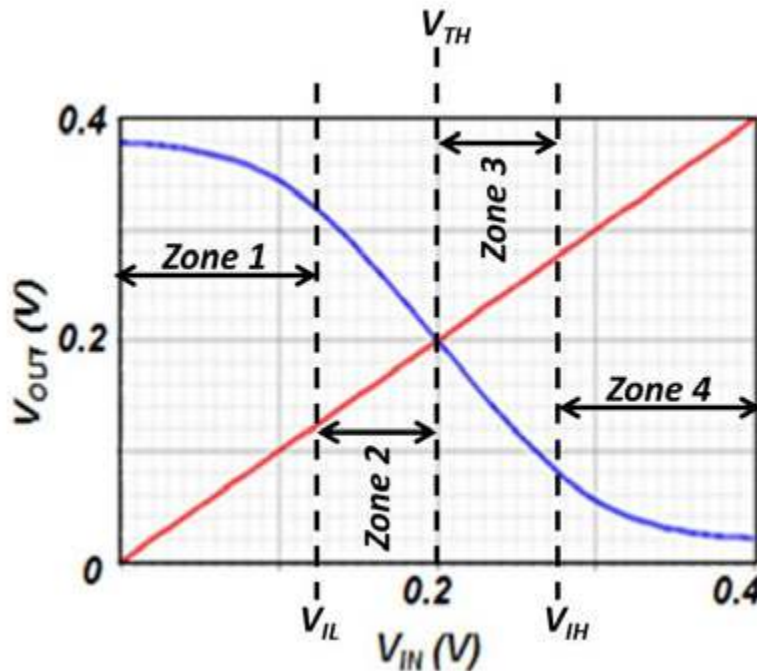


Fig. 40 : Caractéristique statique d'un inverseur DG-SET simulé à l'aide de notre modèle à $T = 300\text{K}$. Les paramètres du SET et des jonctions sont : $C_{G1} = C_{G2} = 0.1 \text{ aF}$, $C_S = C_D = 0.05 \text{ aF}$, hauteur de barrière ϕ_0 (jonction TiOx/Ti) = 0.4 eV , constante diélectrique (TiOx) $\epsilon_r = 3.9$, surface de la jonction = $1\text{nm} \times 5\text{nm}$ et l'épaisseur du diélectrique = 2nm .

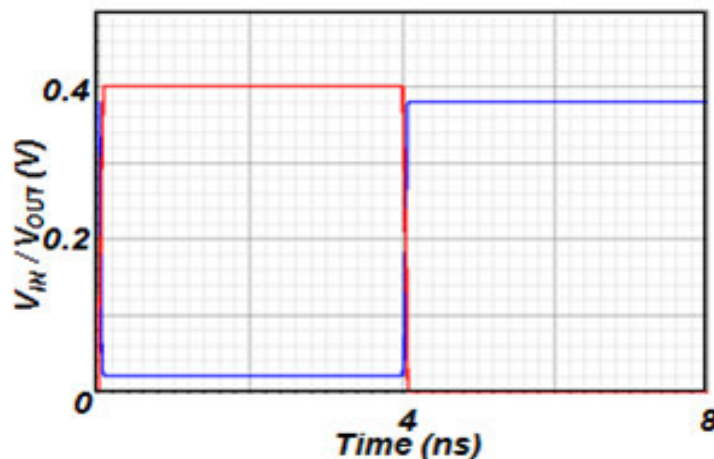


Figure 41 : Réponse dynamique d'un inverseur DG-SET simulée à l'aide de notre modèle à $T = 300\text{K}$. Les paramètres du SET sont similaires à ceux de la Fig. 40.

Table II : Modes d'opérations des transistors P-SET et N-SET d'un inverseur DG-SET

	<i>P-SET</i>	<i>N-SET</i>
<i>Zone 1</i>	<i>ON</i>	<i>OFF</i>
<i>Zone 2</i>	<i>ON</i>	<i>OFF</i>
<i>Zone 3</i>	<i>OFF</i>	<i>ON</i>
<i>Zone 4</i>	<i>OFF</i>	<i>ON</i>

La caractéristique statique de l'inverseur DG-SET peut être divisée en 4 zones (Table II). Les zones 1 et 4 font référence aux niveaux logiques « 0 » et « 1 », tandis que les zones 2 et 3 font référence aux régions de transition logique. Nous allons maintenant analyser les caractéristiques de chaque région.

- Zone 1 :

Si l'on considère la tension de sortie à l'instant $t = 0$ est égale à 0, et si l'on applique la tension $V_{IN} = 0$ à l'instant $t = 0^+$, la réponse transitoire de l'inverseur ressemblera à celle illustrée dans la Fig. 41. En effet, on peut remarquer que dès que l'on applique la tension d'entrée V_{IN} , le transistor DG-SET de type P est en mode passant (mode de conduction du courant) tandis que le transistor de type N est bloqué (régime de blocage de Coulomb) et par conséquent la tension

de sortie du circuit V_{OUT} augmente. La zone 1 est délimitée par la tension maximale d'entrée que l'on peut interpréter comme un niveau logique « 0 » (V_{IL}). V_{IL} est définie comme suit :

$$V_{IL} = V_{DD} - V_{PSET_SEUIL} \quad (4.3)$$

où V_{DD} et V_{PSET_SEUIL} correspondent à la tension d'alimentation et la tension de seuil du DG-SET (tension à laquelle un électron peut transiter) de type P respectivement avec :

$$V_{PSET_SEUIL} = e/2C_{\Sigma} \quad (4.4)$$

où C_{Σ} est la capacité totale de l'îlot.

- Zone 2 :

Si l'on considère à nouveau la tension de sortie à l'instant $t = 0$ est égale à 0, et si l'on applique la tension V_{IN} tel que $V_{IL} \leq V_{IN} \leq V_{TH}$, le courant qui circule à travers le P-SET diminue en comparaison avec le courant du P-SET débité dans la zone 1 comme on peut le voir sur l'allure du courant (Fig. 47). Toutefois, le P-SET reste toujours passant et le transistor N-SET est maintenu dans un état OFF (régime de blocage de Coulomb). La zone 2 se situe entre V_{IL} et le seuil d'inversion logique de l'inverseur DG-SET (V_{TH}). Dans cette zone V_{TH} est définie comme :

$$V_{TH} = V_{DD}/2 \quad (4.5)$$

- Zone 3 :

De façon similaire, en appliquant une tension V_{IN} tel que $V_{TH} \leq V_{IN} \leq V_{IH}$, le transistor N-SET sort du régime de blocage de Coulomb et commence à conduire du courant. De ce fait, la tension de sortie V_{OUT} diminue. Cependant, le transistor P-SET commence à pénétrer dans la zone de blocage de Coulomb. En effet, les zones 2 et 3 sont inversement symétriques en raison de l'inversion logique du circuit. La zone 3 se situe entre le seuil d'inversion logique de l'inverseur DG-SET (V_{TH}) et V_{IH} . V_{IH} est la tension minimale d'entrée que l'on peut interpréter par un niveau logique « 1 », et définie par :

$$V_{IH} = V_{NSET_SEUIL} \quad (4.6)$$

- Zone 4 :

Inversement au comportement à la zone 1, quand on applique une tension $V_{IN} = V_{DD}$, la réponse transitoire de l'inverseur ressemblera à celle illustrée dans la Fig. 41. En effet, on peut remarquer que dès que l'on applique la tension d'entrée V_{IN} , le transistor DG-SET de type N devient conducteur (état ON) alors que le transistor de type P est à l'état OFF (régime de blocage de Coulomb) et par conséquent la tension de sortie du circuit V_{OUT} diminue.

Comme en technologie CMOS, on peut définir la tension de sortie maximale pour laquelle le niveau de sortie équivaut au « 1 » logique (V_{OH}) par :

$$V_{OH} = V_{DD} \quad (4.7)$$

et la tension de sortie minimal pour laquelle le niveau de sortie équivaut au « 0 » logique (V_{OL}) par :

$$V_{OL} = 0 \quad (4.8)$$

Les marges de bruit haute (NMH) et basse (NML) du circuit peuvent alors être déterminées :

$$NML = V_{IL} - V_{OL} \quad (4.9)$$

$$NMH = V_{OH} - V_{IH} \quad (4.10)$$

Comme les deux transistors qui composent l'inverseur sont identiques et seule la tension appliquée à la seconde grille permet d'avoir un comportement de type P ou N, ils ont donc les mêmes caractéristiques électriques. On peut écrire alors :

$$V_{PSET_SEUIL} = V_{NSET_SEUIL} = e/2C_{\Sigma} \quad (4.11)$$

En résolvant les équations (4.3), (4.6), (4.7), (4.8), (4.9), (4.10) et (4.11), nous obtenons pour un inverseur DG-SET :

$$NML = NMH = V_{IL} \quad (4.12)$$

De cette discussion, nous pouvons conclure que lorsque l'inverseur DG-SET est dans un état logique « 0 », il y a un courant qui circule à travers le N-SET tandis que le P-SET demeure dans le régime de blocage de Coulomb (état OFF) et vice-versa en ce qui concerne le niveau logique « 1 ». Ainsi, en utilisant des DG-SET, nous sommes capables d'avoir un comportement logique complémentaire similaire à la technologie CMOS. Cela s'avère très attrayant pour la conception de circuits logiques mono-électroniques plus complexes.

4.2.2 Analyse dynamique d'un inverseur DG-SET et fréquence maximale d'opération

Dans ce paragraphe, nous nous focalisons sur l'analyse dynamique d'un inverseur DG-SET et plus particulièrement sur l'extraction des parasites liés aux interconnexions et leurs impacts sur les performances dynamiques du circuit. Lors de cette analyse, nous supposons que le niveau métallique contenant la logique à base de DG-SET est intégré dans le BEOL d'une technologie CMOS 28 nm sur substrat massif (Fig. 43). Nous supposons également que le réseau logique DG-SET peut être placé entre deux niveaux de métal (c.-à-d. entre le niveau de métallisation M_X et M_{X+1}), ou bien au-dessus du niveau de métal M_X uniquement. M_X et M_{X+1} correspondent respectivement au niveau M1 et M2 de la Fig. 43. L'étude porte sur un circuit constitué de deux inverseurs en cascade tel qu'illustré sur la Fig. 42. Les valeurs des parasites RC ont été extraits entre les deux inverseurs en fonction de la longueur de l'interconnexion afin d'estimer et d'évaluer leur influence sur la bande passante. Dans le pire cas, nous estimons que l'interconnexion (piste de métal) entre les deux inverseurs DG-SET est réalisée par un nano-fil de Titane (Ti) d'une longueur qui varie de 50 nm à 1 μ m. Pour cela, nous avons utilisé les mêmes caractéristiques (résistivité) du nano-fil tel que présenté dans [4], avec une épaisseur qui varie de 4 nm à 40 nm (Fig. 44-a) ou une épaisseur de l'ordre de 50 nm (Fig. 44-b) et une largeur de 50 nm. La méthode utilisée pour le calcul des capacités parasites (méthode des plaques parallèles) et pour l'extraction des résistances est basée sur les formules classiques suivantes :

$$R = \rho \cdot (L/S) \tag{4.13}$$

$$C = \epsilon_0 \epsilon_r \cdot (A/D) \tag{4.14}$$

où ρ , L et S correspondent respectivement à la résistivité du nano-fil extraite à partir de [4], la longueur et la section (cf. $S = 4 * 50 \text{ nm}^2$) du nano-fil de titane (TiNW), ϵ_0 correspond à la permittivité diélectrique du vide, ϵ_r est la permittivité relative de l'isolant, D équivaut à l'épaisseur des inter-couches d'isolants présents entre les nano-fils et le niveau de métal ($D = 35 \text{ nm}$), et finalement A correspond à la surface apparente du nano-fil vue depuis la couche du métal. Pour raison de commodité, nous avons choisi de prendre en considération uniquement la surface du nano-fil puisqu'elle est la plus petite. De plus, nous partons de l'hypothèse que la contribution des lignes de champs qui sont non-normales à la surface de la couche de métal est négligeable par rapport à la contribution des lignes de champs normales (modèle de capacité en plaques parallèles).

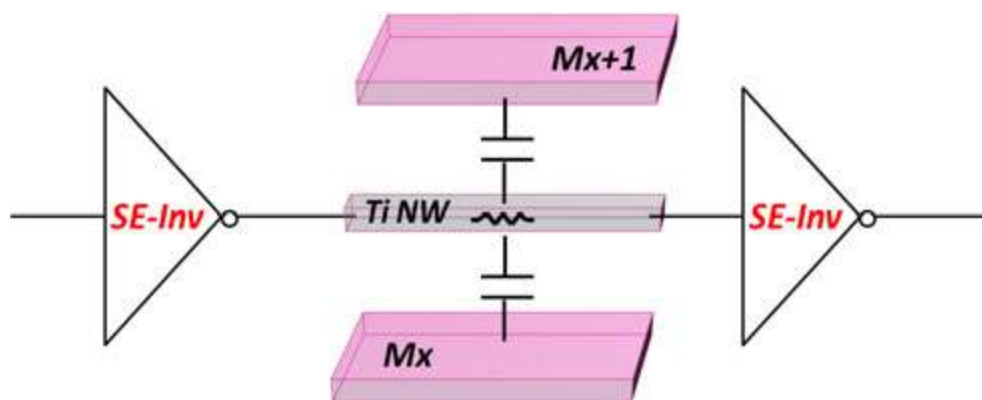


Fig. 42 : Schéma équivalent du circuit étudié avec le modèle RC équivalent.

La Fig. 45 illustre l'impact de la longueur de la piste de métal (interconnexion) sur la fréquence de coupure du circuit étudié. Comme nous pouvons l'observer sur la Fig. 45-a, pour une longueur d'interconnexion de 100 nm une fréquence de coupure de l'ordre de 2 GHz peut être atteinte. Cette valeur a tendance à diminuer lorsque la longueur de l'interconnexion augmente. De plus, nous observons que la fréquence de coupure diminue aussi lorsqu'une couche métallique additionnelle du CMOS est adressée (c.-à-d. prise en compte des niveaux de métal $M_X + M_{X+1}$ – courbe en noir Fig. 45-a). Cela peut-être, en effet, une limitation pour la logique mono-électronique en terme de bande passante. Toutefois, une solution pour contourner cette limitation et améliorer la fréquence de coupure du circuit consiste à utiliser une couche de métal plus large (par exemple utiliser le niveau de métal du CMOS dans le BEOL à la place des TiNWs pour les interconnexions revient à augmenter l'épaisseur du

diélectrique D). Par ailleurs, si l'on remplace la couche de métal (ici M2) par une couche métallique du SET (Fig. 44-b), on est alors capable de réduire les effets parasites et ainsi avoir une augmentation de la fréquence de coupure en atteignant la gamme des 4 GHz comme illustré sur la Fig. 45-b. La Fig. 46 illustre le détail des résultats concernant les fréquences de coupures versus le délai (produit RC) calculées selon les deux configurations d'intégration pour les différentes épaisseurs du nano-fil étudiées.

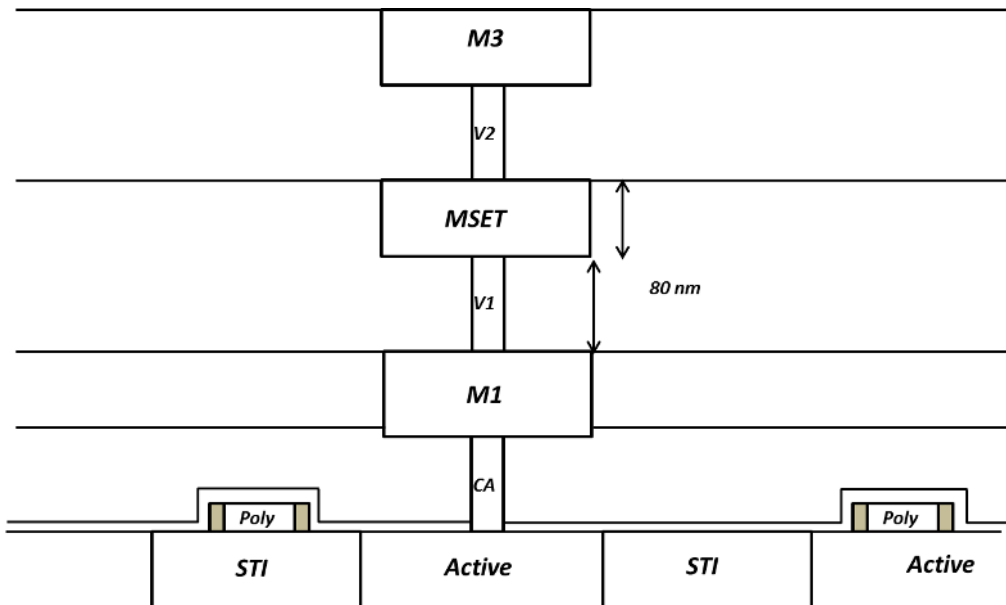


Fig. 43 : Insertion d'un niveau de composants mono-électroniques métalliques dans le BEOL d'une technologie CMOS 28 nm.

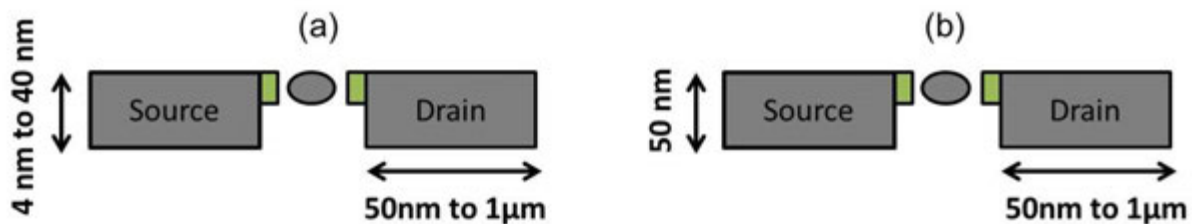


Fig. 44 : Schéma équivalent du nano-fil utilisé lors du calcul de la fréquence de coupure et l'extraction des effets parasites RC .

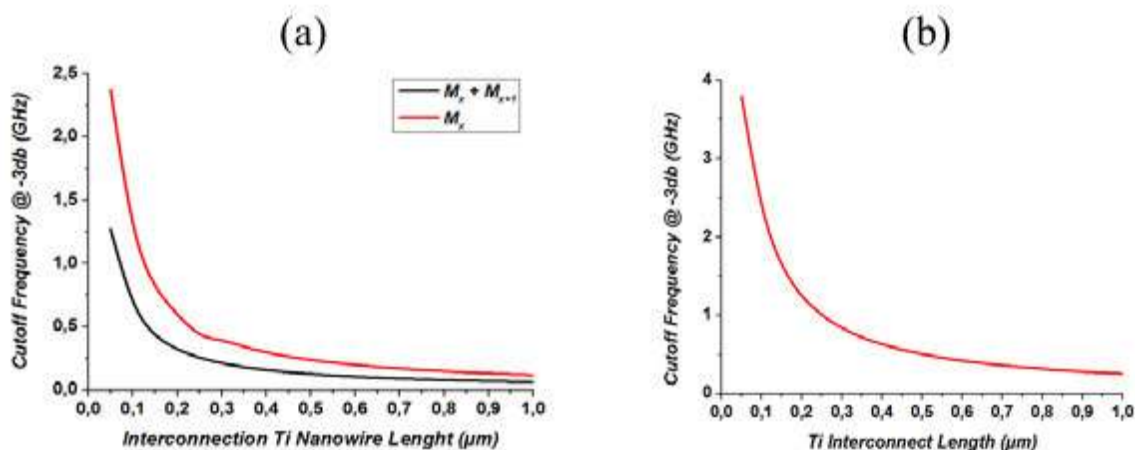


Fig. 45 : Fréquence de coupure versus la longueur de l'interconnexion (worst case).

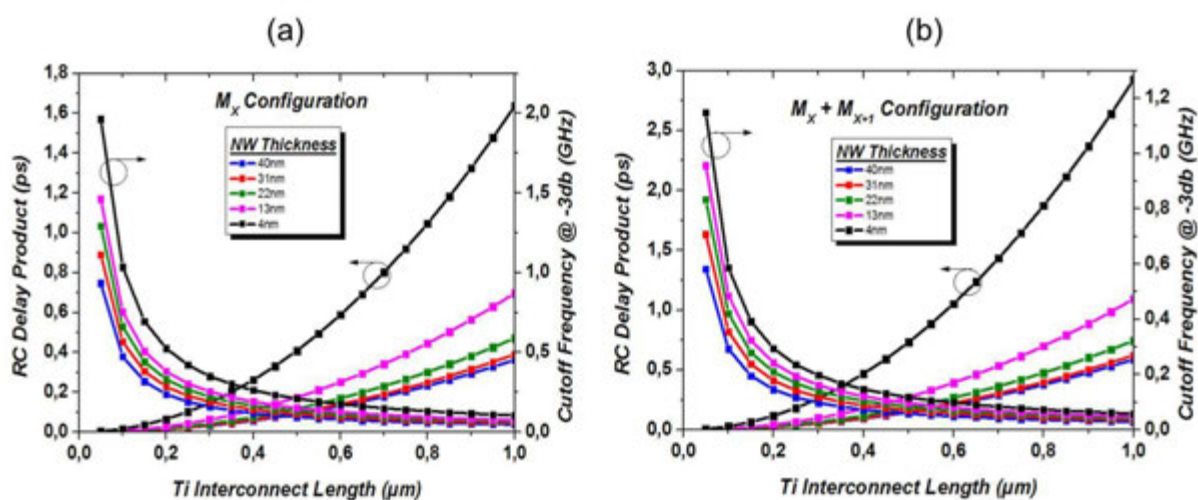


Fig. 46 : Fréquence de coupure et produit RC selon les configurations pour différentes épaisseurs du nano-fil.

4.3 Bibliothèque de cellules standards

4.3.1 Logique DG-SET Complémentaire

En exploitant les propriétés uniques du DG-SET, c'est-à-dire la périodicité des oscillations de Coulomb et la polarisation de la seconde grille, nous disposons des dispositifs « pull-up » et « pull-down ». En effet, la tension appliquée sur la deuxième grille permet de décaler la région de blocage de Coulomb ce qui permet d'obtenir une configuration de type P (P-SET) et de type N (N-SET) (Fig. 47). Ainsi, le DG-SET peut être considéré comme un dispositif programmable. Afin de garder la même approche qu'en technologie CMOS, notre démarche pour la conception de la logique complémentaire DG-SET consiste à avoir des valeurs de V_{GI}

et V_{G2} similaires aux tensions appliquées en entrée du circuit V_{IN1} et V_{IN2} mais aussi aux valeurs des tensions d'alimentation V_{DD} et G_{ND} . Selon [12], la tension d'alimentation V_{DD} est définie par :

$$V_{DD} \leq \frac{e}{2 \text{Max}(C_D + C_{G2}, C_S + C_{G1})} \quad (4.15)$$

Dans notre analyse, l'étude est portée sur des dispositifs DG-SET symétriques, c.-à-d. $C_{G1} = C_{G2} = C_G$ et $C_S = C_D = C_T$. Ainsi, la condition de la tension d'alimentation décrite dans l'équation (4.15) est similaire à l'équation (4.2).

Comme décrit précédemment (Chap. 3, § 3.4), un événement tunnel peut se produire seulement si $|V_{\text{lot}}| > e/2C_{\Sigma}$ (à travers la jonction tunnel côté source) ou $|V_{\text{lot}} - V_{\text{lot}}| > e/2C_{\Sigma}$ (à travers la jonction tunnel côté drain). Ainsi pour assurer les états ouverts et bloqués du transistor et en considérant la deuxième condition, nous pouvons écrire :

$$V_{\text{lot}} - V_{\text{lot}} \leq \alpha \quad (4.16)$$

⇒

$$V_{\text{lot}} - V_{\text{lot}} \leq e/2C_{\Sigma} \quad (4.17)$$

⇒

$$V_{DD} * \left(\frac{C_{G1} + C_{G2}}{C_{\Sigma}} \right) \geq \frac{e}{2C_{\Sigma}} \quad (4.18)$$

⇒

$$V_{DD} \geq \frac{e}{2(C_{G1} + C_{G2})} \quad (4.19)$$

Nous obtenons alors la gamme pour laquelle la tension d'alimentation se situe entre :

$$\frac{e}{2(C_{G1} + C_{G2})} \leq V_{DD} \leq \frac{e}{2 \text{Max}(C_D + C_{G2}, C_S + C_{G1})} \quad (4.20)$$

Grâce aux propriétés intrinsèques du dispositif, les circuits (logiques) DG-SET peuvent être conçus indépendamment de la tension d'alimentation V_{DD} qui, elle-même, est définie par les capacités du DG-SET ($V_{DD} = e / 4C_G$) contrairement à la technologie CMOS où la réduction de la tension d'alimentation est limitée afin de préserver les performances du transistor (limitation de la tension de seuil V_T). La Table III illustre la configuration du DG-SET en fonction de la tension appliquée sur la deuxième grille.

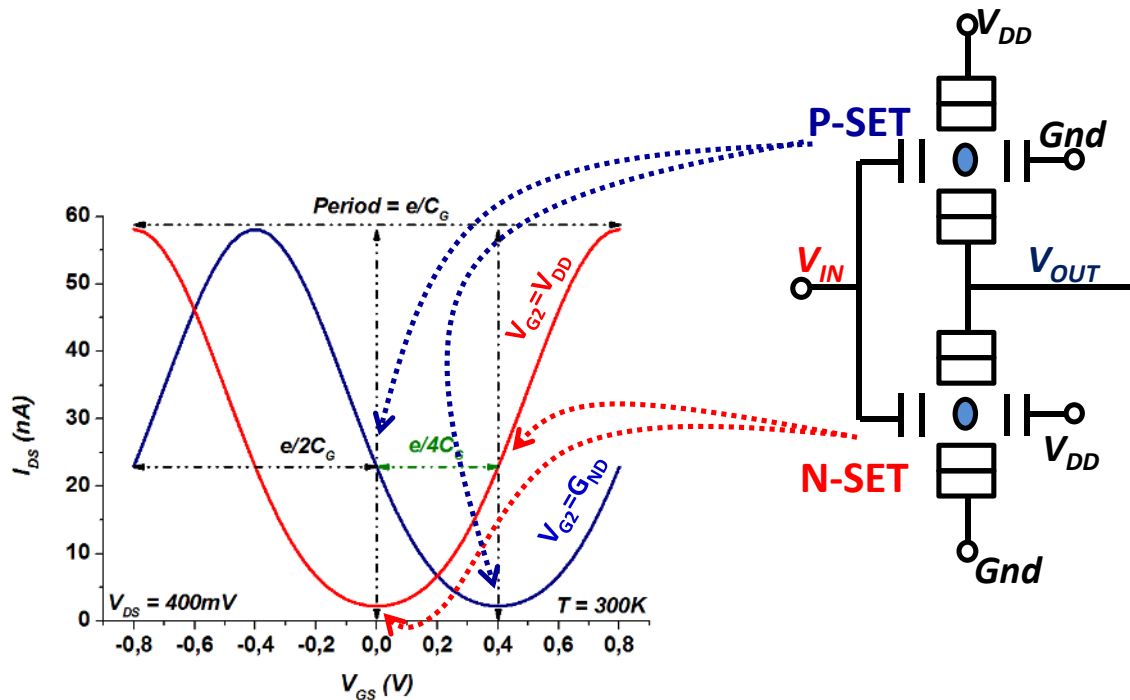


Fig. 47 : Effet de la seconde grille sur le courant et oscillations de Coulomb simulée à l'aide de notre modèle à $T = 300\text{K}$ pour $V_{DS} = 400\text{ mV}$. Utilisation de deux DG-SET pour réaliser un inverseur. Les paramètres du DG-SET et des jonctions sont : $C_{G1} = C_{G2} = 0.1\text{ aF}$, $C_S = C_D = 0.05\text{ aF}$, constante diélectrique (TiO_x) $\epsilon_r = 3.9$, hauteur de barrière ϕ_0 (jonction TiO_x/Ti) $= 0.4\text{ eV}$, surface de la jonction $= 1\text{ nm} * 5\text{ nm}$ et l'épaisseur du diélectrique $= 2\text{ nm}$.

Table III : Configuration du DG-SET.

V_{G1}	V_{G2}	Configuration
'0'	'0'	P-Type
'0'	' '	OFF
' '	'0'	OFF
' '	' '	N-Type

Les circuits à base de DG-SET reposent sur les jonctions tunnel à travers lesquelles les électrons peuvent transiter de façon séquentielle et contrôlée. L'approche adoptée pour la conception des portes logiques basées sur des DG-SETs est de considérer que ces derniers opèrent comme des interrupteurs dont le potentiel des grilles commande le passage du courant à travers le transistor. Comme le montre la Fig. 47, le potentiel de la seconde grille V_{G2} est fixé aux valeurs $[0, e / 4C_G]$ où le ratio du courant des états ON / OFF du transistor est optimal. Cela permet, en effet, de fonctionner dans la gamme $[0, V_{DD}]$ afin d'avoir les deux états logiques « 0 » et « 1 », mais aussi de construire des cellules logiques booléennes de façon similaire à la technologie CMOS. Le principal avantage d'utiliser les DG-SETs de cette manière est de réutiliser les connaissances et méthodes de conception conventionnelles à faibles coût et effort tout en surmontant les restrictions physiques fondamentales de la technologie CMOS dans les nœuds technologiques au-dessous de 10 nm.

Afin de travailler avec une tension d'alimentation $V_{DD} = e / 4C_G = 0,4$ V, nous avons choisi les paramètres utilisés pour la Fig. 47, à savoir $C_{G1} = C_{G2} = 0.1$ aF, $C_S = C_D = 0.05$ aF. Nous utiliserons, par la suite, notre modèle physique de SET métallique (basé sur la technologie nano-damascène de l'Université de Sherbrooke) avec les paramètres rappelés ci-après : constante diélectrique relative (TiOx) $\epsilon_r = 3.9$, hauteur de barrière ϕ_0 (jonction TiOx/Ti) = 0.4 eV, surface de la jonction = 1nm x 5nm et épaisseur du diélectrique = 2nm.

Un ensemble de portes logiques booléennes basées sur les DG-SETs a été conçu et développé en utilisant ces mêmes paramètres. Architecturalement parlant, nous pouvons remarquer sur la Fig. 48 que les circuits numériques DG-SET sont semblables à ceux utilisées en CMOS. On peut alors clairement identifier les réseaux complémentaires « pull-up » et « pull-down » en fixant la polarisation de la seconde grille aux potentiels G_{ND} et V_{DD} respectivement.

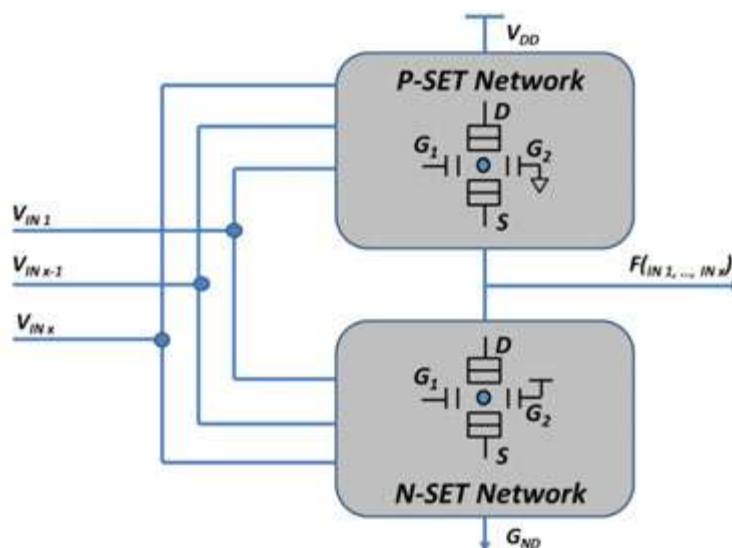


Fig. 48 : Réseau logique statique complémentaire DG-SET.

De façon analogue aux bibliothèques CMOS, la famille de cellules logiques DG-SET développée consiste en des portes universelles telles que les fonctions NAND / NOR, AND / OR, XOR / XNOR à deux et trois entrées. Aussi, la conception a été étendue aux portes logiques complexes telles que les portes AOI21, OAI21 et OA12 dans le but de fournir un ensemble de briques logiques élémentaires qui peuvent être utilisées pour la conception de circuits DG-SET plus complexes. Nous pouvons alors réaliser des fonctions booléennes à l'aide de circuits logiques combinatoires et séquentiels tels que des décodeurs (Fig. 50), multiplexeurs (Fig. 51), registres, etc... [3]. Même si les caractéristiques des DG-SETs diffèrent nettement des transistors MOSFETs, les dispositifs DG-SETs peuvent être utilisés pour réaliser des fonctions logiques en gardant les mêmes architectures CMOS (Fig. 49).

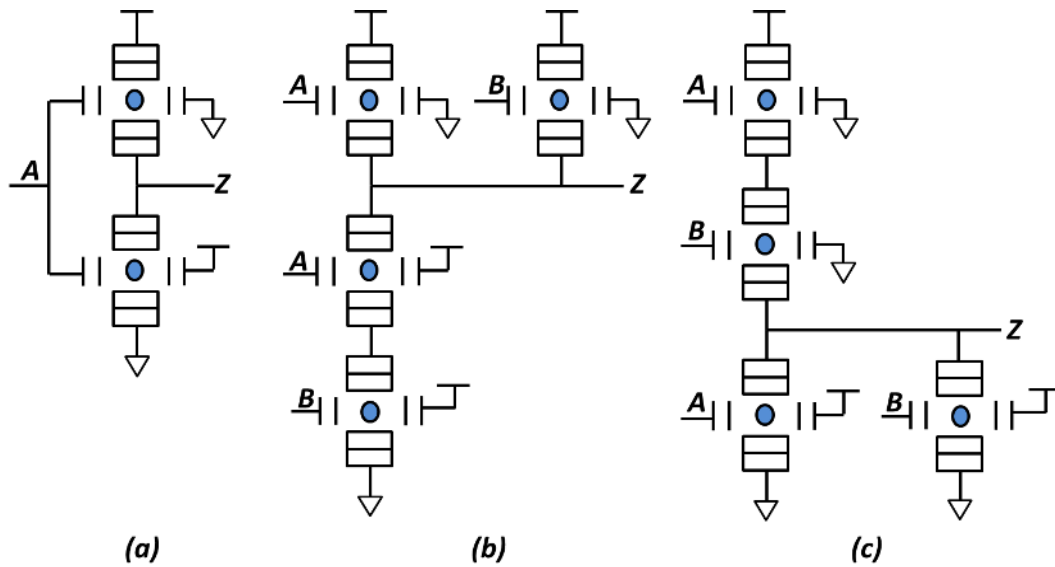


Fig. 49 : Exemple de l'implémentation de portes logiques statiques DG-SET :
 (a) Inverseur, (b) NAND 2, (c) NOR2.

Dans les nœuds technologiques récents, la puissance statique a tendance à devenir plus importante que la puissance consommée lors du fonctionnement du circuit. Cela est plus contraignant pour les circuits de stockage de données qui mémorisent l'information. C'est ce qui nous a motivés pour la conception d'éléments de stockage de données basés sur les DG-SETs. En effet, en raison de la faible gamme de courant et du fonctionnement unique et intrinsèque du DG-SET (flux séquentiel des électrons), la consommation devrait être réduite considérablement. A titre d'exemple, pour un circuit de mémoire statique 1-bit conçu avec des DG-SET, une amélioration considérable de la consommation moyenne a été atteinte par rapport à la technologie CMOS 28 nm [2] (voir Chap. 5, § 5.2.3). Dans ce qui suit, nous nous focalisons sur les éléments séquentiels essentiels tels que la bascule D-Flip-Flop. La structure est composée de deux D-latches connectées en série et contrôlées par un signal d'horloge. La Fig. 52 illustre le schéma d'un registre à décalage mono-électronique 8-bits. La bascule SE-DFF (pour Single Electron DFF) saisie la valeur de la donnée au front montant de l'horloge et devient la sortie Q du circuit. Sinon la valeur de Q ne change pas. En d'autres termes, le latch stocke n'importe quelle valeur de la donnée maintenue quand le signal de l'horloge est à l'état bas. La Fig. 53 montre bien le décalage à droite de la donnée sur chaque front montant de l'horloge.

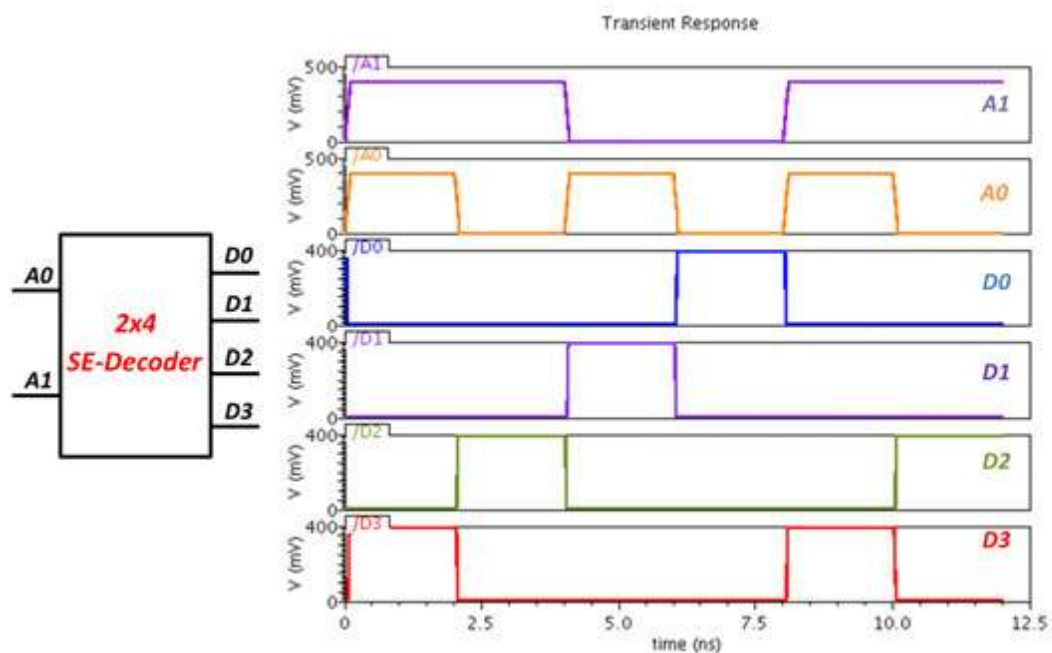


Fig. 50 : Résultats de simulations du décodeur DG-SET 2 vers 4 à 300K.

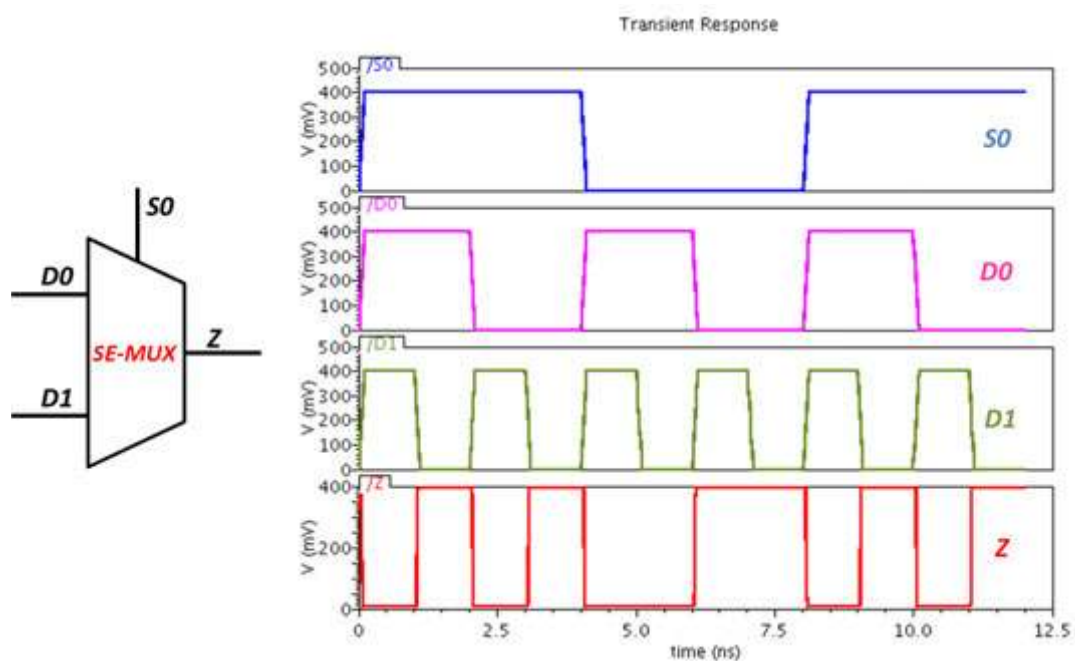


Fig. 51 : Résultats de simulations du multiplexeur DG-SET 2 vers 1 à 300K.

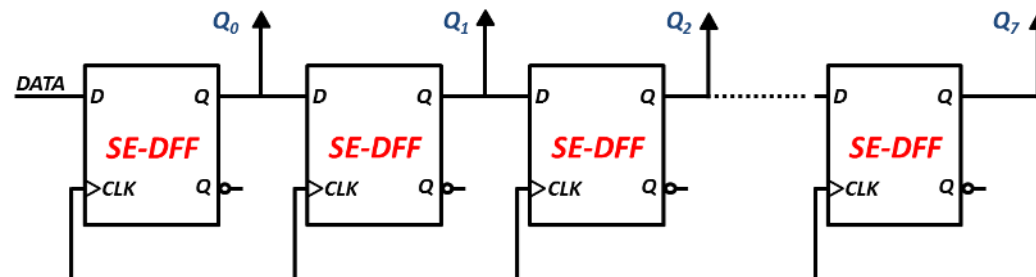


Fig. 52 : Registre à décalage 8-bits DG-SET.

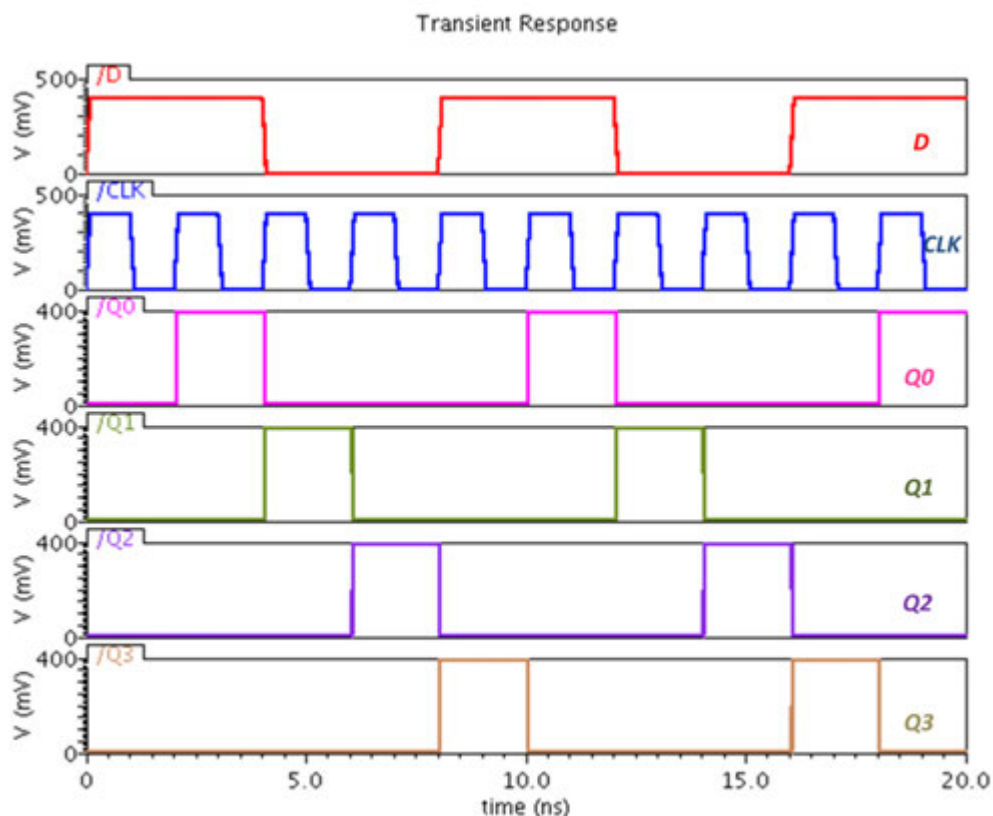


Fig. 53 : Résultats de simulations du registre à décalage DG-SET 8-bits à 300K. La donnée est décalée à droite à chaque coup d'horloge sur front montant.

4.3.2 Diminution du courant de fuite

Contrairement à la logique CMOS, quand la sortie est au niveau logique « 0 » ou « 1 », il existe un courant statique non nul dans la logique SET [11]. En conséquence, la puissance statique P_{STAT} est définie comme la source principale de la dissipation d'énergie dans les circuits mono-électroniques tandis que la puissance dynamique P_{DYN} joue le rôle principal dans la logique CMOS traditionnelle. Puisque les différents modèles de SET ne prennent pas en considération l'effet de la température dans le calcul du courant traversant le SET, il est

pertinent de prendre en compte ce courant thermoïonique. En effet, ce dernier représente ce courant de fuite du composant SET. Le courant de fuite a un fort impact sur la dégradation du signal de sortie des circuits DG-SET. Cela peut-être défavorable dans le cas où d'autres blocs logiques doivent être pilotés. Afin de préserver l'intégrité du signal à haute température, nous avons introduit pratiquement sur chaque cellule un circuit buffer avec des DG-SETs en série qui agissent comme des diviseurs de tensions [7]. Ces buffers sont placés à la fois pour les réseaux « pull-up » et les réseaux « pull-down » (Fig. 54). De cette manière, le courant de fuite à travers les transistors en série est diminué évitant ainsi toute dégradation de la tension de sortie du circuit.

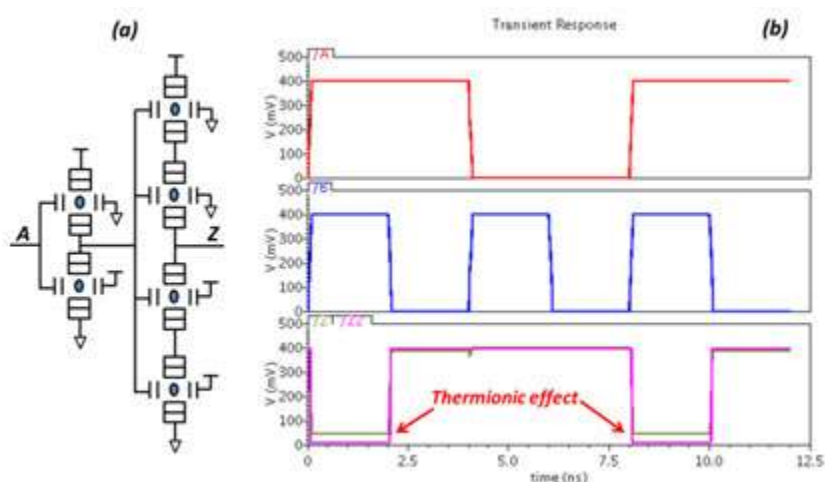


Fig. 54 : (a) Schéma du buffer utilisé pour la restauration du signal de sortie, (b) Effet du courant thermoïonique sur le niveau logique de sortie. Ici, un exemple de la tension de sortie d'une porte NAND2 sans buffer (vert) et avec buffer (rose). Simulation à 300K.

4.3.3 Évaluation des performances de la librairie DG-SET

La consommation moyenne, le délai ainsi que l'énergie des différentes cellules logiques de la librairie DG-SET conçue sont évalués afin de mettre en exergue les avantages des caractéristiques des circuits DG-SET. Les portes logiques implémentées sont les fonctions NOT – NAND – NOR – XOR – XNOR à deux et trois entrées respectivement, les portes logiques complexes telles que les fonctions AOI21 – OAI21 – OA12, des multiplexeurs 2 vers 1 et 4 vers 2, un décodeur 2 vers 4, la bascule D-Flip-Flop (DFF) et les registres à décalages 8-bits. Les simulations ont été réalisées à $T = 300K$ sous les mêmes conditions de

fonctionnement ainsi que les mêmes paramètres des jonctions du DG-SET indiqués sur la Fig. 47. Outre une tension d'alimentation $V_{DD} = 0.4$ V, une fréquence de fonctionnement de 125 MHz a été utilisée. D'après les résultats synthétisés dans la Table IV, les conclusions suivantes peuvent être faites : i) le passage contrôlé des électrons un par un à travers le composant DG-SET est l'origine de l'ultra-basse consommation des cellules logiques ; ii) la consommation des portes NAND2 / NOR 2 est deux fois plus grande par rapport aux portes AND2 / OR2 malgré le nombre de transistors supérieur dans ces derniers (2 transistors empilés en série dans les réseaux « pull-up » et « pull-down ») – cela peut s'expliquer par la présence du buffer de sortie illustré dans la Fig. 54 afin de réaliser les fonction AND2 / OR2 ; iii) avec le même principe (présences de l'empilement DG-SET série), les portes logiques à 3 entrées consomment moins que leurs équivalents à deux entrées. Dans ces travaux de conception d'une bibliothèque de circuits logiques DG-SET dans une approche dite « standard-cells » ou cellules standards, la comparaison des performances de la librairie vis-à-vis d'une librairie CMOS classique n'est pas systématiquement réalisée puisque les résultats dépendront de la cellule « standalone » disponible dans la bibliothèque CMOS. Par exemple, afin de comparer une cellule DG-SET NOR3 à son équivalent en CMOS, nous devons personnaliser le dimensionnement des transistors pour chaque cellule. Pour plus de précision, la cellule la plus petite fournie dans la bibliothèque CMOS est la NORX8. Cela fausse la comparaison. Néanmoins, la faible consommation des circuits logiques à base de SETs par rapport à ceux en technologie CMOS a déjà été démontrée [6, 14]. Malgré cela, afin de mettre en évidence et de souligner l'aspect ultra-basse consommation des DG-SETs, nous avons comparé la consommation moyenne d'un inverseur CMOS en technologie « bulk » et FDSOI 28 nm ($V_{DD} = 0.8$ V et $f = 125$ MHz) dimensionné aux tailles minimales vis-à-vis de toute la bibliothèque DG-SET conçue. Tel que prévu, la librairie DG-SETs présente une réduction de la consommation considérable par rapport aux inverseurs CMOS. A titre d'exemple, et comme nous pouvons l'observer sur les histogrammes de la Fig. 25, la consommation moyenne d'un inverseur réalisé en technologie CMOS (2 MOSFETs) est quasiment la même que pour une bascule DG-SET DFF composée de 84 DG-SETs, et aussi une amélioration significative majeure pour tous les autres circuits logiques DG-SET conçus. Cela rend en effet l'utilisation des DG-SETs très attrayante pour les circuits ULSI mais en gardant en mémoire la limitation en fréquence de fonctionnement liée au faible courant.

Table IV: Performances et caractéristiques des cellules standards de la librairie DG-SET
à $f = 125$ MHz et $V_{DD} = 0.4$ V.

	<i>Conso.</i> <i>Moy. (nW)</i>	<i>Délai</i> <i>(ps)</i>	<i>Produit</i> <i>Conso. Délai</i>	<i>Nombre de</i> <i>Transistors</i>	<i>Conso.</i> <i>Moy/Tr.(nW)</i>	<i>Energie</i> <i>(aJ)</i>
<i>INV</i>	0.75	0.34	0.26	2	0.38	6
<i>BUFF</i>	1.35	0.18	0.25	6	0.23	10.8
<i>NAND2</i>	1.3	21.9	28.47	10	0.13	10.4
<i>NAND3</i>	1.1	33	36.3	12	0.09	8.8
<i>AND2</i>	0.65	21.9	14.24	8	0.08	5.2
<i>AND3</i>	0.42	31.9	13.4	10	0.042	3.36
<i>NOR2</i>	1.12	21.5	24.08	10	0.112	8.96
<i>NOR3</i>	0.98	32.6	31.95	12	0.08	7.84
<i>OR2</i>	0.45	21.5	9.68	8	0.05	3.6
<i>OR3</i>	0.31	33	10.23	10	0.031	2.48
<i>XOR2</i>	2.47	14.8	36.56	14	0.176	19.76
<i>XOR3</i>	1.21	23.5	28.44	28	0.043	9.68
<i>XNOR2</i>	2.47	0.26	0.65	14	0.176	19.76
<i>XNOR3</i>	1.89	1.03	1.95	30	0.063	15.12
<i>AOI21</i>	1.31	11.9	15.6	12	0.109	10.48
<i>OAI21</i>	1.37	12.2	16.72	12	0.114	10.96
<i>OAI2</i>	0.56	14	7.84	10	0.056	4.48
<i>MUX21</i>	1.97	0.24	0.48	16	0.123	15.76
<i>MUX41</i>	5.96	1.25	7.45	48	0.125	47.68
<i>DEC24</i>	3.67	10.8	39.64	36	0.1	29.36
<i>DFP</i>	11.8	12.3	145.14	84	0.14	94.4
<i>8 Bits Shift</i> <i>Reg.</i>	92.1	1.56	143.68	672	0.14	736.8
Moyenne	6.15	14.6	27.9	48	0.118	49.2

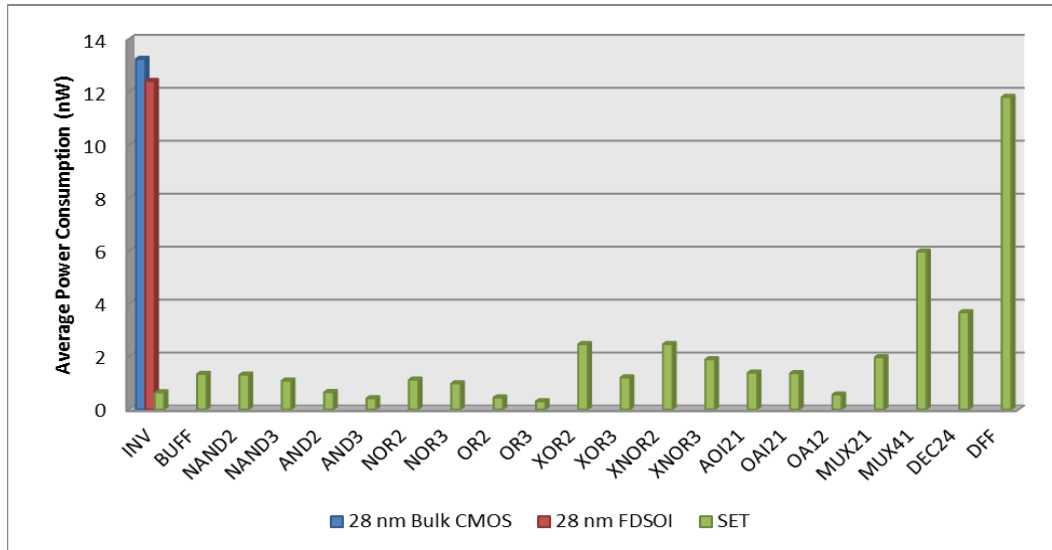


Fig. 55 : Comparaison de la consommation moyenne d'un inverseur CMOS en technologie 28 nm sur substrat massif et FDSOI ($V_{DD} = 0.8$ V) par rapport aux différents éléments de la bibliothèque DG-SET ($V_{DD} = 0.4$ V) pour une fréquence de fonctionnement à $f = 125$ MHz.

4.4 Effet des charges parasites

Les effets des charges parasites restent un problème persistant pour les SETs. Actuellement, le consensus de la communauté est que les charges parasites sont causées par plusieurs pièges de charges étroitement espacés et situés près de l'îlot du SET. Ils proviennent généralement des impuretés ionisées ou les pièges de charges présents dans le substrat ou diélectriques. En conséquence, ces charges parasites influencent l'état d'équilibre de l'îlot [15]. D'un autre côté, les dispersions des paramètres sont inévitables lors de la fabrication des dispositifs à une échelle nanométrique. Les charges parasites et les fluctuations des dimensions peuvent faire décaler la caractéristique par I_D-V_G d'une valeur de $e*\zeta/C_G$ tel que mentionné auparavant (Chap. 3, § 3.7, Fig. 34). Cela entraîne un changement du niveau du potentiel de l'îlot et par conséquent de la tension de seuil du dispositif. Malheureusement, les effets des charges parasites demeurent la principale source de problèmes pour la plupart des circuits SETs. En effet, dans une porte ou un circuit basé sur des DG-SETs, la fonction logique risque de ne pas fonctionner correctement. Afin de comprendre la nature et la densité de ces défauts, plusieurs travaux ont été réalisés [5, 9, 18]. Pour éviter les effets de charges parasites, deux voies sont considérées : à savoir au niveau du composant, au niveau circuit. Pour illustrer cela, au niveau composant, l'objectif est de réaliser des jonctions de très bonne qualité. Certains travaux ont

essayé d'éliminer les charges parasites en fabriquant l'îlot des SETs avec des matériaux différents tel que le silicium par exemple. En effet, un SET avec un îlot en silicium a une grande immunité aux charges parasites, avec un fonctionnement stable pendant plusieurs semaines [17]. En revanche, au niveau circuit, nous pensons que l'utilisation des architectures de calcul tolérantes aux fautes et de la redondance peut réduire le niveau du taux d'erreur. Aussi, la voie la plus simple pour contourner ces effets consisterait à ajuster l'offset de la tension appliquée sur la seconde grille. Même si la polarisation de la seconde grille peut compenser les fluctuations des charges parasites, la valeur de la tension requise restera inconnue jusqu'à la fabrication du circuit. D'autres alternatives et approches ont été proposées afin d'éviter les problèmes liés aux fluctuations des charges parasites tels que l'utilisation d'un circuit de compensation afin de contrôler la charge au sein de l'îlot [13] ou bien par l'ajustement de V_{G2} en utilisant une sorte de méthode d'auto-calibration [16].

4.5 Conclusion

Dans ce chapitre, nous avons présenté une nouvelle librairie de cellules logiques standards à base de transistors mono-électroniques double-grille DG-SET. Nous avons exploité pour cela la deuxième grille et le comportement unique du DG-SET dans le but de contrôler la polarité du composant (P-type ou N-type). Nous avons aussi décrit différents modes de polarisation pour concevoir de la logique mono-électronique. Une analyse dynamique a été réalisée afin de guider les technologues et de leurs permettre d'analyser et de réfléchir sur les différents modes d'intégration des DG-SETs dans une plateforme CMOS. Grâce à notre modèle basé sur la physique du SET, une évaluation prédictive des performances de la nouvelle famille de circuits logiques DG-SET métalliques fonctionnant à température ambiante; ainsi qu'une comparaison avec la technologie CMOS ont été effectuées dans le but d'évaluer l'impact de l'implémentation des DG-SETs pour la future génération des circuits nanoélectroniques. Le prochain chapitre explore et évalue des architectures logiques à base de DG-SETs.

RÉFÉRENCES DU CHAPITRE 4

Liste des références

- [1] Beckett, P. (2005). Low-power circuits using dynamic threshold devices. Dans *2005 ACM Great Lakes Symposium on VLSI, GLSVLSI'05, April 17, 2005 - April 19*. Association for Computing Machinery, Chicago, IL, United states, p. 213-216.
- [2] Bounouar, M. A., Beaumont, A., Calmon, F. et Drouin, D. (2012). On the use of nanoelectronic logic cells based on metallic Single Electron Transistors. Dans *2012 13th International Conference on Ultimate Integration on Silicon (ULIS)*. IEEE, Piscataway, NJ, USA, p. 157-60.
- [3] Bounouar, M. A., Beaumont, A., Hajjam, K. E., Calmon, F. et Drouin, D. (2012). Room temperature double gate Single Electron Transistor based standard cell library. Dans *2012 IEEE/ACM International Symposium on Nanoscale Architectures (NANOARCH 2012)*. IEEE, Piscataway, NJ, USA, p. 146-51.
- [4] Ecoffey, S., Morissette, J. -, Jedidi, N., Guilmain, M., Nauenheim, C. et Drouin, D. (2011). Ultrathin titanium passive devices fabrication. Dans *2011 IEEE 11th International Conference on Nanotechnology (IEEE-NANO)*. IEEE, Piscataway, NJ, USA, p. 1689-92.
- [5] Furlan, M. et Lotkhov, S. V. (2003). Electrometry on charge traps with a single-electron transistor. *Physical Review B (Condensed Matter and Materials Physics)*, volume 67, numéro 20, p. 205313-1.
- [6] Gerousis, C. P., Goodnick, S. M. et Porod, W. (2004). Nanoelectronic single-electron transistor circuits and architectures. *International Journal of Circuit Theory and Applications*, volume 32, numéro 5, p. 323-38.
- [7] Griveau, D., Ecoffey, S., Parekh, R. M., Bounouar, M. A., Calmon, F., Beauvais, J. et Drouin, D. (2012). Single electron CMOS-like one bit full adder. Dans *2012 13th International Conference on Ultimate Integration on Silicon (ULIS)*. IEEE, Piscataway, NJ, USA, p. 77-80.
- [8] Kim, Y. B., Kim, Y. et Lombardi, F. (2008). A technique for low power dynamic circuit design in 32nm double-gate FinFET technology. Dans *2008 IEEE International 51st Midwest Symposium on Circuits and Systems, MWSCAS, August 10, 2008 - August 13*. Institute of Electrical and Electronics Engineers Inc, Knoxville, TN, United states, p. 779-782.
- [9] Krupenin, V. A., Presnov, D. E., Zorin, A. B. et Niemeyer, J. (2000). Aluminum single electron transistors with islands isolated from the substrate. Dans *International*

- Conference on Electron Transport in Mesoscopic Systems, ETMS'99*, volume 118. Kluwer Academic/Plenum Publishers, USA, p. 287-96.
- [10] Mahapatra, S. et Ionescu, A. M. (2006). *Hybrid CMOS single-electron-transistor device and circuit design*. Artech House, Inc.,
- [11] Mahapatra, S., Ionescu, A. M., Banerjee, K. et Declercq, M. J. (2002). Modelling and analysis of power dissipation in single electron logic. Dans *IEEE International Electron Devices Meeting*. IEEE, Piscataway, NJ, USA, p. 323-6.
- [12] Tucker, J. R. (1992). Complementary digital logic based on the 'Coulomb blockade'. *Journal of Applied Physics*, volume 72, numéro 9, p. 4399-413.
- [13] van Roermund, A. et Hoekstra, J. (2000). Design philosophy for nanoelectronic systems, from SETs to neural nets. *International Journal of Circuit Theory and Applications*, volume 28, numéro 6, p. 563-84.
- [14] Venkataratnam, A. et Goel, A. K. (2008). Design and simulation of logic circuits with hybrid architectures of single-electron transistors and conventional MOS devices at room temperature. *Microelectronics Journal*, volume 39, numéro 12, p. 1461-8.
- [15] Wolf, H., Ahlers, F. J., Niemeyer, J., Scherer, H., Weimann, T., Zorin, A. B., Krupenin, V. A., Lotkhov, S. V. et Presnov, D. E. (1997). Investigation of the offset charge noise in single electron tunneling devices. Dans *1996 Conference on Precision Electromagnetic Measurements (CPEM '96)*, volume 46. IEEE, USA, p. 303-6.
- [16] Zhang, W. et Nan-Jian Wu (2007). A novel hybrid phase-locked-loop frequency synthesizer using single-electron devices and CMOS transistors. *IEEE Transactions on Circuits and Systems - I: Fundamental Theory and Applications*, volume 54, numéro 11, p. 2516-27.
- [17] Zimmerman, N. M., Huber, W. H., Fujiwara, A. et Takahashi, Y. (2001). Excellent charge offset stability in a Si-based single-electron tunneling transistor. *Applied Physics Letters*, volume 79, numéro 19, p. 3188-90.
- [18] Zimmerman, N. M., Huber, W. H., Fujiwara, A. et Takahashi, Y. (2002). Excellent charge offset stability in Si-based SET transistors. Dans *Proceedings of 2002 Conference on Precision Electromagnetic Measurement*. IEEE, Piscataway, NJ, USA, p. 124-5.

CHAPITRE 5 Exploration & Évaluation des Architectures Logiques à base de DG-SETs

5.1 Unité Arithmétique Logique à base de DG-SETs

Dans ce paragraphe, nous allons analyser et évaluer l'utilisation des dispositifs mono-électroniques de type transistors à un électron double-grille (DG-SET) dans des blocs élémentaires de base pour les architectures de calcul. L'objectif étant de montrer le potentiel de la technologie DG-SET au niveau architectural mais aussi son aspect de faible consommation. La structure complète d'une unité arithmétique logique (ALU pour Arithmetic Logic Unit) 4-bits est conçue en utilisant des blocs individuels de la bibliothèque DG-SETs afin de réaliser les différentes opérations logiques et arithmétiques. L'implémentation de logique combinatoire à base de fonctions XOR, AND, OR, ADD (addition) permet de concevoir une ALU telle une brique de base versatile et utile pour réaliser plusieurs opérations logiques. Les quatre cellules logiques sont connectées en parallèle rendant possible la réalisation des quatre fonctions comme ceci est illustré sur la Fig. 56. La sortie logique de ces fonctions est sélectionnée par un multiplexeur DG-SET 2 vers 1. Cela permet, en effet, de sélectionner la fonction souhaitée. Les opérations logiques et arithmétiques sont réalisées sur des bits individuels et permettent d'avoir les sorties $Z0$, $Z1$, $Z2$, et $Z3$. Les résultats de simulations d'une unité arithmétique logique (ALU) à base de DG-SET 1bit sont illustrés ci-après (Fig. 57). La Table V résume les caractéristiques de l'ALU à base de DG-SET.

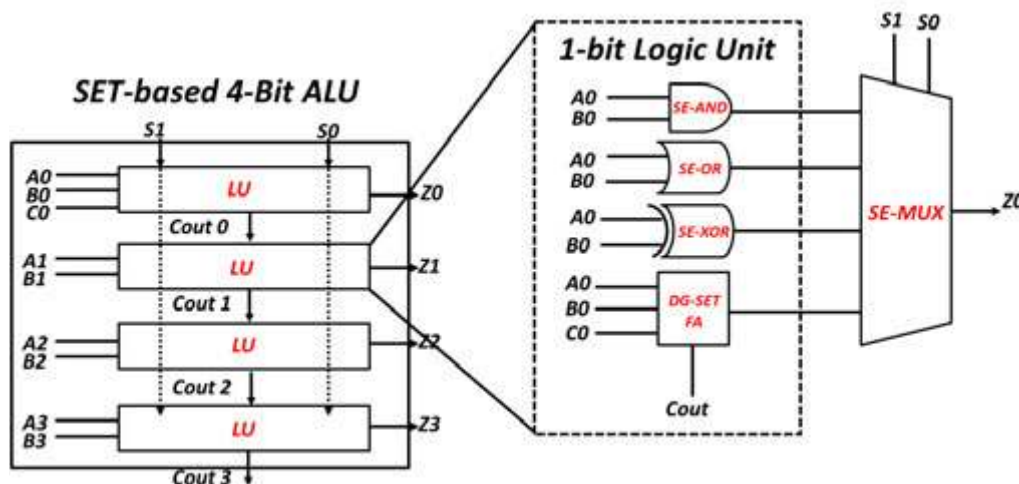


Fig. 56 : Structure Logique d'une ALU DG-SET 4-bits.

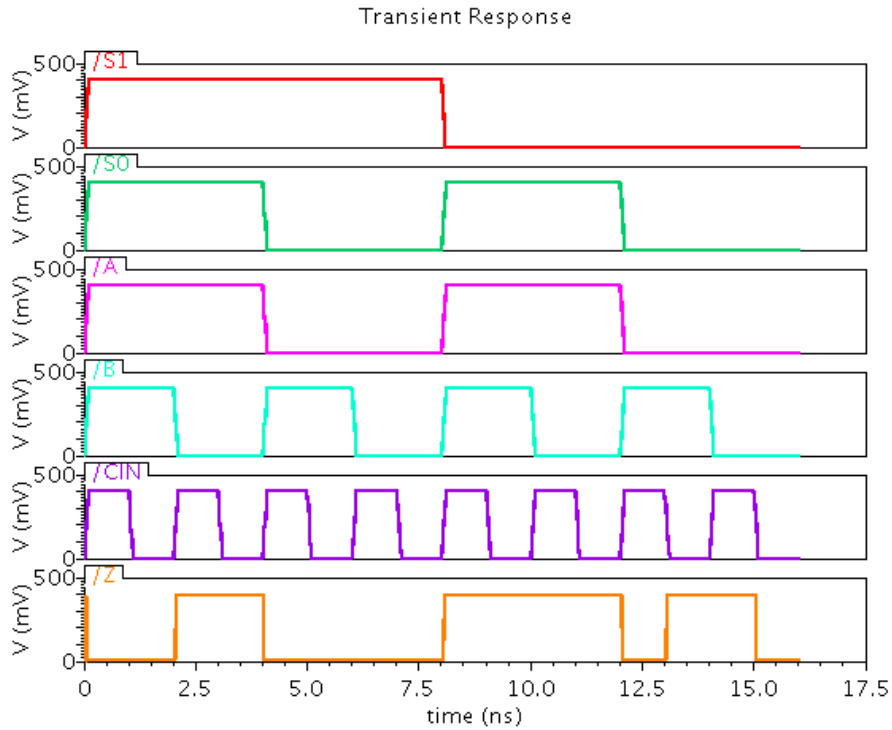


Fig. 57 : Résultats de simulation d'une ALU 1-bit à base de DG-SET à $T = 300\text{K}$

**Table V : Caractéristiques des blocs logiques arithmétiques pour $V_{DD} = 0.4\text{ V}$,
 $f = 125\text{ MHz}$ et $T = 300\text{K}$**

	<i>Conso. Moyenne (nW)</i>	<i>Nombre Transistors</i>	<i>Energie (aJ)</i>
<i>Additionneur DG-SET 1-bit</i>	2.5	28	20
<i>ALU DG-SET 1-bit</i>	12	106	96
<i>ALU DG-SET 4-bits</i>	48	424	382

5.2 Mémoire Statique SRAM à base de DG-SET

5.2.1 Mode d'opération du point mémoire SRAM

Les éléments mémoires sont, entre autres, parmi les applications les plus attractives pour les SETs en raison de leur potentiel de faible consommation et de densité d'intégration. Plusieurs travaux ont porté sur la réalisation de cellules mémoires à base de SETs avec des approches différentes [8, 13]. Dans ce paragraphe, nous présentons la cellule mémoire statique basée sur les DG-SET (DG-SET SRAM). Le schéma du circuit et les résultats de simulation de la cellule

SRAM à base de DG-SET sont présentés sur la Fig. 58 et la Fig. 59 respectivement. Le point mémoire repose sur six transistors DG-SET pour stocker et accéder à un bit de donnée. Il est composé de deux inverseurs DG-SET tête-bêche (S1-S2 et S3-S4) pour stocker l'information et de deux transistors d'accès DG-SET de type N-SET. Nous avons également utilisé deux « tri-state buffer » DG-SET, afin de gérer les cycles de lecture et d'écriture.

Pour venir écrire une nouvelle donnée dans le point mémoire, les deux transistors d'accès sont activés « WL = 1 », ainsi que les entrées des drivers (tri-state buffer) « EN = 1 ». Ensuite, la nouvelle donnée est conduite à l'intérieur du Latch par l'intermédiaire des transistors d'accès (S5-S6) et donc, la valeur à l'intérieur de la cellule est littéralement écrasée. En raison de la structure de contre-réaction, une valeur d'entrée basse sur le premier inverseur génère une valeur d'entrée élevée sur le second inverseur qui, lui-même, renvoie la valeur basse sur le premier inverseur et vice-versa. Aussi longtemps que le « WL » (pour Word Line) est maintenue à l'état bas, la cellule est déconnectée de la « BL » (pour Bit-Line). Ainsi, les inverseurs S1-S2 et S3-S4 vont stocker la nouvelle valeur logique écrite. Durant l'opération de lecture, le « WL » est activé et les deux transistors d'accès S5 et S6 sont ouverts et permettent de connecter la cellule à la « BL », tandis que les drivers externes sont bloqués « EN = 0 ». Autrement dit, la valeur ou l'information stockée à l'intérieur de la cellule mémoire est conduite sur les lignes « BL » et « BLB ». Ainsi, les valeurs stockées « Q » et « QB » peuvent être ensuite amplifiées et lues par une logique externe.

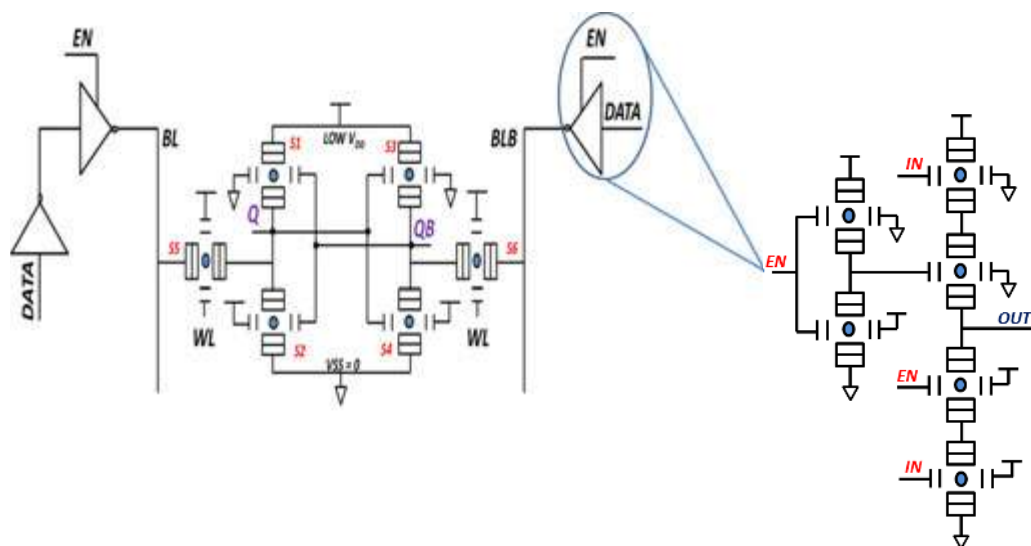


Fig. 58 : Schéma complet d'une cellule mémoire statique SRAM 1 bit à base de DG-SET.

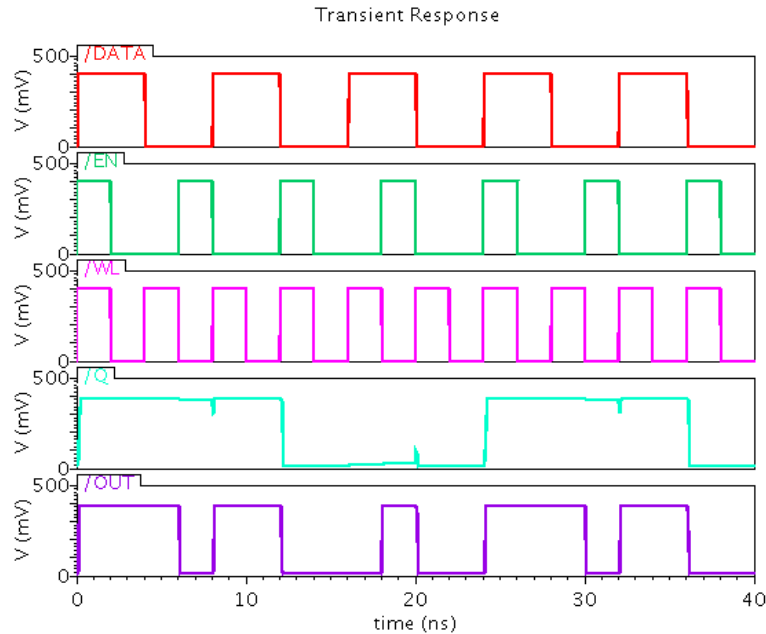


Fig. 59 : Résultats de simulations de la cellule SRAM à base de DG-SET à l'aide de notre modèle à $T = 300\text{K}$, $V_{DD} = 0.4\text{V}$ et $f = 125\text{MHz}$.

5.2.2 Marge de Bruit Statique (SNM) du point mémoire SRAM

Afin de conserver proprement les valeurs des données stockées dans la cellule mémoire, les inverseurs S1-S2 et S3-S4 doivent maintenir des points de fonctionnement bistables. Une métrique essentielle pour évaluer la stabilité de la cellule SRAM est la mesure de la marge de bruit statique « SNM » (pour Static Noise Margin). Cette métrique est le meilleur indicateur de la capacité de la mémoire à maintenir son état [14]. En effet, le « SNM » est la quantité maximale de bruit de tension qui peut être introduite au niveau des sorties des deux inverseurs ; tout en vérifiant que la cellule conserve ses données. Le « SNM » quantifie la quantité de bruit de tension nécessaire au niveau des nœuds internes d'une cellule (1-bit) pour inverser le contenu de cette dernière. La Fig. 60 illustre la représentation graphique du « SNM » durant le mode de maintien de la donnée dans un point mémoire statique. Elle montre la caractéristique de transfert de tension « VTC » (pour Voltage Transfer Characteristic) et son inverse des deux inverseurs qui forment la boucle de rétroaction du point mémoire. La courbe représentée sur la Fig. 60 est nommée « courbe papillon » et est utilisée pour déterminer la marge de bruit statique (SNM). La longueur du côté du carré le plus grand qui peut être incorporé à l'intérieur des lobes de la courbe en papillon définit le « SNM » [3],

comme illustré dans la Fig. 60. Afin d'évaluer l'implémentation de la cellule SRAM 6T à base de DG-SET, nous avons analysé et comparé le « SNM » pour les différentes architectures SRAM en technologies CMOS rapportées dans la littérature et fonctionnant dans le régime sous le seuil [4, 6, 10]. La Table VI résume ces caractéristiques durant le mode de maintien de la donnée à température ambiante.

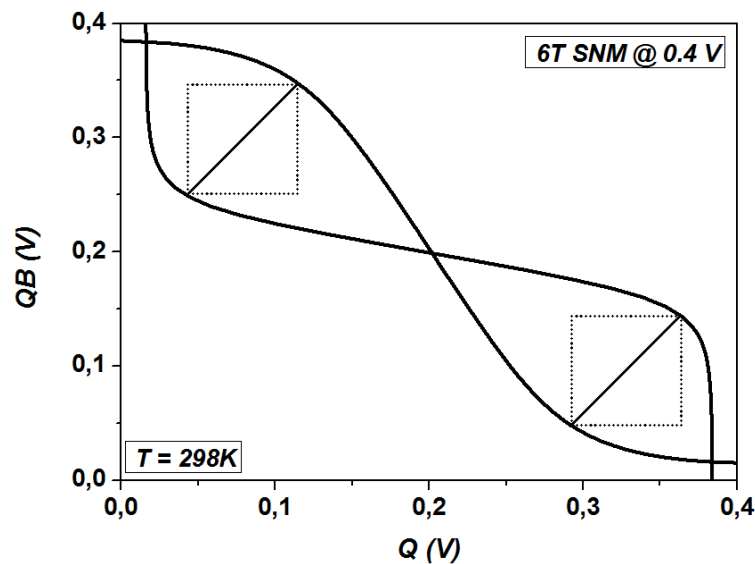


Fig. 60 : SNM de la cellule SRAM 6T à base de DG-SET à $T = 300\text{K}$, $V_{DD} = 0.4\text{V}$.

Table VI : Comparaisons du SNM pendant le cycle de maintien de la donnée pour différentes architectures de SRAM fonctionnant dans le régime sous le seuil.

	<i>Design</i> <i>CMOS</i> [10]	<i>Design</i> <i>CMOS</i> [10]	<i>Design</i> <i>CMOS</i> [6]	<i>Design</i> <i>CMOS</i> [6]	<i>Design</i> <i>CMOS</i> [10]	<i>Design</i> <i>DG-SET</i>
V_{DD} (V)	0.2	0.2	0.3	0.3	0.4	0.4
<i>Tran. / bit</i>	10	6	10	6	6	6
<i>SNM</i>	82 mV	24 mV	100 mV	35 mV	82 mV	71 mV

À partir de la table VI, nous remarquons que pour la même tension d'alimentation ($V_{DD} = 0.4\text{V}$), le « SNM » en technologie CMOS pendant le mode de maintien de la donnée est légèrement meilleur que le « SNM » de notre cellule mémoire utilisant les transistors DG-SET. Cependant, le « SNM » dans les cellules à base de DG-SET offre un bon compromis en

termes de tension d'alimentation et de nombre de transistors par point mémoire par rapport aux architectures CMOS. De plus, comme indiqué dans [2] et reporté dans la table VII, le gain significatif en consommation et énergie dans la SRAM à base de DG-SET (4nW et 32aJ respectivement) par rapport au CMOS (620nW), rend l'utilisation des DG-SET très attractive pour les circuits de mémoire ultra-basse tension et ultra-basse consommation. C'est donc une véritable alternative pour surmonter les problèmes de consommation d'énergie tout en gardant une bonne métrique de performance, une architecture classique (6T) plutôt que la majorité des architectures SRAM en technologie CMOS qui fonctionnent sous le seuil (8T ou 10T avec un faible V_{DD}) avec une surface additionnelle (liée au nombre de transistors supplémentaires par bit).

5.2.3 Évaluation de la consommation de mémoire SRAM à base de DG-SET

Afin d'exploiter le potentiel et l'impact des DG-SET dans les architectures logiques et plus particulièrement les applications mémoires, nous avons évalué et comparé la consommation de la cellule SRAM classique 6T pour différents nœuds technologiques CMOS. Les valeurs indiquées dans la Table VII comprennent non seulement la cellule de stockage (6T), mais aussi toute la logique nécessaire pour les modes de lecture et écriture ainsi que l'amplificateur de lecture. Nous observons clairement que les valeurs de consommation du point mémoire à base de DG-SET sont nettement inférieures à leurs équivalents en technologie CMOS. Ainsi, ces faibles valeurs de consommation nous ont poussés à extrapoler la consommation pour un plan mémoire composé de 1024 bits afin de démontrer l'opportunité qu'offrent les DG-SET dans le contexte d'un sous-système complet. Il faudra toutefois noter que lors de cette extrapolation (Fig. 62), pour la courbe concernant les DG-SETs, tous les éléments du plan mémoire (Fig. 61) tels que les décodeurs de lignes, de colonnes et les buffers sont à base de DG-SET. Aussi, nous avons utilisé pour chaque bloc de 16 bits un décodeur indépendant DG-SET et pour chaque colonne de 64 bits un amplificateur de lecture dessiné en technologie CMOS 28nm. Nous pouvons remarquer qu'en terme de consommation d'énergie, la matrice mémoire DG-SET présente une amélioration allant jusqu'à 3x par rapport au nœud CMOS 28 nm. Il convient de souligner que 98 % de la consommation du plan mémoire DG-SET est attribué aux amplificateurs de lecture CMOS, ce qui laisse encore une marge de progrès importante.

Table VII : Consommation moyenne de la cellule SRAM pour différentes technologies.
 Simulations réalisées avec notre modèle de DG-SET à $T = 300\text{K}$, $f = 125\text{ MHz}$,
 et $V_{DD} = 0.4\text{V}$.

<i>1-Bit SRAM (25 Tr.)</i>	<i>CMOS 65 nm</i>	<i>CMOS 40 nm</i>	<i>CMOS 28 nm</i>	<i>DG-SET</i>
<i>300 K / 27 °C</i>	2 μW	850 nW	620 nW	4 nW
<i>398 K / 125 °C</i>	2.5 μW	1.2 μW	820 nW	10 nW

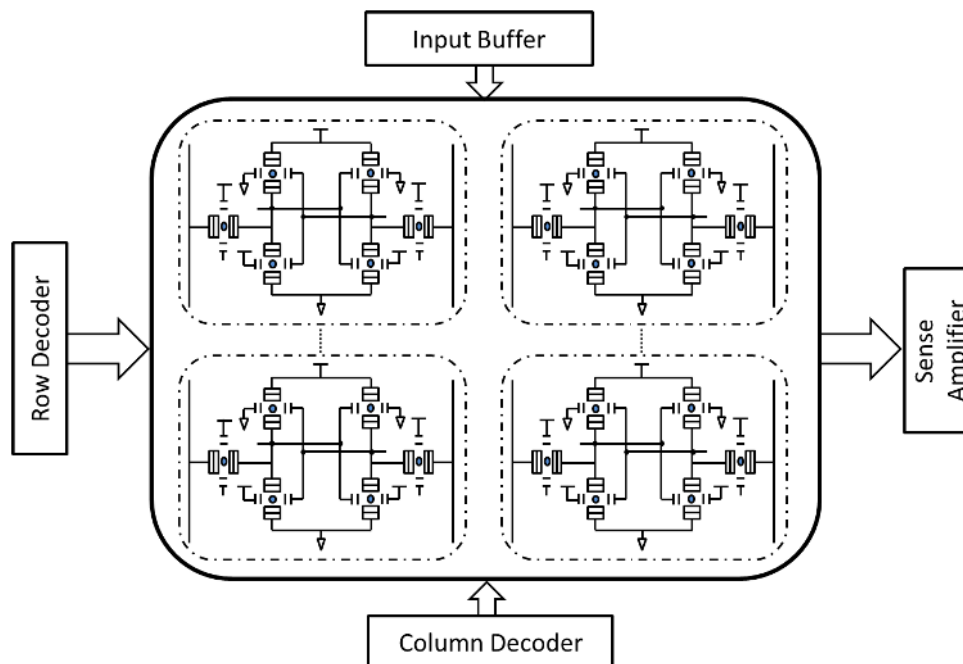


Fig. 61 : Architecture du plan mémoire DG-SET.

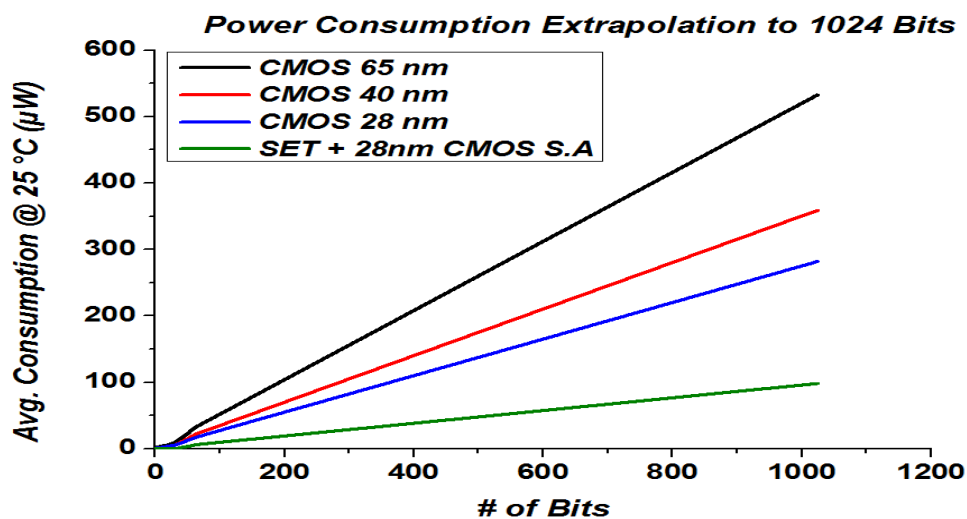


Fig. 62 : Extrapolation de la consommation de la SRAM pour une matrice mémoire de 1024 bits.

5.2.4 Vers des Architectures DG-SET Reconfigurables

De nombreuses technologies sont disponibles afin d'intégrer de la logique reconfigurable. La plus répandue est la technologie dite FPGA (Field Programmable Gate Array) [5]. Les exigences d'un marché très concurrentiel et en pleine croissance renforcent l'utilisation des composants VLSI tels que les FPGA. Depuis leur introduction dans les années 80, ces circuits ont pris un essor important pour deux raisons. La première raison est due à leur capacité d'intégration de plus en plus grande. Ils permettent l'implantation d'une quantité croissante de fonctions. Cette approche permet ainsi de réduire la taille et le coût du système, et d'améliorer d'autre part ses performances et ainsi de rivaliser avec les circuits intégrés spécifiques (ASIC). La seconde raison à cet engouement réside dans le fait qu'un circuit FPGA peut être programmé, voire reprogrammé, en quelques secondes. Cette propriété de programmabilité / reconfigurabilité fournit ainsi une flexibilité indiscutable vis-à-vis des ASIC. En sus, elle permet également au concepteur de développer un prototype en un temps très court, réduisant alors fortement les coûts de développement et les délais de commercialisation. Le FPGA est un type de circuit appartenant à la famille des circuits logiques programmables que l'on nomme PLD (Programmable Logic Device). Ces circuits, comme le nom l'indique, sont programmables. L'avantage essentiel de cette technologie est d'autoriser l'implantation de dispositifs complexes de quelques millions de portes et d'offrir un support flexible pour le concepteur lui permettant de configurer son circuit sur site en un temps extrêmement court.

L'objectif principal de cette section est d'explorer et d'évaluer le potentiel des transistors DG-SETs au niveau architectural et plus précisément pour les architectures reconfigurables dites à grain fin. Le fait d'utiliser des composants ultra-faible consommation à un niveau de densité d'intégration à large échelle permet d'ouvrir de nouvelles voies en ce qui concerne les architectures reconfigurables. En effet, grâce à leurs propriétés intrinsèques, les architectures reconfigurables à base de DG-SETs ont le potentiel d'être plus flexibles/versatiles et moins énergivores que leurs équivalents en technologie CMOS. Pour cette raison, la nature double-grille du DG-SET a été exploitée afin de concevoir les briques élémentaires de base pour ce genre de circuit reconfigurable. Ces circuits sont constitués de deux niveaux d'abstraction (Fig. 63), une couche opérative et une couche de configuration :

- La couche opérative est constituée d'éléments de base appelés CLB (pour Configurable Logic Block) eux même constitués de cellules logiques : portes logiques, tables de correspondances LUT (pour Look-Up Table) – éléments basique des circuits FPGAs – et des bascules Flip-Flop.
- La couche de configuration s'apparente à un plan mémoire dont chaque bit vient configurer un élément de la partie opérative.

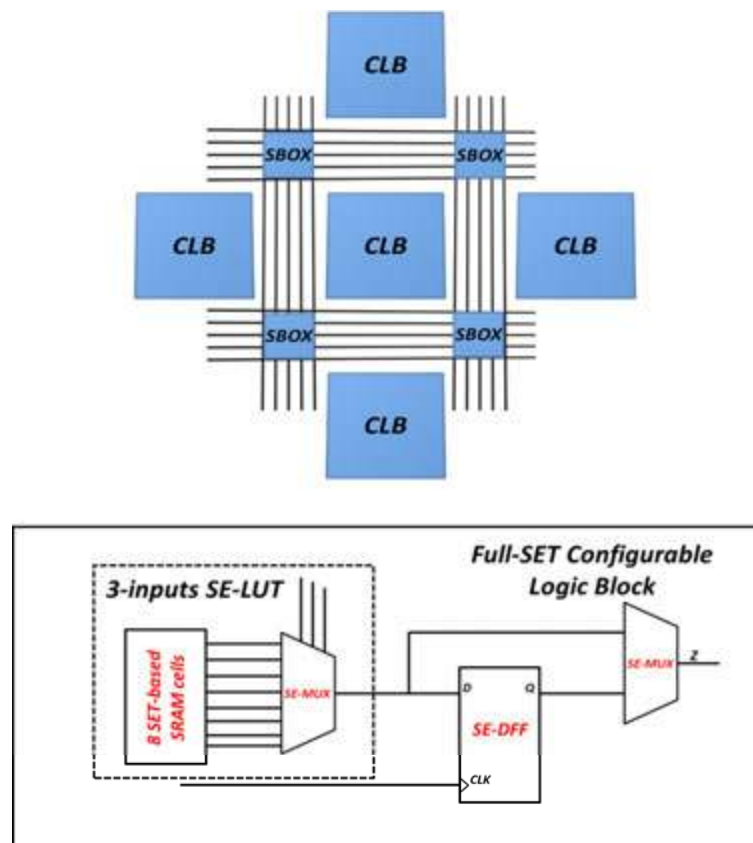


Fig. 63 : Architecture basique d'un FPGA consiste en 2 niveaux d'abstraction : le CLB où la logique de l'utilisateur est implémentée, la LUT est composée de point mémoires SRAM, la DFF qui mémorise la sortie de la LUT, le MUX est utilisé pour la sélection logique, les interconnexions permettent le routage des blocs logiques pour l'implémentation de la logique de l'utilisateur et les Switch Box (SBOX) permettent la commutation entre les interconnexions en fonction de la logique.

Dans les PLD, la configuration du bitstream est stockée dans les cellules SRAM dans le but de configurer les blocs logiques (CLB, LUTs, et interconnexions), et ainsi, réaliser la fonction désirée. La structure du CLB à base de DG-SETs est illustrée sur la Fig. 63, dans laquelle la LUT à base de DG-SETs (SE-LUT) est le bloc élémentaire principal. Il est composé de 2^n

cellules SRAM à base de DG-SETs ainsi qu'un circuit multiplexeur (ici LUT3). La LUT sert à implémenter des fonctions booléennes où la table de vérité est stockée dans les cellules mémoires. L'arbre de multiplexage est contrôlé par les entrées du circuit et pilote la donnée stockée dans le point mémoire sélectionné vers la sortie du circuit. Les caractéristiques des LUT 2, LUT 3 et LUT 4 à base de DG-SET sont indiquées dans la Table VIII.

Table VIII : Comparaison des différentes LUT à base de DG-SET. Simulations réalisées avec notre modèle de DG-SET à $T = 300\text{K}$, $f = 125\text{MHz}$, et $V_{DD} = 0.4\text{V}$.

	<i>Conso. Moyenne (nW)</i>	<i>Nombre. Transistors</i>	<i>Énergie (aJ)</i>
LUT 2	22	116	176
LUT 3	46.24	250	370
LUT 4	93.9	512	751

5.3 Implémentation Régulière de Cellules Logiques à base de DG-SETs

5.3.1 Conception Flexible à base de Portes de Transmission

Motivé par la flexibilité qu'offrent les DG-SETs, c'est-à-dire le contrôle de la polarité du composant par la seconde grille, nous proposons un style logique différent basé sur des DG-SETs et plus particulièrement nous nous focalisons dans ce paragraphe sur l'implémentation de la logique en utilisant des portes de transmission. Cela inspire, en effet, la conception de nouveaux circuits et architectures flexibles, mais aussi d'étendre les fonctionnalités offertes par les MOSFETs conventionnels en termes de nombre de transistors, de flexibilité, de nouvelles techniques de conception et enfin l'aspect programmable rendu possible avec la seconde grille de polarisation. Les portes de transmission à base de DG-SETs agissent comme des interrupteurs. Lorsque l'entrée de la porte de transmission est à l'état haut, le signal peut passer à travers la porte de transmission, tandis que lorsque l'entrée de la porte est à l'état bas, aucun courant ne circule et la porte de transmission agit comme un circuit ouvert. La porte de transmission est activée lorsque $A = G_{ND}$ et $B = V_{DD}$, en remarquant que la polarité de la seconde grille du P-SET est connectée au potentiel G_{ND} et la polarité de la seconde grille du N-

SET est connectée au potentiel V_{DD} (Fig. 64). Dans ces conditions, le signal d'entrée V_{IN} est transmis à la sortie V_{OUT} . Cependant, pour avoir une bonne transition des valeurs des niveaux de sortie, il ne faut pas que les transistors DG-SETs soient configurés en tant que dispositifs de type-N dans le réseau pull-up (PUN pour Pull-Up Network) ou en tant que dispositifs de type-P dans le réseau pull-down (Pull-Down Network). Cela donne en effet des faibles tensions de sorties pour chaque niveau logique. Pour ces raisons, nous avons implémenté des portes de transmission où les DG-SETs de type-N et de type-P sont en parallèles (Fig. 64) ce qui permet d'éviter ainsi les configurations mentionnées auparavant. En plaçant un réseau « PUN » composé de P-SET et un réseau « PDN » composé de N-SET, une transition complète des niveaux logiques peut être assurée (l'un des deux réseaux est toujours conducteur). Dans les deux cas, le dispositif permet de transmettre le signal en entier (Fig. 64). La Fig. 65 illustre l'implémentation des circuits XOR à 2 entrées (a), XNOR à 2 entrées (b), et la structure XOR / XNOR reconfigurable à 2 entrées (c) avec des combinaisons parallèles des DG-SETs dans les réseaux « PUN » et « PDN ». Cette approche de conception nécessite deux signaux appliqués aux grilles de contrôle et deux autres signaux appliqués sur les secondes grilles. Il faudra noter que la création d'un chemin (afin que le signal se propage) dans la porte de transmission DG-SET n'est possible que lorsque les entrées A et B ont la même valeur logique.

Plus de fonctions peuvent être implémentées en utilisant la même architecture grâce aux propriétés de la fonction *OU Exclusif* ($A! \text{ XOR } B = A \text{ XOR } B!$, et $A \text{ XOR } B = A! \text{ XOR } B!$). La Fig. 65-a illustre le schéma de la porte logique XOR à 2 entrées en utilisant seulement 4 transistors DG-SET. Chaque DG-SET a deux signaux complémentaires dans le « PUN » et le « PDN ». Dans chaque configuration des signaux appliqués sur la grille, il n'y a qu'un seul transistor DG-SET qui propage le signal et permet d'obtenir ainsi une bonne transition du signal de sortie. Aussi, nous pouvons implémenter la fonction XNOR avec les mêmes ressources matérielles (4 transistors), comme indiqué précédemment. Pour cela, nous avons simplement besoin de changer la configuration des DG-SETs. Ceux qui sont dans le « PUN » sont maintenant insérés dans le « PDN » et vice versa. Un aspect avantageux et encore plus intéressant de l'implémentation de ce style de logique DG-SET – au niveau de la conception physique par exemple –, est que pour obtenir la fonction XOR inverse (XNOR) comme le

montre la Fig. 65-b, il suffit simplement de faire pivoter le layout de la structure XOR de 180° par rapport aux rails de tension d'alimentation V_{DD} et G_{ND} . La Fig. 65-c représente la cellule reconfigurable XOR / XNOR. Etant donné que l'implémentation est versatile, nous pouvons apporter l'aspect de la reconfiguration à la topologie générique en utilisant un troisième signal d'entrée comme signal de contrôle à la place des tensions d'alimentation V_{DD} et G_{ND} . Ce signal et son complément permettent le contrôle de la configuration de la cellule logique. Lorsque le signal de contrôle est défini à la valeur logique « 1 », l'opération XOR est effectuée tandis que le signal de contrôle est au niveau logique « 0 », une configuration de XNOR est réalisée comme illustré sur la Fig. 66.

Cette approche de conception rend les portes de transmission à base de DG-SET plus attrayante pour les raisons suivantes : i) avec seulement 4 transistors les fonctions XOR / XNOR classiques à 2 variables d'entrée peuvent être effectuées ; ii) le nombre de transistors DG-SETs est le même pour les fonctions NAND2 et NOR2 contrairement aux implémentations CMOS conventionnelles ; iii) les fonctions XOR / XNOR reconfigurables peuvent être réalisées en utilisant la même architecture ; iv) une porte logique XNOR à 3 entrées peut être réalisée avec 4 transistors en utilisant un troisième signal d'entrée et son complément à la place des tensions d'alimentation V_{DD} et G_{ND} ; v) l'approche de conception bénéficie de la régularité de la porte logique ce qui simplifie le processus de conception et permet de réduire les variations liées aux dispersions technologiques car tous les transistors sont identiques et les fonctions sont réalisées à partir des signaux de commande de la structure régulière.

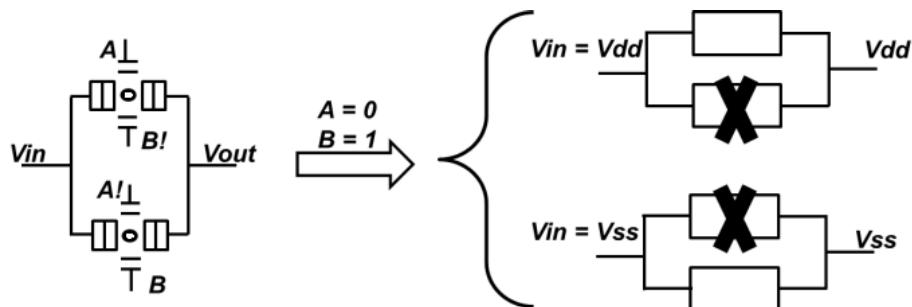


Fig. 64 : Illustration du schéma et principe de la porte de transmission.

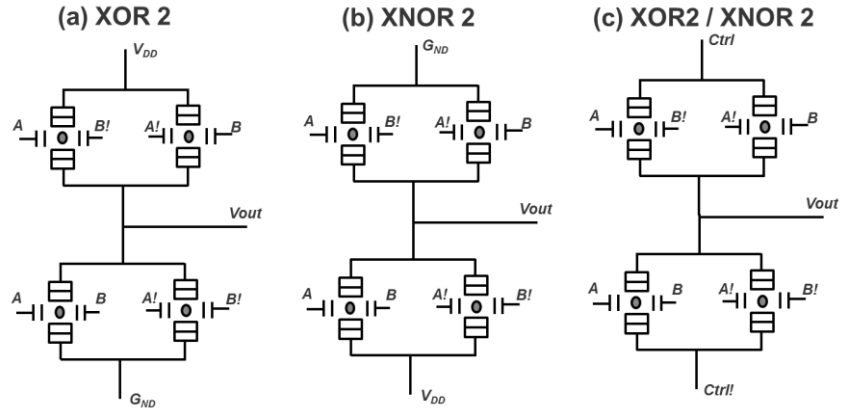


Fig. 65 : Topologie des portes de transmission DG SET : (a) fonction XOR 2, (b) fonction XNOR 2, (c) fonction XOR 2 / XNOR 2 reconfigurable.

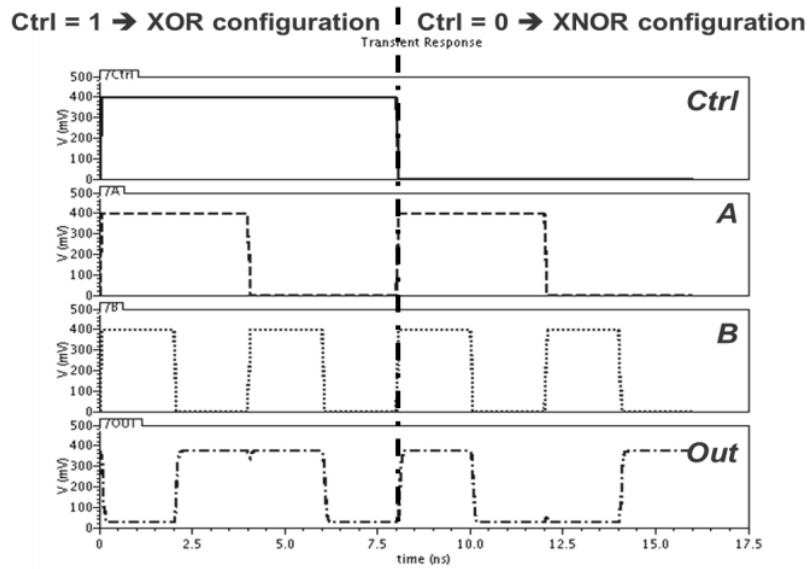


Fig. 66 : Simulation de la fonction reconfigurable XOR/XNOR à base de DG-SET. Simulations réalisées avec notre modèle de DG-SET à $T = 300\text{K}$, $f = 125\text{ MHz}$, et $V_{DD} = 0.4\text{V}$.

5.3.2 Nouvelle Famille de Circuits Logiques Flexibles à base de DG-SET

Partant du même principe de conception des portes de transmission à base de DG-SETs, à savoir l'insertion d'un réseau « PUN » complémentaire au réseau « PDN », le placement parallèle des DG-SETs de type-N et type-P afin qu'il y ait toujours un transistor passant, mais aussi l'usage de signaux complémentaires pour le contrôle des deux grilles du DG-SET, nous avons conçu une nouvelle famille de portes logiques. Nous nous sommes limités à une combinaison de deux portes de transmission maximum placés en série et / ou en parallèle dans chaque réseau « PUN » et « PDN ». La Fig. 68 illustre l'implémentation des fonctions

logiques conçues en se basant sur cette approche. Nous obtenons au total 16 nouvelles fonctions logiques, tel qu'illustré dans la table IX, avec un maximum de deux signaux d'entrée appliqués à la grille principal et deux signaux de contrôle appliqués à la grille de polarisation (seconde grille) du DG-SET.

Table IX : Nouvelle Famille de Portes Logiques DG-SET avec pas plus de 2 portes de transmission dans chaque branche des réseaux « PUN » et « PDN ».

<i>Porte Logique</i>	<i>Fonction</i>
<i>F1</i>	$A \oplus B$
<i>F2</i>	$\overline{A \oplus B}$
<i>F3</i>	$A \oplus B \oplus C$
<i>F4</i>	$\overline{A \oplus B \oplus C}$
<i>F5</i>	$(A \oplus B) + (A \oplus C)$
<i>F6</i>	$\overline{(A \oplus B) + (A \oplus C)}$
<i>F7</i>	$(A \oplus B) * (A \oplus C)$
<i>F8</i>	$\overline{(A \oplus B) * (A \oplus C)}$
<i>F9</i>	$(A \oplus B) + \overline{C}$
<i>F10</i>	$(A \oplus B) * \overline{C}$
<i>F11</i>	$\overline{(A \oplus B) + C}$
<i>F12</i>	$\overline{(A \oplus B) * C}$
<i>F13</i>	$(A \oplus B) + (C \oplus D)$
<i>F14</i>	$\overline{(A \oplus B) + (C \oplus D)}$
<i>F15</i>	$(A \oplus B) * (C \oplus D)$
<i>F16</i>	$\overline{(A \oplus B) * (C \oplus D)}$

Soulignons que grâce à la polarisation et aux signaux appliqués sur la seconde grille, nous pouvons obtenir les comportements de type-N et type-P par un seul transistor DG-SET ; et de ce fait, le nombre de transistors est divisé par deux lors de l'implémentation des portes de

transmission à base DG-SET par rapport à une implémentation en technologie CMOS. En effet, cela exhibe le degré de flexibilité qu'offrent les DG-SET mais aussi la réduction de nombre de transistors requis pour la conception de circuits logiques. La Table X résume l'évaluation des performances des 16 fonctions en termes de consommation, de nombre de transistors et d'énergie. Notons que le nombre de transistors mentionné dans le tableau est composé du nombre de transistors requis pour la porte logique ainsi que 6 transistors supplémentaires utilisés comme buffer (voir Chap. 4, § 4.3.2, Fig. 54) dans chaque cellule afin de minimiser l'impact du courant thermique unique sur la tension de sortie. La Fig. 67 illustre, ainsi, l'apport de ce buffer sur la tension de sortie de la fonction. Sur cette figure, le chronogramme en gris représente la sortie de la fonction F13 sans buffer, alors que le chronogramme en rose montre nettement la contribution de ce buffer pour la restauration du signal de sortie de la fonction logique.

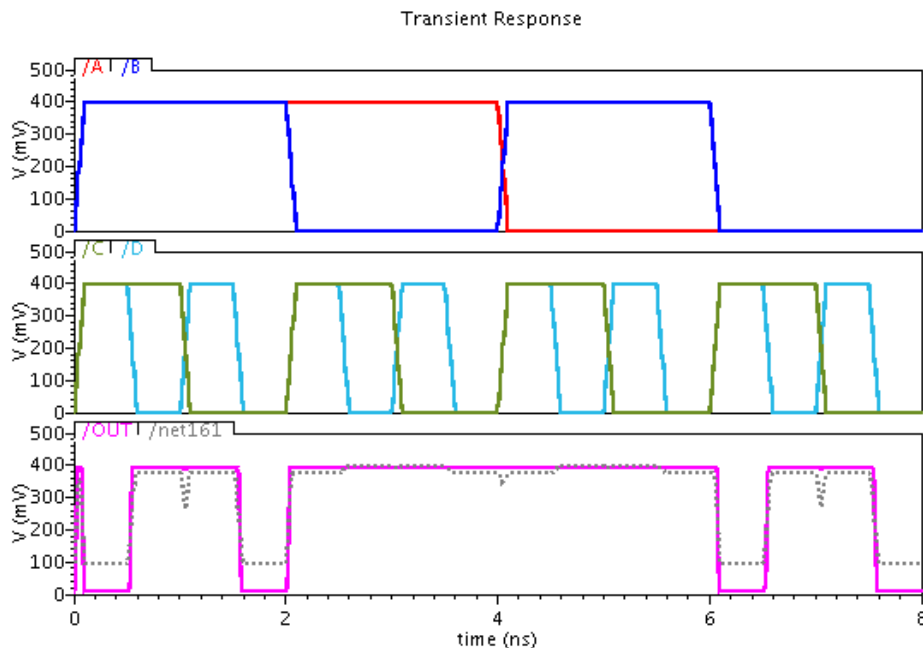


Fig. 67 : Résultats de simulation de la fonction F13 à l'aide de notre modèle à $T = 300\text{K}$. Les chronogrammes en rose et gris représentent respectivement le signal de sortie de la fonction logique avec et sans buffer de sortie.

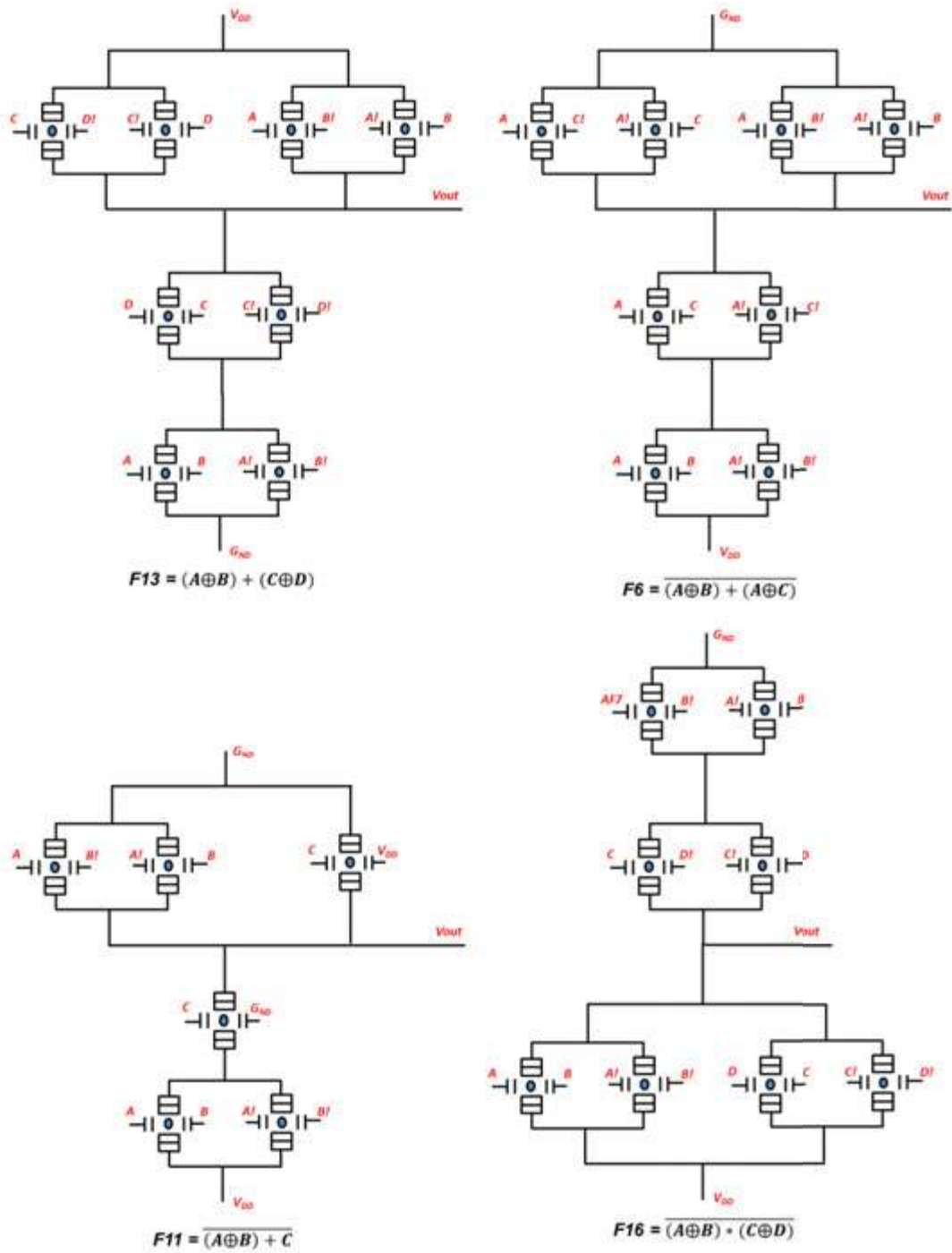


Fig. 68 : Exemple de l'implémentation à base de portes de transmission de la nouvelle famille de circuits logiques DG-SET.

Table X : Caractéristiques de la nouvelle famille de circuits logiques DG-SET.
Simulations réalisées avec notre modèle de DG-SET à $T = 300\text{K}$, $f = 125\text{MHz}$,
et $V_{DD} = 0.4\text{V}$.

	<i>Conso. Moy. (nW)</i>	<i>Nombre de Transistors</i>	<i>Conso. Moy/Tr.(nW)</i>	<i>Energie (aJ)</i>
<i>F1</i>	1.85	10	0.185	14.8
<i>F2</i>	1.85	10	0.185	14.8
<i>F3</i>	0.83	10	0.083	6.6
<i>F4</i>	0.83	10	0.083	6.6
<i>F5</i>	1.56	14	0.11	12.46
<i>F6</i>	1.56	14	0.11	12.46
<i>F7</i>	1.56	14	0.11	12.46
<i>F8</i>	1.56	14	0.11	12.46
<i>F9</i>	1.28	12	0.106	10.2
<i>F10</i>	1.28	12	0.106	10.2
<i>F11</i>	1.28	12	0.106	10.2
<i>F12</i>	1.28	12	0.106	10.2
<i>F13</i>	1.54	14	0.110	12.35
<i>F14</i>	1.54	14	0.110	12.35
<i>F15</i>	1.55	14	0.110	12.35
<i>F16</i>	1.55	14	0.110	12.35
<i>Moyenne</i>	1.43	12.5	0.162	11.44

5.3.3 Applications

Afin de mettre en avant l'approche de conception de circuits à base de portes de transmission DG-SET, nous avons conçu un additionneur-soustracteur parallèle binaire 4-bits (Fig. 69). Cette unité logique réalise à la fois des opérations d'addition et de soustraction. Pour effectuer les sommes et soustractions arithmétiques des entrées, 4 additionneurs DG-SET en parallèle et 4 portes XOR sont nécessaires. Les portes XOR servent à étendre les fonctionnalités des additionneurs afin d'effectuer les opérations de soustraction, au lieu de mettre en place une unité logique propre à la soustraction. Par ailleurs, grâce aux propriétés de la fonction XOR, la

soustraction est effectuée par la notion du complément à deux binaire. Le circuit dispose d'un signal de commande « Op » qui définit l'opération arithmétique du circuit (soustraction ou addition). Si « Op » = « 0 », les entrées « Bi » ne sont pas affectées par les portes logiques XOR et la retenue « C0 » = « 0 ». Ensuite, le calcul effectué par le circuit est la somme $S = A + B + 0$. Lorsque le signal de commande « Op » = « 1 », les additionneurs reçoivent les valeurs inversées des entrées « Bi » et la retenue « C0 » est fixé à la valeur logique « 1 ». Par conséquent, le circuit effectue la somme $S = A + B! + 1$ qui est égale à $S = A - B$ en raison de la représentation du complément à deux. Les résultats de simulation du circuit sont illustrés sur la Fig. 70. Dans une implémentation complémentaire standard (CMOS-like), 168 transistors DG-SET sont nécessaires pour réaliser le circuit illustré ci-après (Fig. 69). En revanche, dans notre approche de conception proposée (utilisation des portes de transmission DG-SETs), seulement 116 transistors DG-SETs sont nécessaires afin de concevoir le circuit étudié. Il en résulte une diminution du nombre de transistors et de la consommation de 31% et 23% respectivement, les résultats sont rassemblés dans la Table XI.

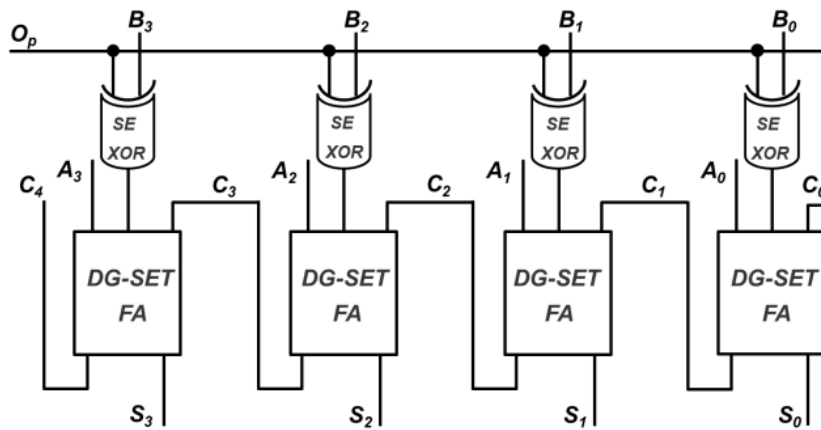


Fig. 69 : Diagramme logique d'un additionneur-soustracteur DG-SET 4-bits parallèle.

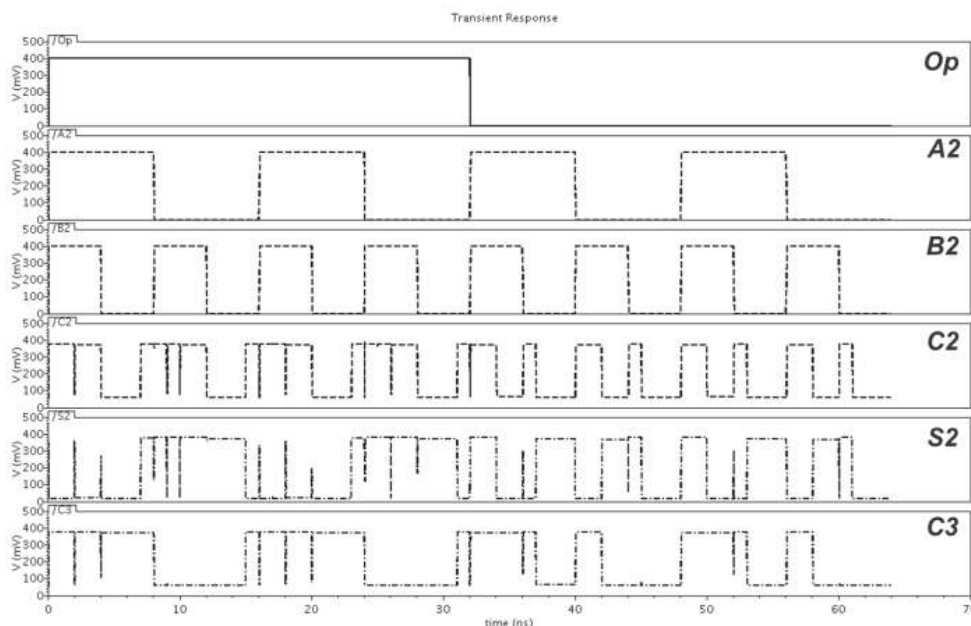


Fig. 70 : Résultats de simulations de l'additionneur-soustracteur DG-SET 4-bits à l'aide de notre modèle à $T = 300\text{K}$.

Table XI : Caractéristiques d'un additionneur-soustracteur 4-bits en fonction du style d'implémentation. Simulations réalisées avec notre modèle de DG-SET à $T = 300\text{K}$, $f = 125\text{MHz}$, et $V_{DD} = 0.4\text{V}$.

<i>DG-SET Implementation</i>	<i>Avg. Power (nW)</i>	<i>Device Count</i>
<i>Conventional SET Design</i>	19.6	168
<i>Proposed SET Design</i>	15.05	116
<i>Improvement ratio</i>	23%	31%

5.4 Variabilité dans les circuits à base de DG-SET

Les dispositifs nanométriques et plus particulièrement les transistors mono-électroniques sont plus sensibles et moins fiables que la technologie CMOS. C'est principalement en raison des faibles tolérances de fabrication mais aussi en raison des charges parasites aléatoires. Les variations aux dispersions technologiques, les charges parasites et les défauts de fabrication peuvent conduire à une panne ou une défaillance du circuit. En fait, une sortie logique erronée conduit à un comportement logique incorrect du circuit. A cet effet, une évaluation précise de la robustesse des nano-circuits à base de DG-SETs est ainsi devenue l'une des plus grandes préoccupations pour les concepteurs. Pour cela, il sera nécessaire d'introduire un certain

nombre de tolérances qui proviennent des procédés de fabrication, des imperfections de réalisations, des machines utilisées mais aussi des calibrations effectuées puisque les valeurs des paramètres technologiques ne sont pas rigoureusement exactes. En règle générale on considère pour les analyses statistiques (Monte-Carlo) deux types de variation : i) les variations « Process », à proprement parler, rendant compte de la variation des paramètres entre deux wafers d'un même lot, chaque paramètre suit une loi de distribution uniforme ; ii) les variations « Mismatch », qui prennent en compte de la variation des paramètres sur le même wafer, où chaque paramètre suit alors une loi de distribution de type gaussienne. Les dispersions technologiques doivent être donc considérées lors de la conception du circuit.

Dans cette section, les dispersions du transistor DG-SET sont analysées afin de déterminer la robustesse des circuits logiques conçus à l'égard de ces dispersions. Alors que nous pouvons considérer tous les bruits statistiques possibles, y compris les variations de température et de tension d'alimentation, nous supposons dans cette section que seulement la variabilité causée par les fluctuations des capacités du dispositif et les dimensions des jonctions sont prises en compte. Dans notre cas, les distributions concernant les capacités sont modélisées comme une distribution gaussienne. Nous supposons une distribution gaussienne appliquée aux capacités du transistor DG-SET (C_S , C_D , C_{G1} et C_{G2}) et aux paramètres géométriques de la jonction (largeur, épaisseur et hauteur). Il convient de souligner que les variations au niveau des capacités du DG-SET peuvent affecter les oscillations de Coulomb (décalage des oscillations) et par conséquent la tension de seuil du dispositif tandis que les variations sur les paramètres de jonction peuvent affecter l'amplitude du courant du DG-SET. Cependant, les variations de la tension de seuil ont une influence majeure sur le comportement du circuit. En fait, la tension de seuil peut varier en raison du « Mismatch » de ces paramètres sur le circuit étudié. *Pour cette raison, nous proposons d'étudier et d'explorer l'effet de la variation des paramètres technologiques de façon non-exhaustive dans les circuits logiques numériques basées sur des DG- ETs , afin d'avoir un aperçu sur l'impact que peut présenter la variabilité au sein de ces circuits.* A cet effet, nous avons développé et intégré les outils nécessaires dans l'environnement de conception et de simulation afin de rendre possible l'analyse statistique. Pour cela, nous avons modifié notre modèle de SET développé en Verilog-A et utilisé dans l'environnement Cadence (Voir Annexe C) par l'ajout de quelques fonctions propres au

langage Verilog-A, mais également, nous avons créé un fichier « .scs » où les contraintes, types de distributions, coefficients de corrélation entre chaque paramètre, incertitudes, etc..., sont définis (Voir Annexe D). Nous avons introduit plusieurs contraintes dans notre modèle DG-SET afin de rester le plus réaliste possible et de prédire l'influence de la variabilité des paramètres électriques et physiques du dispositif. Pour démontrer l'efficacité du modèle et de sa routine, des simulations de type Monte Carlo ont été effectuées. Les écarts-types utilisés ont été définis selon le rapport de l'ITRS [9] avec trois écarts-types - $3\sigma = 12\%$ - pour chaque paramètre du DG-SET (Voir Annexe D). Une variation de 3σ couvre 99,7% des dispersions qui se trouvent sur un wafer.

La Fig. 71 montre une simulation Monte-Carlo de la caractéristique statique I_D-V_{DS} d'un DG-SET tandis que les simulations MC de la réponse transitoire d'un inverseur sont représentées sur la Fig. 72. Comme nous pouvons le voir, le comportement logique du circuit est maintenu correctement malgré les contraintes introduites dans le modèle. La boucle consistant à faire varier les paramètres du DG-SET et les simulations est lancée pour un nombre de 100 itérations.

Sachant que le circuit de mémoire SRAM est l'un des circuits des plus critiques vis-à-vis de la variabilité des paramètres technologiques, nous avons effectué des analyses statistiques sur le « Mismatch » des transistors DG-SET d'un point mémoire SRAM à base de DG-SET incluant toute la logique requise pour la lecture et l'écriture de l'information. La Fig. 73 illustre les résultats obtenus pour une simulation MC effectuée sur 100 itérations. Comme attendu, pour un certain jeu de paramètres aléatoires, la cellule n'est pas robuste face aux variations et aux dispersions liées au processus technologique. En effet, sur les 100 itérations effectuées, nous avons un taux d'erreur de la sortie de la cellule mémoire de 5 %. Cela peut s'expliquer notamment par les dimensions du dispositif qui sont à l'échelle nanométrique, et par conséquent, le dispositif est beaucoup moins tolérant aux défauts de fabrication. Aussi, la variabilité appliquée sur les capacités de grille du DG-SET influence grandement sur les oscillations de Coulomb, et par conséquent la tension de seuil du dispositif. En effet, lorsque les oscillations de Coulomb sont décalées, il y a une variation des niveaux de courant traversant le dispositif et donc une possibilité d'avoir des erreurs de lecture et / ou d'écriture.

Notons que l'effet des charges parasites sur la fonction d'un circuit à base de DG-SET est similaire à celui des capacités de grilles lorsque ces dernières sont assujetties à des imperfections de réalisations dues à l'inexactitude des paramètres technologiques. De plus, comme mentionné auparavant, les problèmes majeurs des transistors mono-électroniques sont les charges parasites et la variabilité. Les solutions à ce jour reposent sur deux axes principaux : i) l'amélioration des procédés de fabrication, puisque la technologie n'est pas encore mature ; ii) le développement des architectures tolérantes aux fautes.

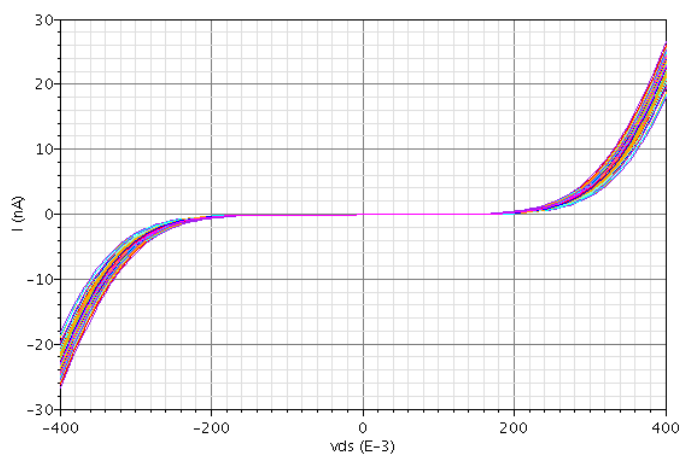


Fig. 71 : Simulation Monte-Carlo de la caractéristique statique I_D - V_{DS} du DG-SET à $T = 300K$ (100 itérations).

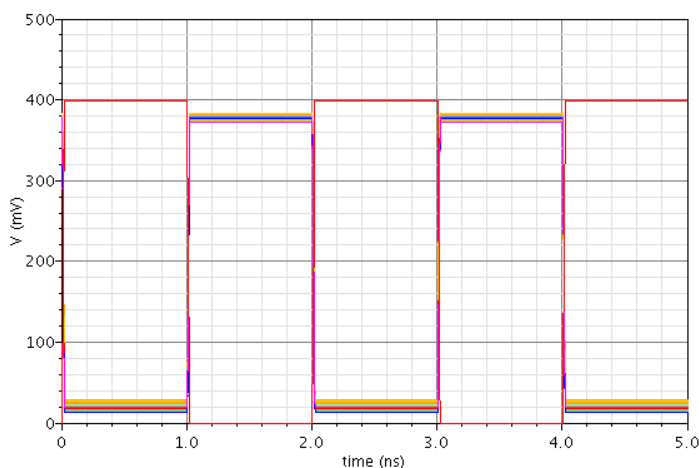


Fig. 72 : Simulation Monte-Carlo de la réponse transitoire d'un inverseur DG-SET à $T = 300K$ (100 itérations).

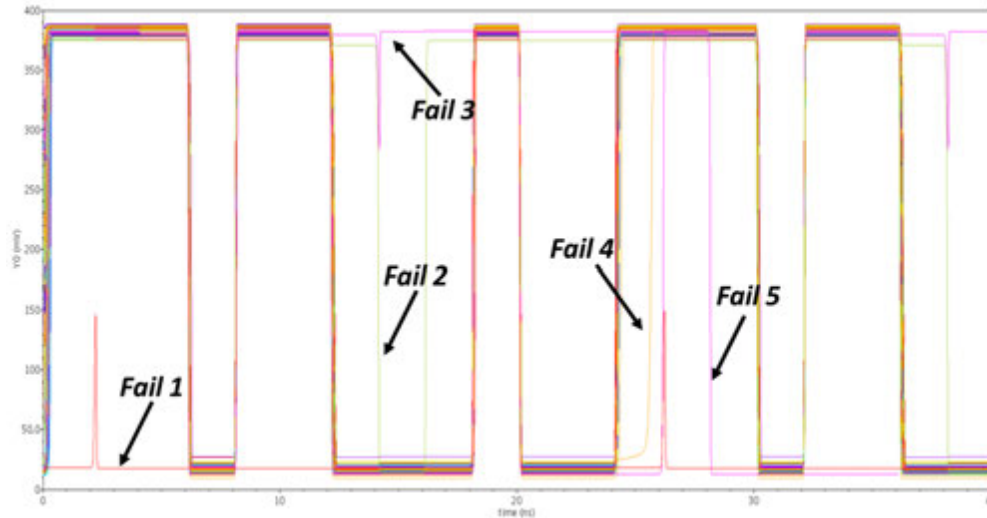


Fig. 73 : Simulation Monte-Carlo de la sortie de la cellule SRAM à base de DG-SET à $T = 300\text{K}$ (100 itérations).

5.5 Hybridation pour des fonctions SET-CMOS

D'après les discussions des trois derniers chapitres, nous pouvons observer que les DG-SETs sont des candidats potentiels pour les futurs circuits ULSI en raison des critères suivants : i) leurs tailles nanométriques / leur forte intégration ; ii) leur ultra-faible consommation ; iii) leurs caractéristiques uniques à savoir le blocage et oscillations de Coulomb ; leurs flexibilité et programmabilité. En dépit de ces propriétés intéressantes, l'implémentation pratique des DG-SETs est discutable en raison des faibles valeurs de courant de drive mais aussi en raison des difficultés technologiques liées à leurs réalisation (technologie pas encore mature). Une tentative de comparaison des avantages et des limitations des technologies CMOS et DG-SET est présentée dans la Table XII. De ce tableau, nous pouvons en déduire que, malgré ses caractéristiques attrayantes, il serait très difficile pour les DG-SETs (ainsi que pour toute nouvelle nanotechnologie) de rivaliser directement avec la technologie CMOS (qui est très mature) en termes de plateformes technologiques, architectures et prédictions économiques. Même si une technologie de fabrication de DG-SET est stable et disponible dans un avenir proche, les applications numériques de DG-SET ne sont pas attrayantes en raison des faibles valeurs de courant (de l'ordre du nA) mais aussi des problèmes liés à l'intégration, et aux interconnexions. Toutefois, la Table XII indique également que les technologies CMOS et DG-SET sont plutôt complémentaires.

Table XII: Comparaison des avantages et limitation des technologies SET et CMOS

	<i>Technologie SET</i>	<i>Technologie CMOS</i>
<i>Avantages</i>	<ul style="list-style-type: none"> • Taille nanométrique • Propriétés intrinsèques uniques (Oscillations de Coulomb) • Ultra-basse consommation 	<ul style="list-style-type: none"> • Technologie mature • Fort courant de drive et grande vitesse • Fort gain
<i>Limitations</i>	<ul style="list-style-type: none"> • Faible courant de drive • Difficultés de fabrication • Charges parasites 	<ul style="list-style-type: none"> • Limitations physiques sub-14 nm • Consommation statique

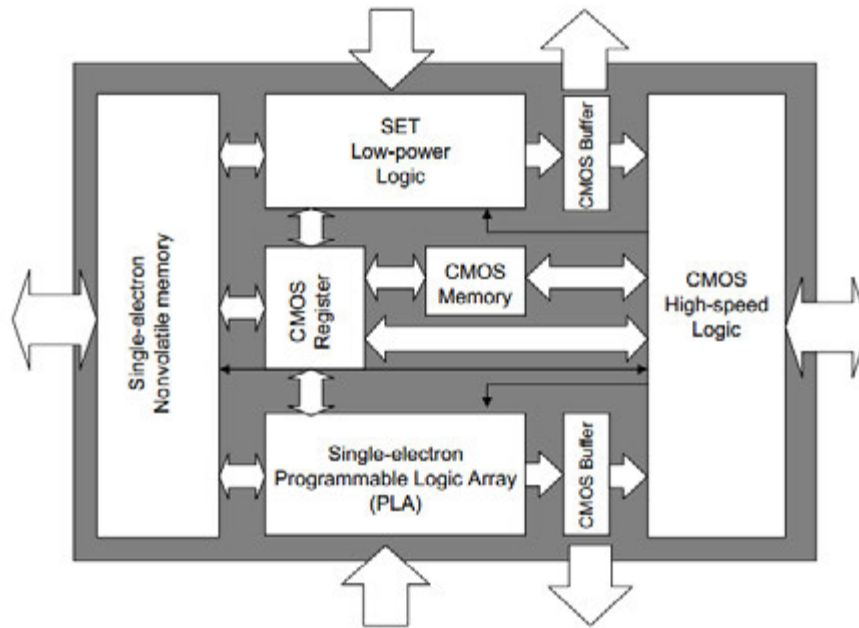


Fig. 74 : Exemple de plateforme hybride SET-CMOS.

Les DG-SETs offrent les avantages de très faible consommation d'énergie et de nouvelles fonctionnalités versatiles (liées aux oscillations de Coulomb), tandis que la technologie CMOS présente des avantages tels que les courants de drive et le gain en tension qui peuvent compenser les limitations intrinsèques du DG-SET. Par conséquent, même si un remplacement complet des circuits CMOS par des circuits mono-électroniques est peu probable dans un futur proche, il est également vrai qu'en combinant les technologies DG-SET et CMOS nous

pouvons apporter de nouvelles fonctionnalités intéressantes (d'où une approche hybride SET-CMOS). Une telle approche de co-intégration permet également d'éviter le changement brusque d'une technologie à une autre [7, 15]. Cependant, afin d'optimiser la surface totale et la dissipation d'énergie dans un système numérique, notre travail consiste à concevoir des modules spécifiques en logique DG-SET, qui ne nécessitent pas un fonctionnement à haute vitesse et où le CMOS sert d'interfaçage avec le monde extérieur (Fig. 74).

Dans le cadre de la proposition de projet européen « 3D SET-CMOS Integrated Circuits and Sensors » (3-SICS), qui a pour but de réaliser des démonstrateurs de circuits hybrides SET-CMOS pour des capteurs ultra-sensibles pour notamment la détection de gaz ou de charges, notre contribution préliminaire était de fournir et de concevoir des cellules logiques SET et / ou CMOS capables d'amplifier les petites variations de tension mais aussi pouvant être utilisées dans une approche de co-intégration des deux technologies. Dans une certaine mesure, les applications analogiques à base de circuit hybrides SET/CMOS semblent intéressantes. La caractéristique unique de la périodicité des oscillations de Coulomb du SET peut être exploitée pour engendrer plusieurs nouvelles fonctionnalités analogiques, qui sont très difficiles à réaliser dans une approche pure CMOS. C'est dans ce contexte que nous avons conçu deux cellules hybrides afin d'interfacer les deux technologies avec le monde extérieur. Il s'agit de la porte universelle ULG (Universal Literal Gate) qui peut être utilisée comme brique de base pour la détection de charge (dans notre cas), ou composant basique pour la logique multivaluée [1, 8].

5.5.1 Porte Universelle ULG : première structure

La Fig. 75 représente le schéma de la porte universelle ULG. Elle est composée d'un transistor SET, d'un transistor NMOS et d'une source de courant. Cette circuiterie permet de convertir une petite variation de tension V_{DS} du SET en une tension de sortie V_{out} compatible avec les niveaux de tension CMOS (de l'ordre du volt). Le transistor MOS est utilisé avec une tension fixe appliquée sur sa grille, il doit travailler dans une région proche du seuil de telle sorte qu'une petite variation de sa tension V_{GS} (liée à une petite variation de la tension V_{DS} du SET) va se traduire par une forte variation de la tension V_{DS} du NMOS et donc de la tension sur le nœud V_{out} . Aussi la tension appliquée sur la grille du NMOS doit être ajustée précisément. La

tension drain-source V_{DS} du SET est quasi-constante, elle fluctue autour du seuil du SET ($e/2C_{\Sigma} \cong 4mV$ dans notre cas) en suivant la périodicité des oscillations de Coulomb ($e/C_g \cong 0.16V$ dans notre cas). Nous avons utilisé pour ces simulations le modèle MIB [12] avec les paramètres du SET suivants : $C_S = C_D = 10aF$, $C_G = 1aF$, $R_D = R_S = M\Omega$, $T = 4K$ (ces paramètres étant choisis en lien avec la technologie SET silicium sur substrat FDSOI développée au CEA-LETI-INAC).

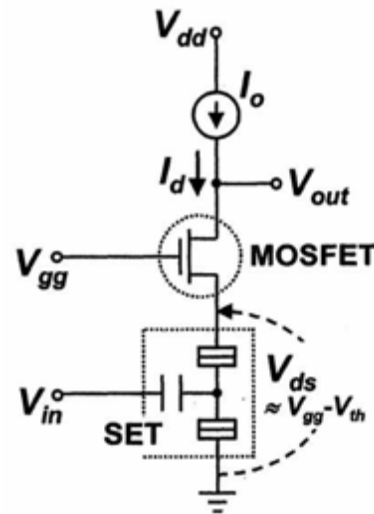


Fig. 75 : Schéma de la porte universelle ULG [8].

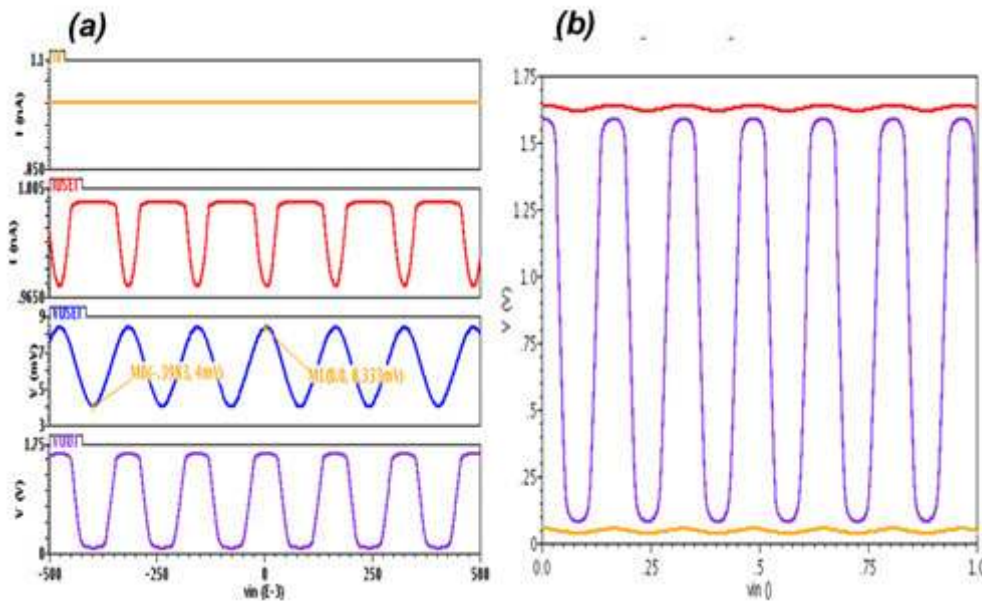


Figure 76: (a) Résultats de simulations de l'ULG et (b) Caractéristique de sortie V_{OUT} pour $V_G = 225$ mV (rouge), $V_G = 215$ mV (violet), $V_G = 205$ mV (jaune).

Les simulations de la porte universelle (ULG) sont réalisées avec les paramètres mentionnés précédemment et les polarisations précisées dans la Fig. 76. Le transistor NMOS est polarisé par un courant de 1 nA délivré par une source de courant. Ses dimensions sont : $W = 1 \mu\text{m}$ et $L = 10 \mu\text{m}$. Quand la valeur de courant franchit la valeur I_0 (voir Fig. 76-a), la tension de sortie bascule d'un état haut à l'état bas et vice-versa lorsque le courant passe par le second point de croisement. La tension de grille V_G du transistor MOS est fixée à la valeur 215 mV. Avec ces paramètres, nous obtenons une petite variation de la tension V_{DS} du SET (4 mV), ce qui correspond au passage d'un électron. Ces variations sont amplifiées (sortie V_{OUT}) et ainsi il est possible de connecter la sortie de la porte universelle à n'importe quel circuit CMOS. Il faut garder à l'esprit que la cellule ULG est très sensible à la tension appliquée sur la grille du transistor NMOS (V_G). Pour cela, il faudra bien dimensionner le circuit et trouver le point de fonctionnement/polarisation afin d'être capable d'amplifier le signal. Autrement, comme illustré sur la Fig. 76-b, avec une légère variation de la tension V_G du MOS, le circuit perd sa fonctionnalité. En pratique, ce circuit doit s'utiliser dans une boucle de contre-réaction.

5.5.2 Porte Universelle ULG : seconde structure

La Fig. 77 illustre l'implémentation parallèle de la porte universelle ULG. Dans ce cas, les transistors SET et MOS sont respectivement polarisés par un faible et fort courant en utilisant deux sources de courant différentes. Les paramètres du SET sont $C_S = C_D = 10\text{aF}$, $C_G = 1\text{aF}$, $R_D = R_S = 1\text{M}\Omega$, $T = 4\text{K}$. Le principe de fonctionnement et d'amplification reste relativement le même que celui de la première structure (Fig. 75). Contrairement à la première cellule, en dépit d'une consommation plus élevée, l'avantage d'avoir un transistor MOS en parallèle confère à la structure une certaine stabilité et permet de driver un courant plus important. La Fig. 78 montre la caractéristique de sortie V_{OUT} de l'implémentation parallèle de la porte universelle ULG.

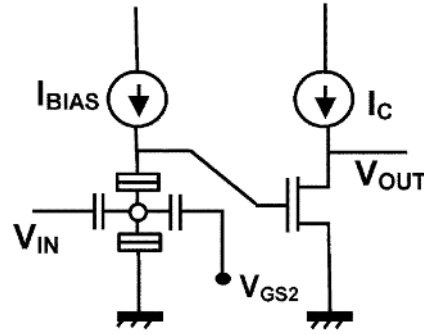


Fig. 77 : Schéma de la deuxième structure de la porte ULG [11] avec $I_{LOW} = 1 \text{ nA}$, $I_{HIGH} = 10 \text{ } \mu\text{A}$, et $V_{SS} = -485 \text{ mV}$, ($W = 500\text{nm}$, $L = 500\text{nm}$).

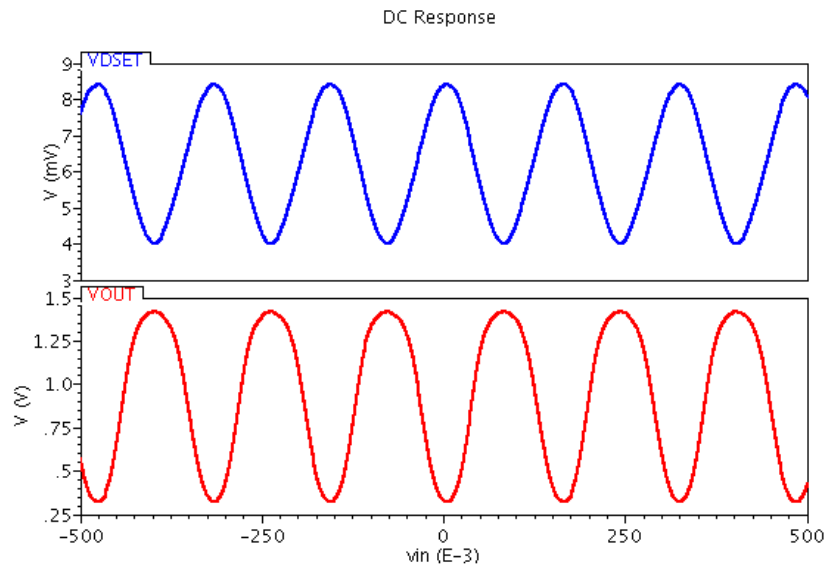


Fig. 78 : Caractéristique de sortie V_{OUT} pour l'implémentation parallèle de l'ULG.

5.6 Conclusion

Les dispositifs à un électron ont des caractéristiques propres qu'il est intéressant de chercher à exploiter dans des applications utiles, non pas pour remplacer ce qui se fait bien avec du CMOS, mais plutôt pour jouer un rôle complémentaire. Ce chapitre a permis d'explorer et d'évaluer le potentiel des transistors DG-SETs au niveau architectural et plus précisément pour des architectures reconfigurables dites à grain fin avec notamment l'utilisation de portes de transmission.

Les défis posés sont relatifs aux exigences de fabrication de structures réellement nanométriques reproductibles, à la variabilité, à l'immunité face aux charges parasites et au faible niveau de courant. L'hybridation et l'intégration 3D des structures SET sur les

plateformes CMOS (tout en assurant une compatibilité avec les étapes du back-end), offrent en effet une valeur ajoutée au back-end du CMOS, permettant ainsi d'augmenter la densité de fonctions par unité de surface.

C'est une voie prometteuse pour faire bénéficier ces derniers des potentialités des dispositifs à un électron tout en permettant à ceux-ci de continuer à profiter de la maturité et de la dynamique de progrès des technologies silicium.

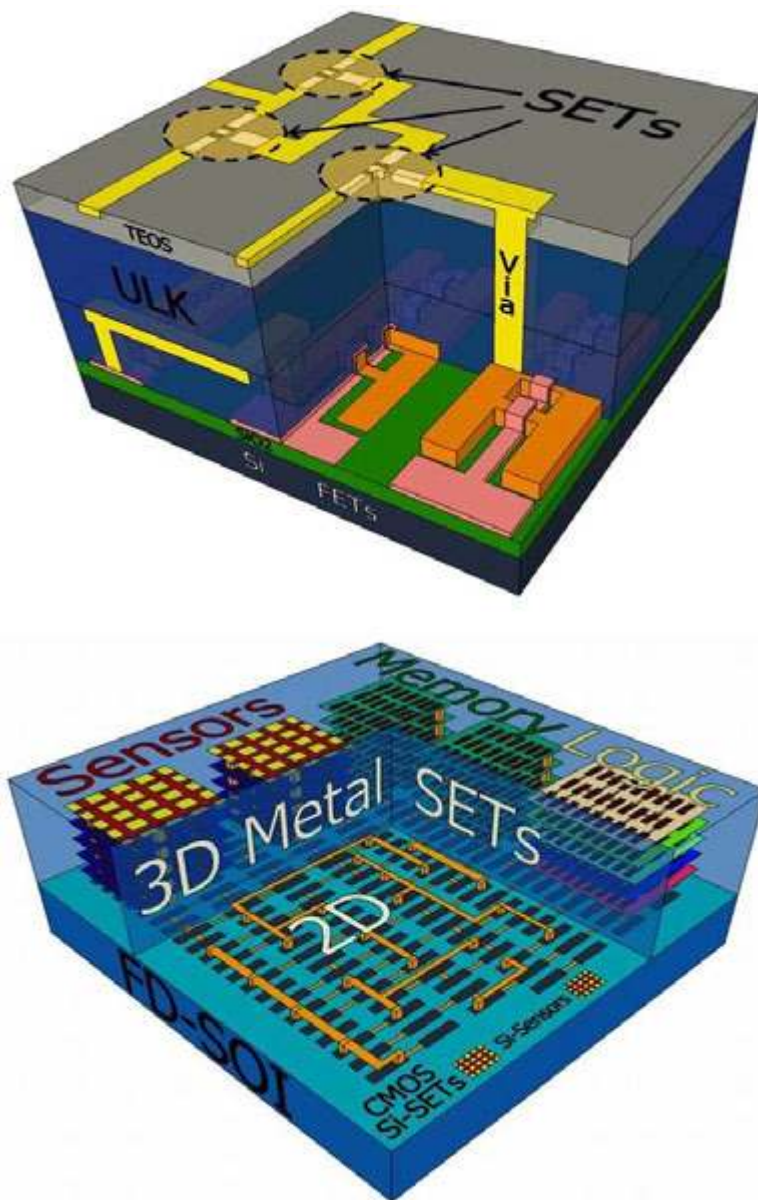


Fig. 79 : Structure hybride SET-CMOS [illustration tirée du projet européen « 3D SET-CMOS Integrated Circuits and Sensors » (3-SICS)]

RÉFÉRENCES DU CHAPITRE 5

Liste des références

- [1] Bounouar, M., Calmon, F., Beaumont, A., Guilmain, M., Xuan, W., Ecoffey, S. et Drouin, D. (2011). Single Electron Transistor analytical model for hybrid circuit design. Dans *New Circuits and Systems Conference (NEWCAS), 2011 IEEE 9th International*. IEEE, p. 506-509.
- [2] Bounouar, M. A., Beaumont, A., Calmon, F. et Drouin, D. (2012). On the use of nanoelectronic logic cells based on metallic Single Electron Transistors. Dans *Ultimate Integration on Silicon (ULIS), 2012 13th International Conference on*. IEEE, p. 157-160.
- [3] Calhoun, B. H. et Chandrakasan, A. P. (2006). Static noise margin variation for sub-threshold SRAM in 65-nm CMOS. *IEEE Journal of Solid-State Circuits*, volume 41, numéro 7, p. 1673-9.
- [4] Calhoun, B. H. et Chandrakasan, A. P. (2006). Static noise margin variation for sub-threshold SRAM in 65-nm CMOS. *IEEE Journal of Solid-State Circuits*, volume 41, numéro 7, p. 1673-9.
- [5] Carter, W., Duong, K., Freeman, R. H., Hsieh, H., Ja, J. Y., Mahoney, J. E., Ngo, L. T. et Sze, S. L. (1986). A user programmable reconfigurable gate array. Dans *Proceedings of the IEEE Custom Integrated Circuits Conference*
- [6] Chang, I. J., Kim, J., Park, S. P. et Roy, K. (2009). A 32 kb 10T sub-threshold SRAM array with bit-interleaving and differential read scheme in 90 nm CMOS. *Solid-State Circuits, IEEE Journal of*, volume 44, numéro 2, p. 650-658.
- [7] Hutchby, J. A., Bourianoff, G. I., Zhirnov, V. V. et Brewer, J. E. (2002). Extending the road beyond CMOS. *Circuits and Devices Magazine, IEEE*, volume 18, numéro 2, p. 28-41.
- [8] Inokawa, H., Fujiwara, A. et Takahashi, Y. (2003). A multiple-valued logic and memory with combined single-electron and metal-oxide-semiconductor transistors. *IEEE Transactions on Electron Devices*, volume 50, numéro 2, p. 462-70.
- [9] ITRS (2011). International Technology Roadmap for Semiconductors. Dans *Lithography Chapters*. <http://www.itrs.net/Links/2011ITRS/2011Chapters/2011Lithography.pdf> (page consultée le).
- [10] Kim, T., Liu, J., Keane, J. et Kim, C. H. (2008). A 0.2 V, 480 kb subthreshold SRAM with 1 k cells per bitline for ultra-low-voltage computing. *Solid-State Circuits, IEEE Journal of*, volume 43, numéro 2, p. 518-529.

- [11] Mahapatra, S. et Ionescu, A. M. (2005). Realization of multiple valued logic and memory by hybrid SETMOS architecture. *Nanotechnology, IEEE Transactions on*, volume 4, numéro 6, p. 705-714.
- [12] Mahapatra, S., Vaish, V., Wasshuber, C., Banerjee, K. et Ionescu, A. M. (2004). Analytical modeling of single electron transistor for hybrid CMOS-SET analog IC design. *Electron Devices, IEEE Transactions on*, volume 51, numéro 11, p. 1772-1782.
- [13] Mahapatra, S. et Ionescu, A. M. (2004). A novel single electron SRAM architecture. Dans *2004 4th IEEE Conference on Nanotechnology*. IEEE, Piscataway, NJ, USA, p. 287-9.
- [14] Seevinck, E., List, F. J. et Lohstroh, J. (1987). STATIC-NOISE MARGIN ANALYSIS OF MOS SRAM CELLS. *IEEE Journal of Solid-State Circuits*, volume SC-22, numéro 5, p. 748-754.
- [15] Ziegler, M. M. et Stan, M. R. (2002). A case for CMOS/nano co-design. Dans *Computer Aided Design, 2002. ICCAD 2002. IEEE/ACM International Conference on*. IEEE, p. 348-352.

CHAPITRE 6 Conclusion & Perspectives

La course à la miniaturisation du CMOS a permis d'atteindre des dimensions de transistors avec une longueur de grille physique de l'ordre de la dizaine de nanomètres. Ces dimensions sont en effet proche des limites fondamentales concernant le principe de fonctionnement mais aussi de performances électriques du MOSFET. En tenant compte des défis posés par la fabrication de circuits constitués de milliards de dispositifs à l'échelle nanométrique, les problèmes de variabilité et de consommation d'énergie, en particulier, impliqueront une mutation de l'architecture des dispositifs et même peut-être de leur principe de fonctionnement. Il semble donc, dans un futur proche, qu'avec l'avènement des nanotechnologies, la domination de la technologie CMOS sur l'industrie des semi-conducteurs ne sera plus totale avec les technologies émergentes dites de rupture. Les transistors mono-électroniques (SET) apparaissent donc comme un candidat intéressant pour les circuits ULSI dans le domaine « Post-CMOS » en raison de leur faible consommation d'énergie, leurs tailles nanométriques mais aussi de leurs propriétés intrinsèques uniques à savoir le phénomène de blocage et oscillations de Coulomb. Cependant, une analyse approfondie sur le comportement et la fabrication de ces dispositifs et circuits à base de transistors mono-électroniques double-grille (DG-SET) est absolument nécessaire pour une future implémentation réussie.

Les principales réalisations de cette thèse peuvent être divisées en trois parties : i) Le développement d'un modèle électrique pour les DG-SETs afin d'offrir un environnement compatible à la simulation de circuits dans un contexte hybride SET-CMOS ou purement DG-SETs ; ii) la conception de circuits logiques à l'aide de ce modèle afin d'évaluer l'impact de l'implémentation des DG-SETs ; et iii) l'exploration architecturale en bénéficiant de la double-grille ainsi que l'estimation des performances électriques des circuits et architectures logiques conçus.

Dans ces travaux de recherche, les outils nécessaires à la simulation de transistors mono-électroniques double-grille (DG-SETs) sont développés. Un modèle analytique pour les DG-SETs métalliques fonctionnant à température ambiante et au-delà est développé en étroite collaboration avec les équipes de fabrication et de caractérisation. Ce modèle est basé sur des

paramètres physiques et géométriques et implémenté en langage Verilog-A. Il est utilisable pour la conception de circuits analogiques ou numériques hybrides SET-CMOS. L'efficacité du modèle développé est illustrée en le comparant aux données expérimentales, mais aussi à d'autres modèles compacts issus de la littérature. A l'aide de ce modèle, nous avons conçu, simulé et évalué les performances de circuits logiques à base de DG-SETs afin de mettre en avant leur utilisation dans les futurs circuits ULSI. En effet, la plupart des études réalisées sur les SET, surtout par simulation mais aussi avec quelques réalisations expérimentales, ont toutes mis l'accent sur l'évaluation des performances du dispositif lui-même plutôt que sur l'intérêt de les exploiter dans les architectures. Dans ce contexte, une bibliothèque de cellules logiques entièrement à base de DG-SETs, fonctionnant à haute température, pour la réalisation d'opérations booléennes et fonctions logiques est présentée. Une analyse et une estimation des performances des éléments de la librairie sont effectuées afin de voir l'impact qu'offrent l'utilisation des DG-SETs dans les circuits logiques à l'échelle nanométrique. Un gain considérable en consommation d'énergie a été atteint. Ensuite, vient l'exploration et l'évaluation des architectures logiques numériques à base de DG-SETs. Ainsi les blocs élémentaires pour le calcul (ALU, SRAM, LUT, etc.) ont été conçus entièrement à base de DG-SETs. Nous avons tiré pleinement avantage des caractéristiques uniques qu'offrent les transistors mono-électroniques à savoir les oscillations de Coulomb afin d'avoir un comportement type-N ou type-P du DG-SET. En exploitant la flexibilité offerte par la seconde grille du DG-SET, une famille de fonctions et de circuits logiques flexibles à base de DG-SETs est implémentée à l'aide de portes de transmission. Une réduction du nombre de transistors par fonction par rapport à la technologie CMOS et de consommation a été atteinte. A la fin de ce manuscrit, nous avons abordé l'hybridation des transistors mono-électroniques avec la technologie CMOS ainsi qu'une introduction aux analyses statistiques et simulations Monte-Carlo afin de déterminer la robustesse des circuits logiques à base de DG-SET à l'égard des variations liées aux dispersions technologiques.

En termes de perspectives, nous soulevons plusieurs points qui nécessitent des investigations complémentaires. Certains de ces points sont énumérés ci-dessous :

- Afin d'augmenter la vitesse de calcul du modèle proposé lors des simulations de circuits très denses, une abstraction du modèle est nécessaire. En effet, il est possible

de passer par des tables de correspondances afin d'alléger le temps de calcul tout en ayant un bon compromis entre précision et temps de simulation.

- Au niveau outils de conception, un Design-Kit avec des règles de dessin serait important à mettre en place afin d'étudier l'implémentation physique des DG-SETs, ce qui ouvrira la voie à la synthèse logique des circuits à base de DG-SET.
- Malgré les caractéristiques intéressantes des DG-SET, leur implémentation pratique à court terme est discutable en raison des faibles valeurs de courant de sortie mais aussi en raison des difficultés technologiques liées à leur réalisation (technologie pas encore mature). Aussi une étude comparative entre les circuits purement CMOS, circuits hybrides SET/CMOS et circuits purement à base de DG-SET devrait être menée par domaine d'applications.
- Une investigation et modélisation de l'effet de proximité des DG-SETs serait une voie intéressante à envisager afin d'estimer la fiabilité au sein d'un circuit.
- Une étude plus poussée et approfondie sur la variabilité, l'effet des charges parasites, à la fois au niveau technologique et architecturale est aussi nécessaire.
- A plus long terme, la cellule mémoire mono-électronique (comportant un SET avec un îlot supplémentaire de stockage) devrait être étudiée au niveau modélisation analytique et applications. Celle-ci présente l'avantage de combiner plusieurs fonctions suivant son dimensionnement et sa polarisation : transistor P-SET ou N-SET, point mémoire volatile ou non-volatile, permettant d'envisager des circuits et architectures originaux.

Néanmoins, les défis demeurent : fabrication de structures nanométriques reproductibles et variabilité, immunité face aux charges parasites. L'hybridation et l'intégration 3D des composants mono-électroniques sur les plateformes CMOS (tout en assurant une compatibilité avec les étapes du back-end), offrent une valeur ajoutée au back-end du CMOS, permettant ainsi d'augmenter la densité de fonctions par unité de surface, d'introduire de nouvelles fonctionnalités (blocs ultra-faible consommation, mémoire, capteurs etc.) tout en bénéficiant de la maturité et de la dynamique de progrès des technologies CMOS silicium.

EXTENDED ABSTRACT

Double-Gate Single Electron Transistors: Modeling, Design & Evaluation of Logic Architectures

CONTENTS

EXTENDED ABSTRACT	1
1.1 Introduction	137
1.2 Single Electron Transistor Modeling & CAD Tools	139
1.2.1 Single Electron Transistor Fundamental & Basics	139
1.2.2 SET Modeling	142
1.2.3 Summary	150
1.3 DG-SET Based Logic Circuit Design	151
1.3.1 Device Characteristics	151
1.3.2 Complementary Logic DG-SET Design	154
1.3.3 Lowering Leakage	155
1.3.4 Performance Evaluation of DG-SET-based Library	156
1.3.5 SRAM Cell	158
1.3.6 Arithmetic Logic Blocks	161
1.3.7 Towards Programmable Circuits & Architectures	163
1.3.8 Transmission Gate DG-SET Logic	164
1.4 DG-SET Integration & Robustness	168
1.4.1 Impact of Interconnect Parasitics on DG-SET based Circuit Performances	168
1.4.2 Background Charges	170
1.4.3 Monte-Carlo Analysis	171
1.5 Conclusion	173
BIBLIOGRAPHY OF EXTENDED ABSTRACT	177

LIST OF FIGURES

Figure 1: Cross section of the 3D hybrid SET-CMOS integration in the BEOL.....	138
Figure 2: SET structure (left) and equivalent electrical model (right).....	140
Figure 3: Charging energy level representation for the island (aligned to source by V_G).	140
Figure 4: SET Coulomb Oscillations at 300K. Here, SET parameters are $C_{G1} = C_{G2} = 0.1$ aF and $C_S = C_D = 0.05$ aF.	142
Figure 5: SET current calculation flowchart in our model.....	147
Figure 6: SET I_D - V_{DS} characteristics for $V_{GS} = 0$ V calculated at different temperatures according our model and experimental results [12] at 300K and 433K. Here, SET parameters are $C_G = 0.23$ aF, $C_S = C_D = 0.06$ aF, barrier height ϕ_0 (TiOx/Ti junction) = 0.32 eV, dielectric constant (TiOx) $\epsilon_r = 4$, junction area = $2nm * 10nm$ and dielectric thickness = $8nm$	148
Figure 7: SET I_D - V_{DS} characteristics for $V_{GS} = 0$ V at 300K where components of the total current flowing through the device are illustrated. Here, SET parameters are $C_G = 0.23$ aF, $C_S = C_D = 0.06$ aF, barrier height ϕ_0 (TiOx/Ti junction) = 0.32 eV, dielectric constant (TiOx) $\epsilon_r = 4$, junction area = $2nm * 10nm$ and dielectric thickness = $8nm$	149
Figure 8: I_D - V_{GS} characteristics calculated at different temperatures according MIB model. Here, SET parameters are $C_G = 0.23$ aF, $C_S = C_D = 0.06$ aF, $V_{DS} = 120$ mV, $R_D = 55$ M and $R_S = 60$ M Ω	149
Figure 9: I_D - V_{GS} characteristics calculated at different temperatures according our model. Here, SET parameters are $C_G = 0.23$ aF, $C_S = C_D = 0.06$ aF, and $V_{DS} = 120$ mV.....	150
Figure 10: Background charges effect on I_D - V_{GS} curve. Here, SET parameters are $C_G = 0.23$ aF, $C_S = C_D = 0.06$ aF, and $T = 300$ K. The red curve is shifted by $e * \zeta / C_G$. In the case of an integer number of BC there is no change on the SET characteristics (black curve). If the BC is a fractional number Coulomb Oscillations are shifted along the V_{GS} axis.	150
Figure: 11: SET I_{DS} - V_{DS} characteristics at 300K for <i>ON</i> state ($V_{GS} = 0$ V) and <i>OFF</i> state ($V_{GS} = e/2C_G$). Here, SET and junction parameters are $C_{G1} = C_{G2} = 0.1$ aF, $C_S = C_D = 0.05$ aF. Dielectric constant (TiOx) $\epsilon_r = 3.9$, Barrier height ϕ_0 (TiOx/Ti junction) = 0.4 eV, junction area = $1nm * 5nm$ and dielectric thickness = $2nm$	152
Figure 12: (a) P-Type, (b) N-type SET configuration.....	152
Figure 13: Second gate effect & Coulomb Oscillations according our model at 300K for $V_{DS} = 400$ mV. Here, SET and junction parameters are $C_{G1} = C_{G2} = 0.1$ aF, $C_S = C_D = 0.05$ aF. Dielectric constant (TiOx) $\epsilon_r = 3.9$, Barrier height ϕ_0 (TiOx/Ti junction) = 0.4 eV, junction area = $1nm * 5nm$ and dielectric thickness = $2nm$	153
Figure 14: Static Dual Complementary SET Logic Network	154
Figure 15: Buffer schematic used to restore signal (a), thermionic effect on output logic level (b). Here, an example of NAND2 gate output voltage without buffer (green) and with output buffer that ensure full voltage swing (pink) at 300K.	155

Figure 16: SETs based standard cell library vs. 28nm FDSOI/Bulk CMOS inverter comparison.	158
Figure 17: Design Scheme of full DG-SET based 1-Bit SRAM memory cell.	159
Figure 18: Simulation waveforms of SET based SRAM cell at 298K.	160
Figure 19: 6T SET-based SRAM Static Noise Margin during hold mode at room temperature	160
Figure 20: 4-Bit DG-SET ALU Logic Block diagram.	162
Figure 21: Output waveforms of the 1-bit ALU based on DG-SET devices carried out by our model at room temperature.	162
Figure 22: FPGA basic Architecture consists of 2 dimensional arrays Logic Block. CLB: which the user logic is implemented. LUT: It implements the combinational logic functions, DFF: it stores the output of LUT, MUX: it is used for selection logic, Interconnects: which provides routing between the logic blocks to implements the user logic, Switch Box: provides switching between interconnects depending on the logic.	164
Fig. 23: Transmission Gate schematic and its principle (from left to right).	166
Fig. 24: DG SET Transmission gate topology, (a) XOR 2 function, (b) XNOR 2 function, (c) reconfigurable XOR 2 / XNOR 2 function.	166
Fig. 25: Simulation waveforms of DG SET reconfigurable XOR/XNOR function based on Transmission gate logic style.	167
Fig. 26: Logic diagram of a 4-Bit binary parallel Adder / Subtractor.	168
Fig. 27: Simulation waveforms of the Adder/ Subtractor based on DG-SET.	168
Figure 28: Schematic of RC equivalent model.	169
Figure 29: Worst case Cutoff frequency vs. interconnect nanowire length.	170
Figure 30: DC Monte-Carlo simulation of the DG-SET at 300K (100 iterations).	172
Figure 31: Monte-Carlo time dependent simulation of the DG-SET inverter at 300K (100 iterations).	173

LIST OF TABLES

Table I: Physical and electrical model parameters used in our calculation approach.....	148
Table II: DG-SET configuration	153
Table III: DG-SET based standard cell library performance characteristics (125 MHz)	157
Table IV: SNM comparison for different sub-threshold SRAM architectures during hold mode	161
Table V: Summary of the Arithmetic Logic Blocks Characteristics (125 MHz).....	162
Table VI: Comparison of different inputs LUT based on DG-SET	164
Table VII: 4-BIT PARALLEL ADDER / SUBTRACTOR CHARACTERISTICS BASED ON DIFFERENT LOGIC STYLES.....	168

1.1 Introduction

Electrical power consumption of electronics devices throughout the world becomes a crucial issue. Indeed, data centers already consume 2% of total electricity production in the world [17]. In some studies, it is expected that the use of data centers will grow twentyfold by 2030, leading them to consume at least 40% of the global electricity production predicted at that time [19]. Moreover, parallel computing in heterogeneous systems is expected to reduce energy consumption of computing by at least an order of magnitude [19]. Nowadays, embedded electronic devices (mobile phones, biological implants, sensor networks, etc.) require very low energy operation electronics. Therefore, for a successful transition, improvements have to be considered; in particular the use of transistors and memories consuming fundamentally less energy associated in multi-core architectures is certainly a key to overcome this energetic issue. Currently, CMOS scaling allows decreasing the transistor consumption following ITRS roadmap. Nevertheless, according to predictions, the exponential increase of density integration in CMOS integrated circuits will reach its limits around 2020 due to some physical limitation mainly related to the downscaling. The expansion of nanotechnology and its spreading will lead to major technological breakthroughs in the medium and long term. Therefore, semiconductor industry and academia seeks new technologies that may succeed or complement the ultimate MOS at three levels: device, circuit and systems. A tremendous research effort has been undergone since the late 90's to study emerging devices and evaluate their respective prospects. In recent years, many emerging technologies have been proposed in that direction (e.g. *Quantum Cellular Automata*, *Molecular Electronics*, *TFET*, *Spintronics*, etc.). Among these, Single Electron Transistor (SET) is a very promising candidate for future nanoelectronic circuits specifically for their low power consumption. However, the fabrication challenges (e.g. ultrasmall capacitances and room temperature operation) have been a real obstacle to bring it to reality. Nowadays, progress on nano-fabrication techniques allows SETs fabrication with room temperature operation [3, 10, 11, 24, 26, 30, and 39]. On the other hand, economic aspects lead to first consider innovative ways compatible with existing platforms in term of manufacturing infrastructures but also in term of design methodology. In this context, one solution is to be able to fabricate devices in the back-end of line (BEOL) of CMOS process. Integrating those devices with CMOS process is one form of 3D integration. It will enable additional functions

at the end of the process, but also taking advantage of both CMOS and new technologies. The nanodamascene process [3, 11] is therefore a very interesting way to achieve SETs operating at room temperature and above, while ensuring the compatibility with back-end of line (BEOL) CMOS processes. Figure 1 is a representation of the 3D integration of metallic SETs on CMOS process. In fact, with a completely compatible process, SETs are aligned, fabricated and connected at the level of the TEOS [25]. As it is represented SETs are connected to the CMOS layer using vias, going from the SET metal layer to the 1st metal level to achieve hybrid SET-CMOS circuits.



Figure 1: Cross section of the 3D hybrid SET-CMOS integration in the BEOL.

Therefore CMOS compatible technology will be preferred to take benefit of existing CMOS IPs. The use of SET in logic circuits along with CMOS begins to emerge [26]. Moreover, progress in ULSI has led to realistic applications such as SET memory [52] or programmable logic circuits [44, 56].

The remainder of the chapter is organized as follows:

In section 1.2, we will firstly introduce fundamentals of SET component. Afterwards, details about our analytical and compact SET modeling will be given. The calculation of SET tunnel current is based on physical parameters and geometrical characteristics of tunnel junctions, and is validated with experimental data. The drain current is modeled depending on

temperature and applied voltage. The model has been developed in an Analog Hardware Description Language (AHDL) and implemented on Cadence Virtuoso platform with Spectre simulator for use in hybrid logic circuit design.

A focus on logic circuit design approach based on DG-SET is reported on section 1.3. The second gate makes the polarity of the device controllable. In fact, the second gate enables a degree of freedom in order to configure the SET as N-type SET or P-Type SET. We will describe thereafter the design of complementary logic family based on DG-SET at room temperature. An evaluation of performance metrics has been made in order to evaluate the impact of SETs implementation for the next generation of nanoelectronic circuits. We will explore and discuss the use of DG-SET in some building blocks such as static memory, Arithmetic Logic Unit (ALU) and Look-Up Table for reconfigurable computing.

Section 1.4 will discuss the impact of interconnect parasitic, random background charges and their influence on SETs circuits. To better estimate DG-SETs circuit performances, Monte-Carlo simulations have been considered. Variations of geometrical and electrical parameters of SET have been introduced in our SET simulation tool and statistical analyses have been done.

Finally, section 1.5 will summarize the work and draw conclusions based on the results of the aforementioned sections.

1.2 Single Electron Transistor Modeling & CAD Tools

1.2.1 Single Electron Transistor Fundamental & Basics

SET operation is governed by the Coulomb Blockade (CB) phenomenon. As illustrated in Fig. 2, the device structure consists of two tunnel junctions separated from source and drain electrodes by a nanometer-scale conductive island (metallic or semi-conductor). In this article, we consider a metallic island incorporated in insulating material and coupled to one or more gate electrodes. The transfer of individual electrons between the source and drain via the island can be controlled by the voltage that is applied to the gate electrode. When an electron tunnels into the island, the electrostatic energy changes, this change is linked to the change in Gibbs' free energy of the island. Energy levels associated with single electron charging of the

island as shown in Fig. 3. The levels are equally spaced with a spacing given by the charging energy, $E_C = e^2/C_\Sigma$, where e is the elementary charge and C_Σ is the total capacitance. Therefore, at room temperature, the electrostatic energy change due to the addition or removal of a single electron should be greater than the thermal energy. If we consider a very small (almost zero) source drain voltage (V_{DS}), the gate voltage can then modulate the charging energy levels (Fig. 3) with respect to the Fermi level in the source and drain electrodes.

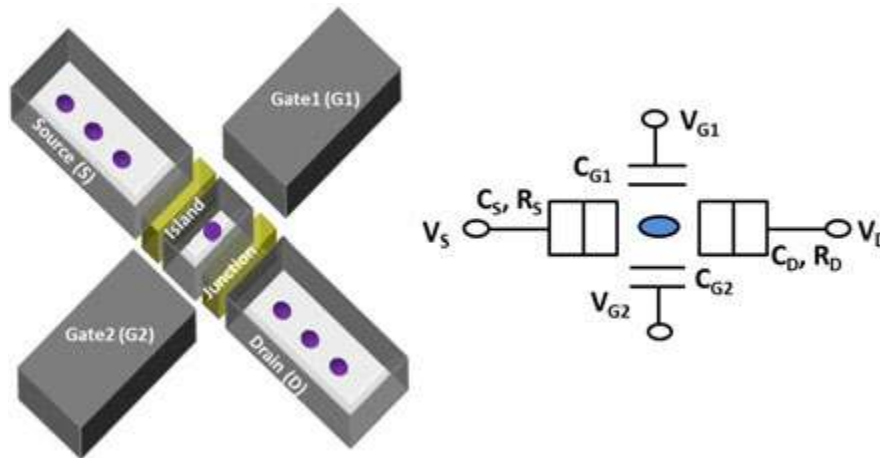


Figure 2: SET structure (left) and equivalent electrical model (right).

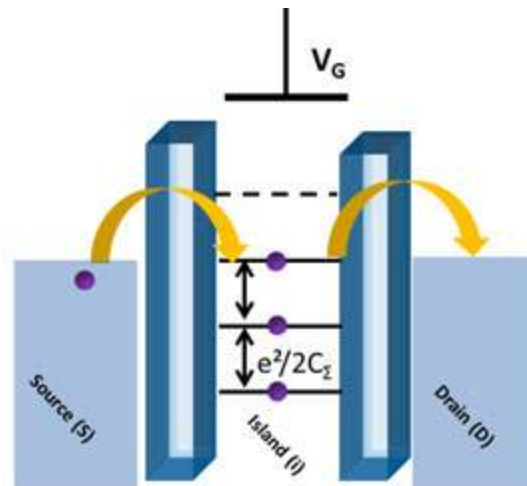


Figure 3: Charging energy level representation for the island (aligned to source by V_G).

Each tunnel junction is depicted by junction capacitances (C_S , C_D) and tunneling resistances (R_S , R_D) as shown in Fig. 2. The source and drain electrodes serve as electron reservoirs. A SET may also contain an optional second gate terminal, which is generally used to tune SET V_{GS} bias. The island is coupled to the gate electrode which allows the shifting of the island

energy level and thus, when the SET is turned on: the current flow through the device. By changing potential on the gate electrode (C_G), the threshold voltage reduces or rises. The threshold voltage dependence on gate voltage is a periodic function with period e/C_G [33]. As gate voltage increases to a certain value, electrons transit to the island, making one extra electron charge on the dot. The average number of electrons in the island increases one by one as the gate voltage increases. Further, with increase of the gate voltage, the electron number in the island will increase automatically. We can note the periodicity of the current versus the gate voltage, i.e., the CB effect is maximized when an integer average number of electrons are resident on the island when ($V_{GS} = ne / C_G$). On the other hand, when a half-integer number of electrons are present on the island the CB effect vanishes ($V_{GS} = ne / 2C_G$), where n is the number of electrons in the SET. Fig. 4 shows the $I_{DS}-V_{GS}$ curve of a SET with periodic oscillations called Coulomb Oscillations (CO).

In order to observe the CB effect, two conditions must be satisfied:

- To observe CB phenomenon, thermal fluctuations should not be enabling to add or subtract one extra electron in the island, which means that the electrostatic charging energy must be greater than the thermal energy, $(e^2/2C_\Sigma) \gg k_B T$, where e is the elementary charge, C_Σ the sum of the gate and junction capacitances, k_B is Boltzmann's constant and T the temperature [33].
- Quantum fluctuations must remain low enough to localize the electron on the island, which implies that the tunnel junction resistances must be higher than the quantum resistance, $R_T > h/e^2 \approx 26k\Omega$, where h is Planck's constant [33].

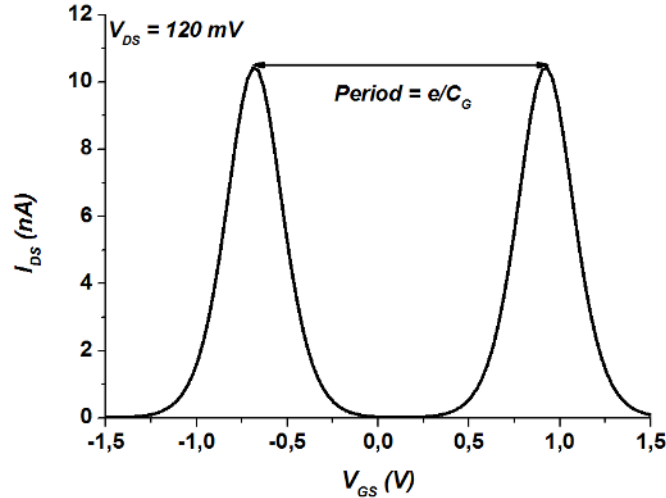


Figure 4: SET Coulomb Oscillations at 300K. Here, SET parameters are $C_{G1} = C_{G2} = 0.1$ aF and $C_S = C_D = 0.05$ aF.

1.2.2 SET Modeling

Extensive simulations are required aiming to design SETs circuits efficiently for their future implementations in ULSI circuits. For this, considerable efforts have been expended to develop SET CAD tools. Three simulation techniques are used to modeling SETs. Most simulation approaches are based on the Monte-Carlo (MC) method (e.g., SIMON [50], MOSES [9], SENECA [14], and KOSEC [53]). MC approach only chooses the most probable events randomly and uses the fact that electrons' tunneling is a stochastic process through the tunnel barrier [49]. However, this technique is not suited for rare events, too slow for large circuit analysis and cannot be expanded to a SET-CMOS hybrid circuits. The second approach is the SPICE macro modeling [54]. By using equivalent circuit, based on conventional SPICE components, this method is non-physical and empirical in nature. Finally, the Master-Equation approach describes the electron tunneling from island to island [41] depending on the charge distribution and the external circuit voltage biasing (e.g. SETRANS simulator [32]). Several SETs models using the Master-Equation (ME) [1, 46] method have been developed for hybrid circuit design. The most popular of these compact models [22, 31, 37] are the MIB [34], and [45], and are verified versus MC method.

Our modeling approach is based on ME resolution under the "Orthodox" theory of single electron tunneling [2, 20]. The major assumptions of the theory are: i) energy quantization

inside the island is ignored (this is valid only for metallic island); ii) electron tunneling time (τ) through the barrier is smaller than other process times involved and iii) co-tunneling or simultaneous tunnel events are ignored. From Orthodox Theory which describes charge transport under the influence of CB, the tunneling rate Γ of an electron tunneling through a potential barrier can be expressed as (Eq. 1) [50]:

$$\Gamma(\Delta E) = - \frac{\Delta E}{e^2 R_T \left(1 - \exp\left(\frac{\Delta E}{k_B T}\right) \right)}$$

Eq. (1)

where ΔE is the free energy change of the system, R_T is the tunnel resistance. Although, the orthodox theory gives the tunnel rate of one electron tunneling through a double potential barrier in a SET, it does not tell us any information about the statistics of tunneling electrons. Under the assumptions of the orthodox theory, and considering that the states are discrete, the ME method tries to solve (Eq. 2) [49]:

$$\frac{\partial P_i(t)}{\partial t} = \sum_{j \neq i} [\Gamma_{ji} P_j(t) - \Gamma_{ij} P_i(t)]$$

Eq. (2)

where Γ_{ij} denotes the transition rate from state j to state i , and $P_i(t)$ is the time-dependent occupation probability of state i .

Keeping only the first order terms, the ME can be written as follows (Eq. 3) [20]:

$$\begin{aligned} \frac{dP_n}{dt} = & P(n-1) \cdot [\vec{\Gamma}_D(n-1) + \vec{\Gamma}_S(n-1)] + P(n) \cdot [\vec{\Gamma}_D(n+1) + \vec{\Gamma}_S(n+1)] \\ & - P(n) \cdot [\vec{\Gamma}_D(n) + \vec{\Gamma}_S(n) + \vec{\Gamma}_S(n) + \vec{\Gamma}_D(n)] \end{aligned}$$

Eq. (3)

where $\vec{\Gamma}_D(n)$, $\vec{\Gamma}_S(n)$, $\vec{\Gamma}_S(n)$, $\vec{\Gamma}_D(n)$ represents respectively the electron tunneling rate from drain to island, source to island, island to source and island to drain with n electrons on the island.

We build upon the MIB, [12] models and we only consider the essential tunneling terms ($n = -2, -1, \dots, 2$) in aim to reduce complexity of the current equation and computing time with almost the same accuracy. By solving the ME at the steady state, the $P(n)$ terms are:

$$P_2 = \frac{\vec{I}_D(-1) + \vec{I}_S(-1)}{\vec{I}_S(-2)} \cdot \frac{\vec{I}_D(0) + \vec{I}_S(0)}{\vec{I}_S(-1)} \cdot P \quad \text{Eq. (4)}$$

$$P_2 = \frac{\vec{I}_S(1) + \vec{I}_D(1)}{\vec{I}_D(2)} \cdot \frac{\vec{I}_S(0) + \vec{I}_D(0)}{\vec{I}_D(1) + \vec{I}_S(1)} \cdot P \quad \text{Eq. (5)}$$

$$P = \frac{\vec{I}_D(0) + \vec{I}_S(0)}{\vec{I}_S(-1)} \cdot P \quad \text{Eq. (6)}$$

$$P = \frac{\vec{I}_S(0) + \vec{I}_D(0)}{\vec{I}_D(1) + \vec{I}_S(1)} \cdot P \quad \text{Eq. (7)}$$

Once we have all the terms as a function of P_0 and by using the fact that $\sum_n P(n) = 1$, the drain current can be expressed as Eq. (8):

$$I_{DS} = e \sum_{n=-\infty}^{n=\infty} Pn \left(\vec{I}_S(n) - \vec{I}_D(n) \right) \quad \text{Eq. (8)}$$

Now by using $P(n)$ values obtained before, final expression of SET drain current can be expressed as follows:

$$I_{DS} = e * \frac{(\vec{I}_S(-1) + \vec{I}_D(-1))(\vec{I}_S(0) + \vec{I}_D(0))(\vec{I}_S(1) + \vec{I}_D(1)) + (\vec{I}_S(0) + \vec{I}_D(0))(\vec{I}_S(-1) - \vec{I}_S(-1))(\vec{I}_S(1) + \vec{I}_D(1)) + (\vec{I}_S(0) + \vec{I}_S(0))(\vec{I}_S(1) + \vec{I}_D(1))\vec{I}_S(-1) + (\vec{I}_S(1) - \vec{I}_S(1))(\vec{I}_S(0) + \vec{I}_D(0))(\vec{I}_S(1) + \vec{I}_D(1))\vec{I}_S(-1)}{\left(\frac{(\vec{I}_S(-1) + \vec{I}_D(-1))(\vec{I}_S(0) + \vec{I}_D(0))(\vec{I}_S(1) + \vec{I}_D(1))}{\vec{I}_S(-2)} \right) + \left(\frac{(\vec{I}_S(1) + \vec{I}_D(1))(\vec{I}_S(0) + \vec{I}_D(0))\vec{I}_S(-1)}{\vec{I}_D(2)} \right) + (\vec{I}_S(0) + \vec{I}_D(0))(\vec{I}_S(1) + \vec{I}_D(1)) + (\vec{I}_S(0) + \vec{I}_D(0))\vec{I}_S(-1) + (\vec{I}_S(1) + \vec{I}_D(1))\vec{I}_S(-1)} \quad \text{Eq. (9)}$$

All analytical models mentioned previously, describe the tunneling resistances (R_T) like an ideal or constant resistance, provide a quantitative description of current through the device while ignoring some physical effects involved within the SET. Nevertheless, the direct tunneling cannot be assumed alone in single electron tunneling since features of intrinsic parameters junction characteristics, physical parameters, etc... have not been investigated before. However, models mentioned above are unsatisfactory for analyzing the performance of

a realistic SET, because they are verified and compared against MC method rather than experimental data at room temperature. A current conduction model [12] based on the physical properties of the tunnel junctions was proposed to describe the discrepancies observed at high temperature between the experimental data and Monte Carlo simulations which is based on the orthodox theory. The current equation Eq. (9), describing the SET behavior, is well defined now as a function of tunneling rates, we calculate then the tunnel current density through a potential barrier as a function of intrinsic parameters such as junction characteristics, energy level and operating temperature. In fact, we calculate the electric tunnel effect through a barrier which impedes the flow of electrons between the electrodes as a function of thickness, barrier height, and dielectric constant. For this, we use the Simmons's formula Eq. [40] in order to calculate the current density and extract the tunnel resistance (used in Eq. (1)):

$$J = \int_0^{Em} D(E) dE * \left\{ \frac{4\pi me}{h^3} \int_0^{\infty} [f(E) - f(E + eV)] dE_r \right\} \quad Eq. (10)$$

where Em is the maximum energy of the electrons in the electrode, $D(E)$ is the probability that an electron can penetrate a potential barrier for an energy charge E , e the elementary charge, m the effective mass, h the Planck's constant and $f(E)$ is the Fermi-Dirac function.

At high temperature's operation, electrons get thermally excited beyond the barrier energy and they move freely in a parallel channel across the SET. For this, it will be significant to calculate and take into consideration the contribution of thermionic emission [42] described in Eq. (11).

$$J_{Thermionic} = A * T^2 \exp \left(\frac{-e(\phi_0 - \sqrt{eE/4\pi\epsilon_r\epsilon_0})}{k_B T} \right) \quad Eq. (11)$$

where A is the effective Richardson constant and ϵ_0 is the permittivity in the free space.

Hence, the total current traveling through the SET will be defined as illustrated on Fig. 7.

$$I_{Total} = I_{Tunnel} + I_{Thermionic} \quad Eq. (12)$$

Fig. 5 illustrates the flowchart for the drain-source current in our SET model. The routine starts by setting the initial conditions V_{DS} and V_{GS} aiming to calculate the island potential. Afterwards, the energy calculation is performed. Note that the CB condition is verified when

$\Delta E > 0$ where ΔE is the free energy change of the system. The third step shall determine the tunnel frequency expression where Γ is the transfer rate as a function of the junctions' transparency and difference between initial and final electrostatic energy. It will be noticed that the major added value in our modeling approach, unlike other SET models in the literature, is the incorporation of barrier transparency variations by using the *Wentzel–Kramers–Brillouin (WKB)* approximation [40] with:

- Barrier deformation due to potential image.
- Electron distribution in electrodes as a function of temperature (T).
- Extraction of tunnel junction resistance as a function of voltage biasing (V).

To ensure a genuine modeling of the tunnel effect, we extract the tunnel junction resistance function of voltage biasing and retro-annotate this value in *Eq. (1)*. Thus instead to have a constant value of resistance R_T , which does not really reflect the behavior inside the SET, junction tunnel resistance expression becomes:

$$R_T(V, T) = \frac{V}{J(V, T) * S}$$

Eq. (13)

The next step consists of calculating the probabilities $P(n)$. At the steady state the number of electrons reaching the island is equal to the ones leaving it. Finally, once all steps are achieved, the modeling and the calculation of the total SET drain current flowing through the device (tunneling current and thermionic emission) is done.

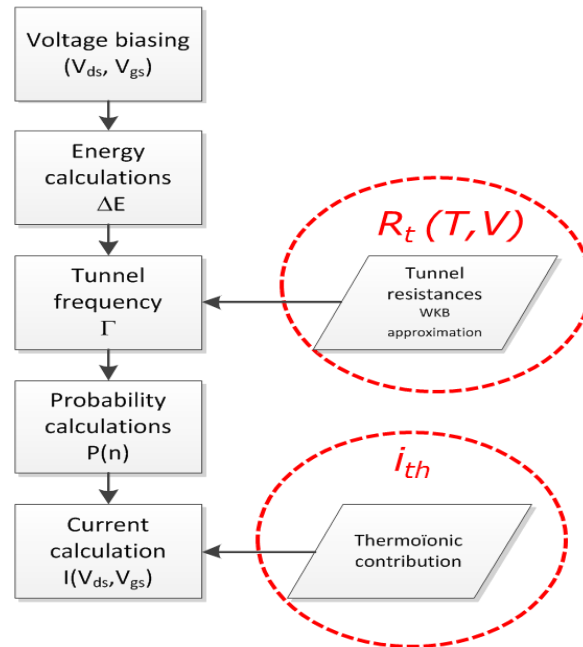


Figure 5: SET current calculation flowchart in our model.

The model has been verified against experimental SET source to drain current characteristics with $Ti/TiOx$ junctions operating at room temperature and above. The SET $I_{DS}-V_{DS}$ characteristic is drastically affected by voltage and temperature. The simulated characteristics closely match experimental data as shown in Fig. 6. All contributions governed by the conduction mechanisms such as direct tunneling, Fowler-Nordheim conduction mode at high biases and the thermionic current are illustrated in Fig. 7. A comparison has been carried out for different temperatures, between our model and the MIB model to verify the accuracy of our modeling approach. Note that the MIB model is the most popular model for hybrid circuits, compatible with IC's design tools and matches the MC simulation results. As we can see in Fig. 8 and Fig. 9, our model takes into account the current increase with temperature and applied voltage contrary to MIB where no difference was shown. This means that the tunnel resistance variations with voltage biasing and the thermionic emission enhanced by temperature rise affect drastically the $I-V$ characteristics of a SET in contrast with MIB which is limited for low temperature. Background charges effect on $I-V$ characteristics has also been illustrated in Fig. 10. Note that if the background charge number is an integer multiple of the basic elementary charge (e), there is no change in the SET characteristics. However, if the background charge is a fractional number, Coulomb Oscillation curve is shifted along the V_{GS} axis Fig . We will later discuss BC's origin; the impact on SET based logic circuit and

solutions to skirt them. Table I presents physical and electrical model parameters used in our calculation approach.

Table I: Physical and electrical model parameters used in our calculation approach

<i>Key Model Parameters</i>			
ϵ_r	<i>Dielectric Constant</i>	ζ	<i>Background Charges</i>
Φ	<i>Barrier energy height</i>	C_S	<i>Source Capacitance</i>
S	<i>Dielectric thickness</i>	C_D	<i>Drain Capacitance</i>
H	<i>Junction height</i>	C_{G1}	<i>Gate Capacitance</i>
W	<i>Junction width</i>	C_{G2}	<i>Second Gate Capacitance</i>

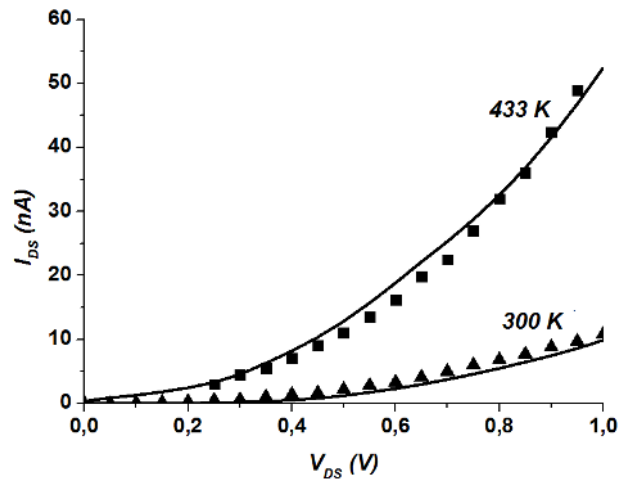


Figure 6: SET I_D - V_{DS} characteristics for $V_{GS} = 0$ V calculated at different temperatures according our model and experimental results [12] at 300K and 433K. Here, SET parameters are $C_G = 0.23$ aF, $C_S=C_D=0.06$ aF, barrier height ϕ_0 (TiOx/Ti junction) = 0.32 eV, dielectric constant (TiOx) $\epsilon_r = 4$, junction area = 2nm*10nm and dielectric thickness = 8nm.

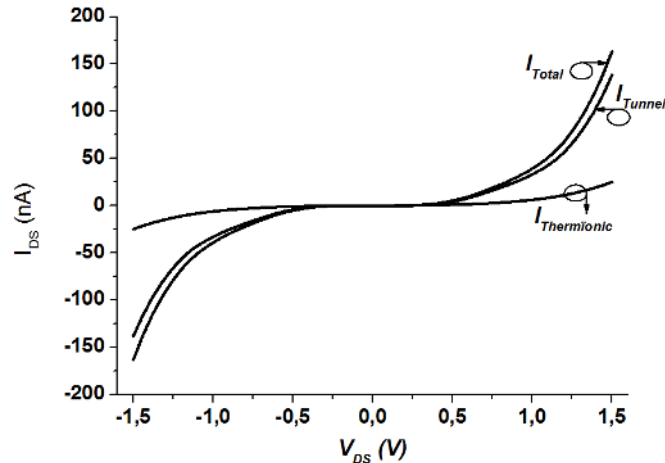


Figure 7: SET I_D - V_{DS} characteristics for $V_{GS} = 0$ V at 300K where components of the total current flowing through the device are illustrated. Here, SET parameters are $C_G = 0.23$ aF, $C_S = C_D = 0.06$ aF, barrier height ϕ_0 (TiOx/Ti junction) = 0.32 eV, dielectric constant (TiOx) $\epsilon = 4$, junction area = $2\text{nm} \times 10\text{nm}$ and dielectric thickness = 8nm .

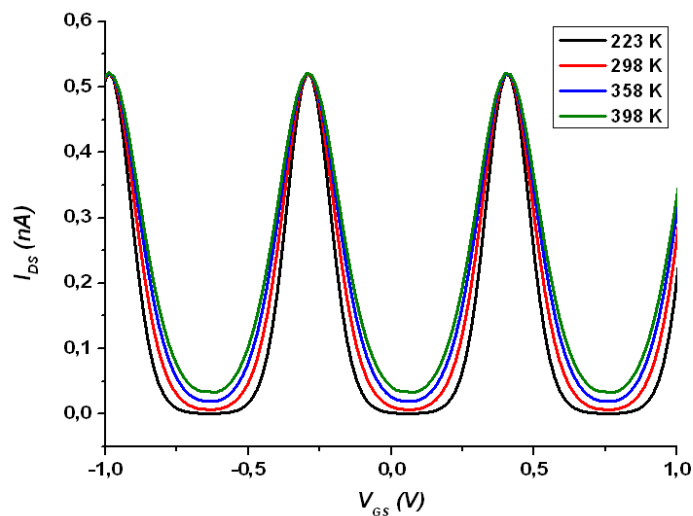


Figure 8: I_D - V_{GS} characteristics calculated at different temperatures according MIB model. Here, SET parameters are $C_G = 0.23$ aF, $C_S = C_D = 0.06$ aF, $V_{DS} = 120$ mV, $R_D = 55$ M and $R_S = 60$ M Ω

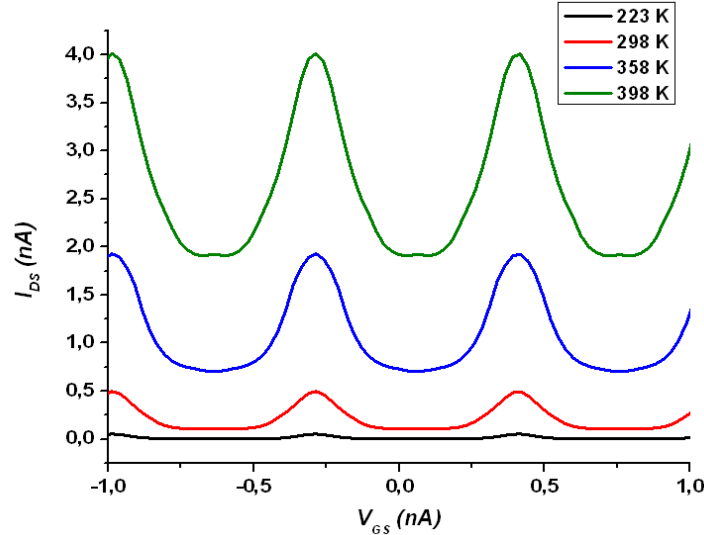


Figure 9: I_D - V_{GS} characteristics calculated at different temperatures according our model. Here, SET parameters are $C_G = 0.23$ aF, $C_S = C_D = 0.06$ aF, and $V_{DS} = 120$ mV.

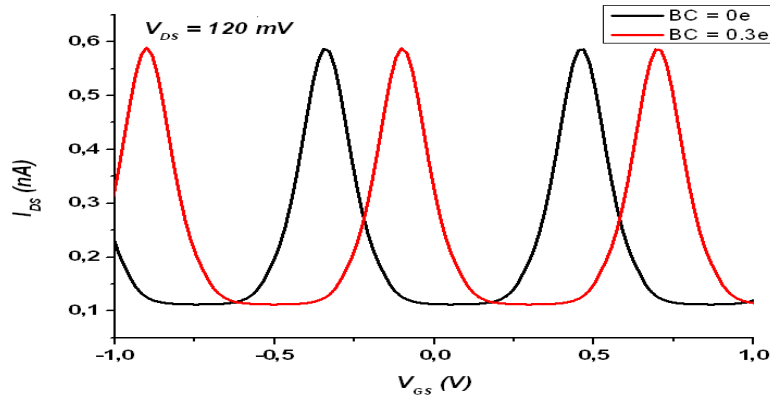


Figure 10: Background charges effect on I_D - V_{GS} curve. Here, SET parameters are $C_G = 0.23$ aF, $C_S = C_D = 0.06$ aF, and $T = 300$ K. The red curve is shifted by $e^*\zeta / C_G$. In the case of an integer number of BC there is no change on the SET characteristics (black curve). If the BC is a fractional number Coulomb Oscillations are shifted along the V_{GS} axis.

1.2.3 Summary

In this section, we have first exposed fundamentals and physics involved in single electron tunneling. A non-exhaustive state of the art for single electron transistors CAD tools (simulator and compact models) has been reviewed. We discussed about our modeling approach which is based on the steady state ME solving. Moreover, to ensure CB at high temperature and above, we need to include various contributions such as Fowler-Nordheim conduction mode and thermionic current for high temperature and high voltage biasing in

contrast to common simulators. A compact model which calculates all contribution determined by the tunnel transport characteristics will be very helpful and necessary for circuits designers aiming future SET implementations in ULSI. Unlike compact models in literature (tunnel resistance R_T as an input), we have incorporated the barrier transparency variations in order to have a good accuracy and efficiency in current calculation through the SET device. For this purpose, our model brought a new approach to calculate the drain current for large temperature range and provide accurate simulation results. The drain current is calculated taking into account operating temperature, applied voltage and taking into account tunnel junctions' geometrical characteristics and their physical parameters. It should be noticed that under the assumptions of the Orthodox Theory energy level quantization is ignored. This is more suitable to predict SET circuit performances than previous compact models since, as will see later, our logic design relies on metallic SETs technology. Finally, our physics-based analytical compact model is developed and implemented in Verilog-A language allowing co-simulations with FET devices and compatibility with IC's design environment.

1.3 DG-SET Based Logic Circuit Design

1.3.1 Device Characteristics

By applying an appropriate biasing on the gate, we can control the charge transfer through the SET and then switch it from *OFF* state (Coulomb Blockade) to *ON* state (current conduction). Fig. 11 depicts the source-drain voltage dependence of source-drain current for $V_{GOFF} = 0$ and $V_{GON} = e/2C_G$ (CB effect disappears). When the source-drain voltage is smaller than the blockade voltage, the *ON/OFF* states of SETs can be successfully controlled by the gates. In this work, we propose a design technique based on a SET structure with 4 terminals. While the second gate has been previously used by [4, 28] to reduce leakage power in the case of FinFETs devices, the use of a second gate in SET based logic enhances the design degree flexibility aiming to switch between the *ON/OFF* states [43]. Moreover, to be compatible with conventional design techniques, we need to operate in the range $[G_{ND}, V_{DD}]$. In addition, DG-SET can be configured as P-type or N-type if the second gate is biased with a low or high voltage (G_{ND} or V_{DD}) respectively as illustrated in Fig. 13. In fact, the second gate makes the polarity of the device controllable, inspiring new opportunities in logic design as we will see later. Furthermore, as reported in [5], SET based logic design using one control gate requires

two power supplies $[-V_{DD}, +V_{DD}]$. The use of two supply voltage sources has more constraints in design complexity and also consumes more power.

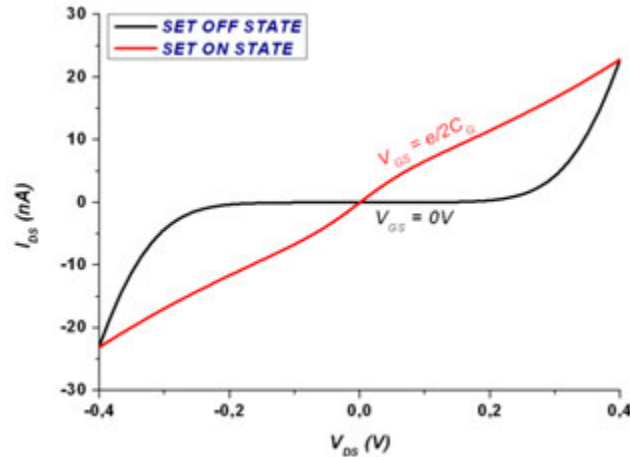


Figure: 11: SET I_{DS} - V_{DS} characteristics at 300K for *ON* state ($V_{GS} = 0$ V) and *OFF* state ($V_{GS} = e/2C_G$). Here, SET and junction parameters are $C_{G1} = C_{G2} = 0.1$ aF, $C_S = C_D = 0.05$ aF.

Dielectric constant (TiO_x) $\epsilon_r = 3.9$, Barrier height ϕ_0 (TiO_x/Ti junction) = 0.4 eV, junction area = $1nm * 5nm$ and dielectric thickness = $2nm$.

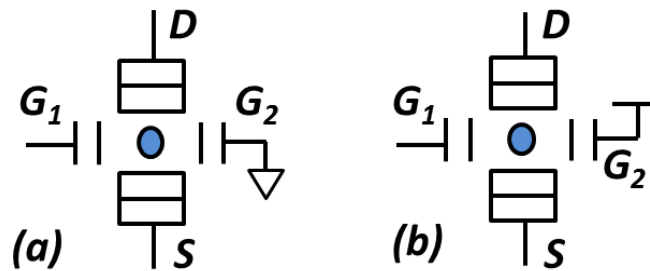


Figure 12: (a) P-Type, (b) N-type SET configuration.

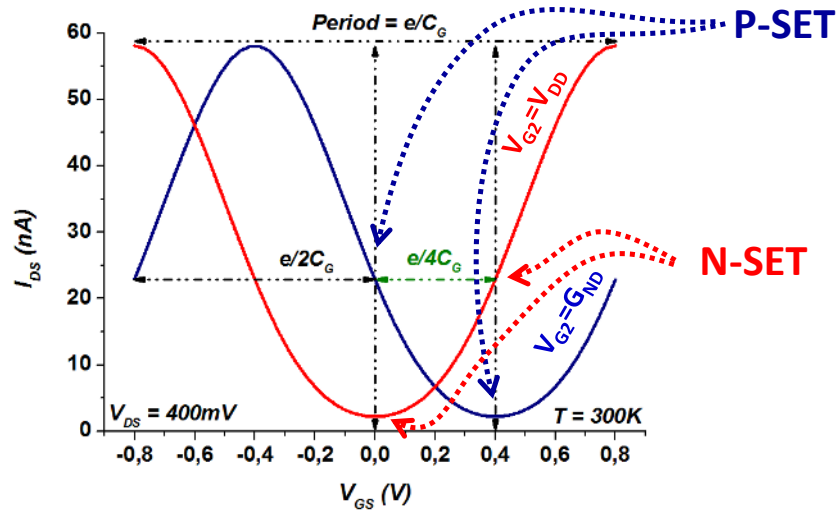


Figure 13: Second gate effect & Coulomb Oscillations according our model at 300K for $V_{DS} = 400\text{ mV}$. Here, SET and junction parameters are $C_{G1} = C_{G2} = 0.1\text{ aF}$, $C_S = C_D = 0.05\text{ aF}$. Dielectric constant (TiO_x) $\epsilon_r = 3.9$, Barrier height ϕ_0 (TiO_x/Ti junction) = 0.4 eV , junction area = $1\text{ nm} * 5\text{ nm}$ and dielectric thickness = 2 nm .

By exploiting the unique features of SETs i.e. periodicity of the Coulomb oscillations and the biasing of the second gate capacitance, we are able to have both pull-up and pull-down switching devices. In fact, the second gate enables to shift Coulomb Blockade region and thus we obtain P-type and N-type configuration making the SET as a programmable device (Fig. 12). In SET-based logic gates, output switching from ‘0’ to ‘1’ logic state is achieved by electrons transport from output to V_{DD} ; and from G_{ND} to output node for switching from ‘1’ to ‘0’ state. Thanks to the intrinsic device operation, SET-based circuits will be designed independently from the power supply V_{DD} which is defined by SET capacitances ($V_{DD} = e / 4C_G$) [5] unlike CMOS where power supply reduction is limited to preserve transistor performance (threshold voltage V_{TH} limitation). Table II illustrates SET configuration depending on the gate biasing.

Table II: DG-SET configuration

V_{G1}	V_{G2}	<i>Configuration</i>
‘0’	‘0’	<i>P-Type</i>
‘0’	‘1’	<i>OFF</i>
‘1’	‘0’	<i>OFF</i>
‘1’	‘1’	<i>N-Type</i>

1.3.2 Complementary Logic DG-SET Design

SETs based circuits rely on tunnel junctions through which electrons can flow in a controlled manner. An approach for designing logic gates with SETs is to consider that they operate like switches. As shown in Fig. 13, we use the second-gate in order to operate in two logic states $[0, V_{DD}]$ by setting V_{G2} between $[0, e / 4C_G]$ where ON / OFF current ratio is optimum. Therefore, it is possible to build Boolean logic gates similar to CMOS technology. The main advantage to use SETs in that way is to reuse existing knowledge and design tools at very little cost and effort while overcoming fundamental physical restriction of CMOS technology. A set of Boolean logic gates based on metallic DG-SETs has been built and designed by keeping the parameters aforementioned in Fig. 12. As we can see in Fig. 14, the topology of logic gates is similarly to CMOS ones. Thus, we can clearly identify the dual networks (pull-up and pull-down) by fixing the second gate biasing to the G_{ND} and V_{DD} respectively.

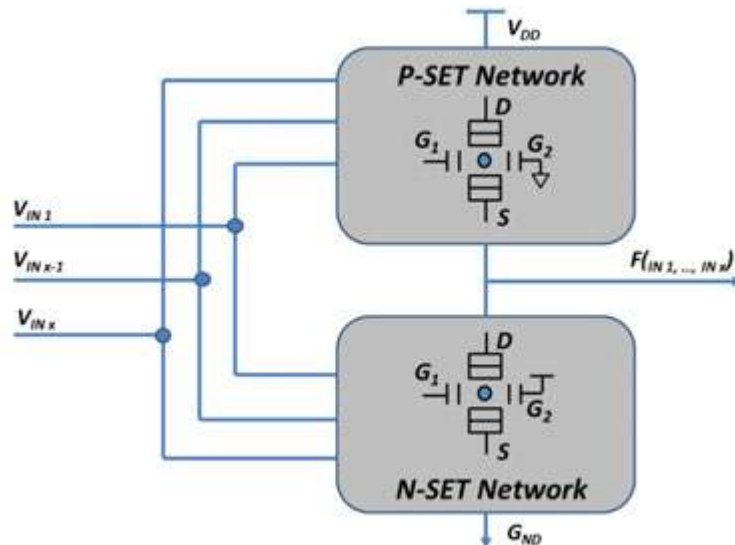


Figure 14: Static Dual Complementary SET Logic Network

Like conventional CMOS libraries, our SETs based logic cell family consists of universal NAND-NOR, AND/OR, XOR/XNOR gates with two and three inputs. We have also extended the design to complex or compound logic gates such AOI21, OAI21 and OA12 in aim to provide a suite of building blocks that can be used in SETs based logic circuits. Therefore, we can realize Boolean functions with both combinational and sequential logic circuits such as multiplexers, decoder, register, etc., [6]. Although their characteristics differ significantly from

those of MOS transistors, SETs can be used to realize logic functions using the same CMOS architectures.

1.3.3 Lowering Leakage

Contrary to ideal CMOS logic, when the output is in ‘0’ or ‘1’ steady-state logic state there is a non-zero static current in SET based logic [36]. Therefore, static power P_{STAT} is identified as the main mechanism of SET logic power dissipation whereas dynamic power P_{DYN} plays the key role in CMOS logic power dissipation. While other SET models do not consider the temperature effect in SET drain current calculation, our approach enables to reproduce faithfully the behavior of $Ti/TiOx$ SET junction. For this reason, it will be significant to take into consideration the contribution of thermionic emission that acts as a leakage current of the device. Leakage current has a strong impact on the output signal degradation. This can be disadvantageous in case where other blocks must be driven. In order to ensure signal integrity at high temperature, we have introduced almost at each cell a buffer with serial SETs [18] for both pull-up and pull-down network (Fig.15). By this method, leakage current through series transistors is lowered and is therefore avoiding any degradation of output voltage swing.

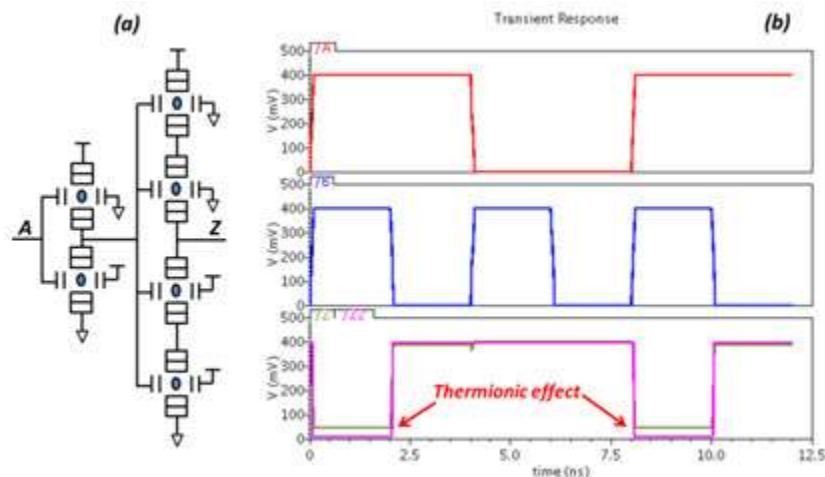


Figure 15: Buffer schematic used to restore signal (a), thermionic effect on output logic level (b). Here, an example of NAND2 gate output voltage without buffer (green) and with output buffer that ensure full voltage swing (pink) at 300K.

1.3.4 Performance Evaluation of DG-SET-based Library

The average power consumption and delay for the library cells were evaluated in order to highlight the characteristics of SETs based logic cells. The logic gates function that were implemented are NOT-NAND-NOR-XOR-XNOR with two and three inputs respectively, complex gates such as AOI21- OAI21- OA12, 2-to-1 MUX, 4-to-1 MUX, 2-to-4 single line decoder-DEC24, positive-edge triggered D-flip-flop and 8-bits shift registers. Simulations were carried out at $T = 300\text{K}$ with the same operating conditions and the same SET and junction parameters shown in Fig. 13. Furthermore, we used a frequency of 125 MHz and a power supply of 0.4 V. Based on results summarized in Table III the following conclusion can be made: i) The one by one electron flowing through the device exhibits an ultra-low power consumption of the cells; ii) The NAND2/NOR2 power consumption is twice greater than AND2/OR2. It's mainly due to the output inverter shown in Fig. 5 (2 transistors stacked in series in both pull-up and pull-down network) which allows the AND2/OR2 function; iii) With the same principle, logic gates with 3-inputs consume less power than their counterparts with 2-inputs gates due to the presence of an additional SET in series. In this work, SETs based standard cell library performance comparison against traditional CMOS library was not systematically included because the result will depend on the stand-alone cell used. As an example, to compare a SET NOR3 (or any other cell) against their equivalent in CMOS, we need to customize the transistor sizing for each cell. In fact, the lower sizing cell provided in CMOS standard cell library is NOR3X8 making the comparison unfair. However, the lower SET logic circuits power consumption compared to that of CMOS is already demonstrated [16, 48]. Nevertheless, to highlight the ultra-low power SET aspect we have compared the average power consumption of an inverter in 28 nm bulk and FDSOI technologies and designed at the minimum size against our standard cell library based on SETs. As expected, SETs technology presents a significant power reduction compared to CMOS ones. As observed in Fig. 16, the power consumption of SET-based DFF is almost the same as for an inverter built in CMOS technology. Moreover, a major improvement compared to the other logic circuits has been made. This makes the use of SETs more attractive for ULSI circuits.

Table III: DG-SET based standard cell library performance characteristics (125 MHz)

	<i>Avg. Power (nW)</i>	<i>Delay (ps)</i>	<i>Energy Delay Product</i>	<i>Transistor count</i>	<i>Avg. Power/Tr.(nW)</i>	<i>Energy (aJ)</i>
<i>INV</i>	0.75	0.34	0.26	2	0.38	6
<i>BUFF</i>	1.35	0.18	0.25	6	0.23	10.8
<i>NAND2</i>	1.3	21.9	28.47	10	0.13	10.4
<i>NAND3</i>	1.1	33	36.3	12	0.09	8.8
<i>AND2</i>	0.65	21.9	14.24	8	0.08	5.2
<i>AND3</i>	0.42	31.9	13.4	10	0.042	3.36
<i>NOR2</i>	1.12	21.5	24.08	10	0.112	8.96
<i>NOR3</i>	0.98	32.6	31.95	12	0.08	7.84
<i>OR2</i>	0.45	21.5	9.68	8	0.05	3.6
<i>OR3</i>	0.31	33	10.23	10	0.031	2.48
<i>XOR2</i>	2.47	14.8	36.56	14	0.176	19.76
<i>XOR3</i>	1.21	23.5	28.44	28	0.043	9.68
<i>XNOR2</i>	2.47	0.26	0.65	14	0.176	19.76
<i>XNOR3</i>	1.89	1.03	1.95	30	0.063	15.12
<i>AOI21</i>	1.31	11.9	15.6	12	0.109	10.48
<i>OAI21</i>	1.37	12.2	16.72	12	0.114	10.96
<i>OAI2</i>	0.56	14	7.84	10	0.056	4.48
<i>MUX21</i>	1.97	0.24	0.48	16	0.123	15.76
<i>MUX41</i>	5.96	1.25	7.45	48	0.125	47.68
<i>DEC24</i>	3.67	10.8	39.64	36	0.1	29.36
<i>DFF</i>	11.8	12.3	145.14	84	0.14	94.4
<i>8 Bits Shift Reg.</i>	92.1	1.56	143.68	672	0.14	736.8
Average	6.15	14.6	27.9	48	0.118	49.2

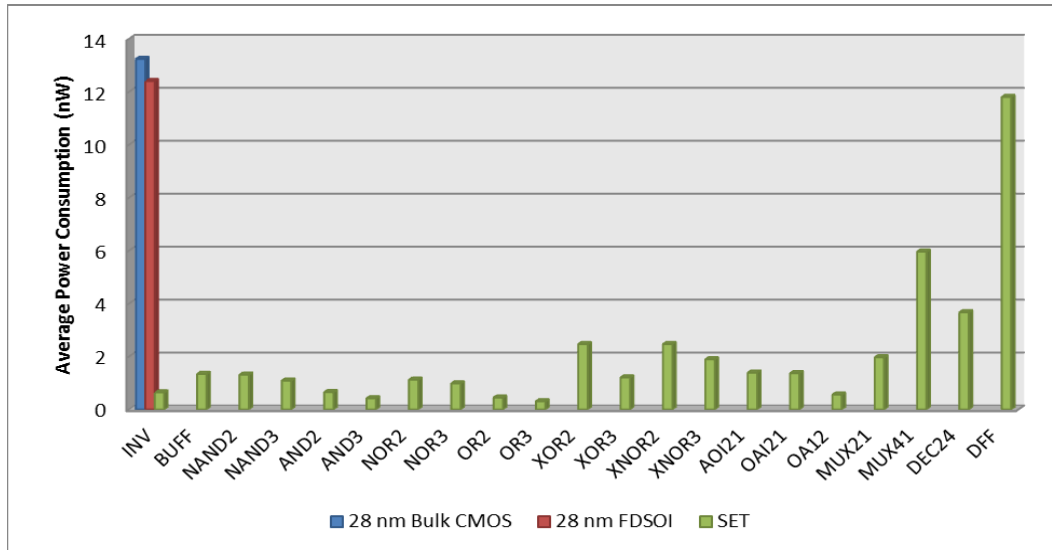


Figure 16: SETs based standard cell library ($V_{DD}=0.4V$) vs. 28nm FDSOI/Bulk CMOS ($V_{DD}=0.8V$) inverter comparison.

1.3.5 SRAM Cell

Memory elements are amongst others the most attractive application for SETs. Several works have covered the realization of memory cells based on SETs with different approaches [21, 35]. Herein, one bit Single Electron based static memory is presented. The design scheme and simulation results obtained with SET-based SRAM cell are presented in Fig. 17 and Fig. 18. The memory cell uses 6 SETs to store and access one bit. It is composed of two coupled DG-SET inverters (S1-S2 and S3-S4) to store the data and two N-type SETs access transistors. We also used two tri-state SET buffers, which are designed to manage Read / Write cycles. To write a new data into the cell, the wordline is activated 'WL = 1', and the tri-state input-drivers are activated 'EN = 1'. Then the new data is driven inside the latch via the access transistors (S5-S6) and therefore the value inside the cell is literally overwritten. Due to the feedback structure, a low input value on the first inverter will generate a high input value on the second inverter which feeds back the low value onto the first inverter and vice-versa. As long as the 'WL' is kept low, the cell is disconnected from the 'BL'. Thus, the cross coupled inverters will store their current logical value whatever their values. During a read operation, 'WL' is enabled and both N-type SET access transistors are conducting and then connect the cell to the 'BL' while the external 'BL' drivers are switched off 'EN = 0'. That is, the data value stored inside the memory cell is driven onto 'BL' and 'BLB'. Therefore, 'Q' and 'QB' values stored can be then amplified and read-out by external logic.

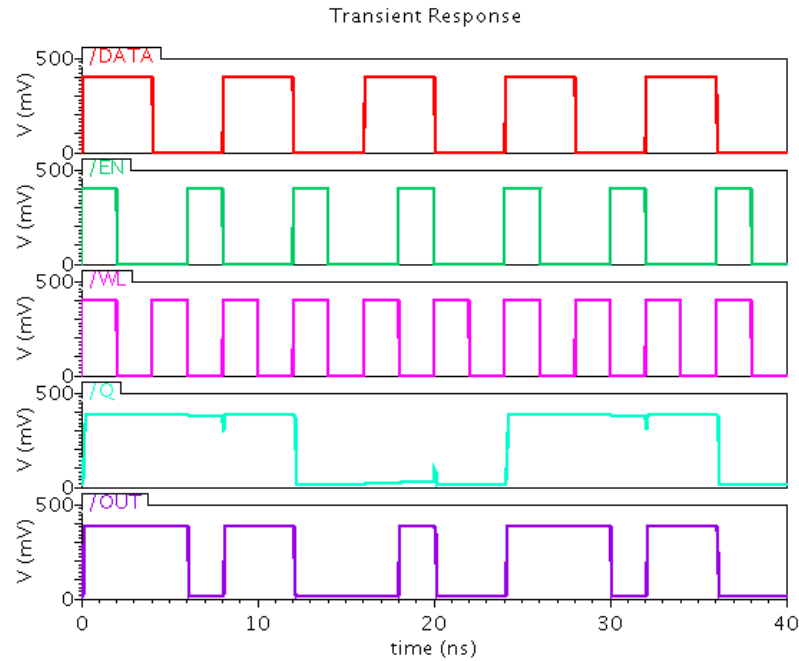


Figure 18: Simulation waveforms of SET based SRAM cell at 298K.

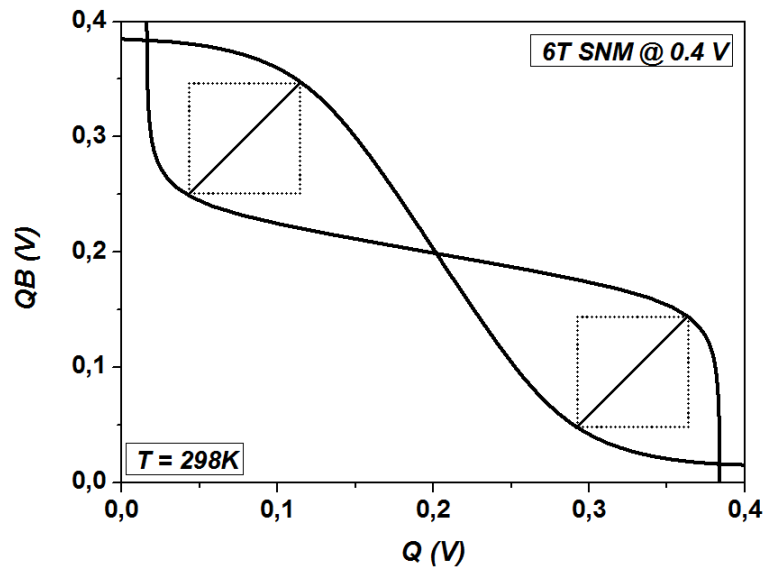


Figure 19: 6T SET-based SRAM Static Noise Margin during hold mode at room temperature

Table IV: SNM comparison for different sub-threshold SRAM architectures during hold mode

	<i>Design</i> [27]	<i>Design</i> [27]	<i>Design</i> [8]	<i>Design</i> [8]	<i>DG-SET</i>	<i>Design</i> [27]
V_{DD} (V)	0.2	0.2	0.3	0.3	0.4	0.4
<i>Tr. per bit-cell</i>	10	6	10	6	6	6
<i>SNM</i>	82 mv	24 mv	100mv	35 mv	71mv	82mv

From Table IV, we note that for the same power supply ($V_{DD} = 0.4$ V) the SNM during the hold mode is slightly better than the SNM for the bit-cell utilizing SET technology. On the other hand, compared to other bit-cells architecture, the SNM in our design shows a good compromise in terms of transistor count involved in each bit-cell and the power supply. Furthermore, as reported in [5], the significant saving power consumption and energy in SET-based SRAM (4nW and 32aJ respectively) compared to the CMOS (up to 155x), which is the result of the one by one electrons flowing through the device, make the use of SET very attractive for the ultra-low voltage low power memory. It is then a real alternative to overcome power consumption issues while keeping a good performance metrics and the classical architecture (6T) rather than the major CMOS-based SRAM architectures operating at the sub-threshold regime, leading to an extra surface (extra transistors / bit-cell).

1.3.6 Arithmetic Logic Blocks

Herein, we will analyze and evaluate the benefit of the use of SETs in the fundamental building block for computing architectures. A full DG-SET 4-bit structure is designed using individual blocks to perform different logical and arithmetic operations. Combinational logic implementation such as XOR, AND, OR, ADD operations make the ALU a versatile and useful device aiming to achieve many operations. All four components are wired in parallel which altogether make up 4 functions as illustrated in Fig. 20. The logic output is selected via 2-inputs multiplexor. This allows the selection of a particular function based on 2 bits. Operations are performed on individual bits and will give outputs Z_0 , Z_1 , Z_2 , and Z_3 . Simulation waveforms of the 1-Bit ALU that uses DG-SET are shown in Fig. 21.

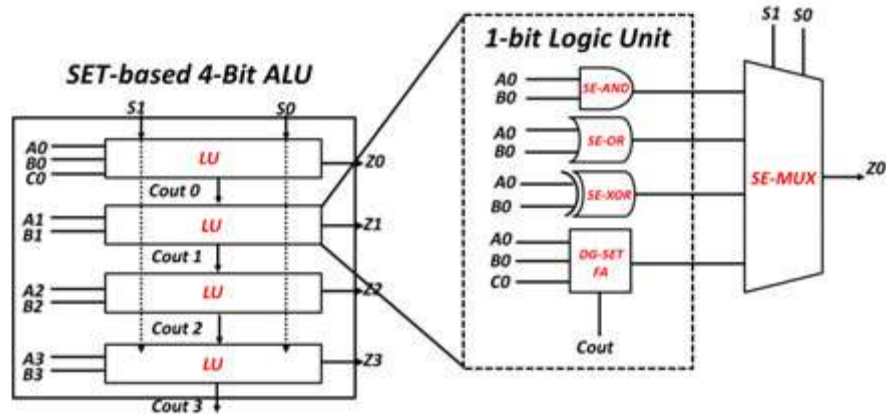


Figure 20: 4-Bit DG-SET ALU Logic Block diagram

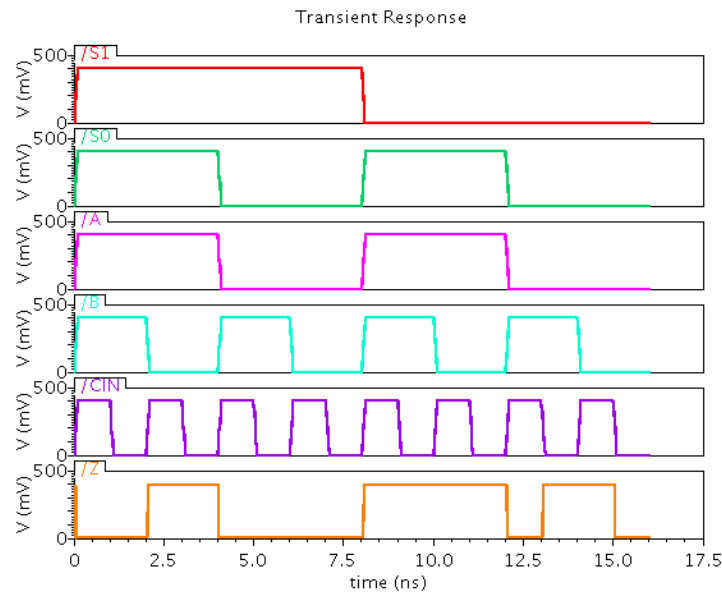


Figure 21: Output waveforms of the 1-bit ALU based on DG-SET devices carried out by our model at room temperature

Table V: Summary of the Arithmetic Logic Blocks Characteristics (125 MHz)

	<i>Avg. Power (nW)</i>	<i>Transistor Count</i>	<i>Energy (aJ)</i>
<i>DG-SET Full-Adder</i>	2.43	28	19.44
<i>1-Bit DG-SET ALU</i>	12	106	96
<i>4-Bit DG-SET ALU</i>	47.71	424	381.7

1.3.7 Towards Programmable Circuits & Architectures

The main objective on this section is to evaluate and explore the potential of SET at the architectural level for the main well-known fine-grained reconfigurable architecture. The principle of using ultra low-power devices at an extreme level of integration density will also enable new ways forward for reconfigurable architectures. Due to their intrinsic features, SETs-based reconfigurable architecture can be more versatile and less power consuming over those in CMOS. For this reason, the double-gate nature of SETs is exploited to define the elementary blocks needed to build this kind of reconfigurable circuit. These circuits consist of two levels of abstraction (Fig. 22); operative layer and a configuration layer: i) the operating layer consists of basic elements called Configurable Logic Block (CLB) themselves composed of logic cells: logic gates, Look-Up Tables (LUT) - basis element of FPGA - and Flip-Flops; ii) layer configuration combined to a memory array in which each bit configure an element of the operative layer.

On programmable devices, the configuration bit stream is stored in SRAMs cells aiming the configuration of logical blocks (CLB, LUTs, and interconnections) to achieve the desired function. SET-based CLB structure is shown in Fig. 22, and in which the SET-based LUT (SE-LUT) is the main building block. It's composed of 2^n SET-based SRAM cells and a multiplexer circuit here LUT 3. LUT's goal is to implement Boolean functions where the truth table is stocked in the SET-based SRAM, and a multiplexing tree controlled by the inputs, drives the data stored in the selected memory point into the output.

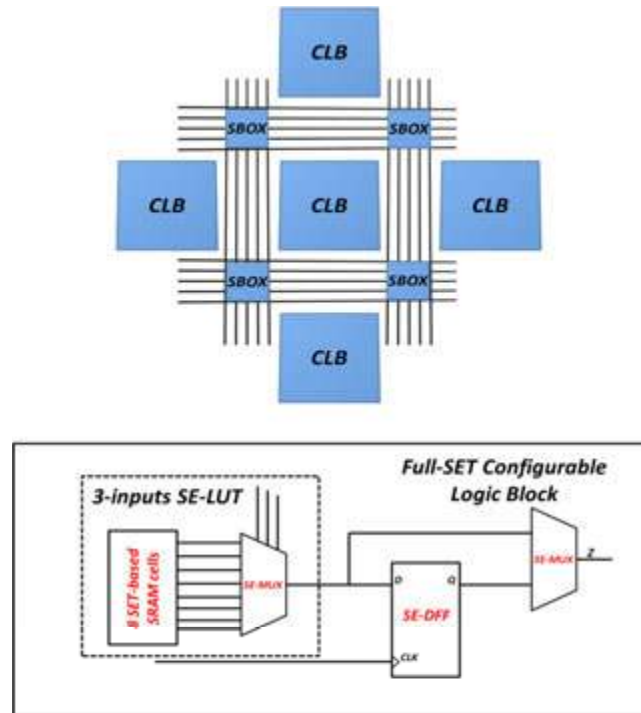


Figure 22: FPGA basic Architecture consists of 2 dimensional arrays Logic Block. CLB: which the user logic is implemented. LUT: It implements the combinational logic functions, DFF: it stores the output of LUT, MUX: it is used for selection logic, Interconnects: which provides routing between the logic blocks to implements the user logic, Switch Box: provides switching between interconnects depending on the logic.

Table VI: Comparison of different inputs LUT based on DG-SET

	<i>Avg. Power (nW)</i>	<i>Transistor count</i>	<i>Energy (aJ)</i>
LUT 2	22	116	176
LUT 3	46.24	250	370
LUT 4	93.9	512	751

1.3.8 Transmission Gate DG-SET Logic

Transmission gate logic style will be investigated in this section in order to extend functionalities offered by conventional MOSFETs in terms of transistor count, design flexibility, novel design techniques and finally the programmability aspect that can be provided by the polarity gate. This inspires flexible circuit designs and architectures.

DG-SET based transmission gate acts as a switch. When the switch input is high, the signal can flow through the transmission gate. When the switch input is low, it can't; the transmission gate acts as an open circuit. The transmission gate is on when $A = G_{ND}$ and $B = V_{DD}$, assuming the extra polarity gate of P-SET is connected to G_{ND} and the polarity gate of N-SET is connected to V_{DD} . With these conditions, the output signal V_{OUT} follows the input signal V_{IN} . In fact, a full-rail value cannot be reached if DG-SETs are configured as N-type devices in the pull-up network (PUN) or as P-type devices in the pull-down network (PDN). We implement a DG-SETs transmission gate where both N-type and P-type SET devices are in parallel (Fig. 23).

By placing a PUN comprised of P-SET and a PDN comprised of N-SET, a full rail-to-rail logic swing can be ensured (one of the two networks is always conducting). In either case, the device may pass a full signal (Fig. 23). Fig. 24 presents the circuit implementation of 2-inputs XOR (a), 2-inputs XNOR (b), and 2-inputs reconfigurable XOR/XNOR (c) functions with parallel combinations of DG-SETs in the PUN and PDN. This design approach requires two pattern inputs applied to the gates and two other applied to the extra polarity gates. Note that the path in the transmission gate based on DG-SETs will only conduct when A and B have the same logic value. More functions can be implemented by using the same architecture thanks to the *Exclusive-OR* properties ($A! XOR B = A XOR B!$ and $A XOR B = A! XOR B!$). Fig. 24 (a) illustrates 2-inputs XOR logic gate topology by using only 4 DG-SETs devices. Each DG-SET has two complementary signals in the PUN and the PDN. In each configuration of the pattern applied to the gate, there is only one DG-SET device which propagates the signal and thereby achieves full-rail output swing. Furthermore, we can implement the XNOR function with the same resources (4 devices) as shown previously. We then simply need to swap the configuration of DG-SETs. Those in PUN are now inserted in the PDN and vice versa. What is even more interesting - in physical design for instance-, is that to inverse the XOR function as depicted in Fig. 24 (b), we would simply need to rotate the XOR layout structure by 180° with respect to supply rails. Fig. 24 (c) shows the reconfigurable XOR/XNOR cell. Since the implementation is versatile, we can bring the reconfigurability aspect to the generic topology by using a third input pattern signal control instead of supply and ground terminals. This signal and its complement allow the control of the logic cell configuration. When the control signal is set to logical '1', the XOR operation is performed. In the case of the signal control is

set to logical ‘1’ a NOR configuration is allowed with rail-to-rail swing as shown in Fig. 25. This design approach makes DG-SETs based transmission gates more attractive for the following reasons: i) with only 4 transistors we can perform the conventional XOR / XNOR function with 2 input variables, ii) the device count is the same for the NAND2 and NOR2 based on DG-SET unlike conventional CMOS implementations, iii) reconfigurable XOR/XNOR operations can be realized by using the same architecture, iv) a 3-input XNOR logic gate can be constructed by using a third input signal and its complement instead of the power supply and ground terminals, v) the circuit design approach exhibits regularity of the logic gate that simplifies the design process and leads to reduce the increasing process variations.

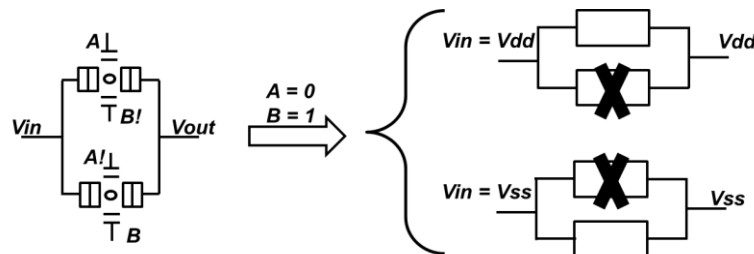


Fig. 23: Transmission Gate schematic and its principle (from left to right).

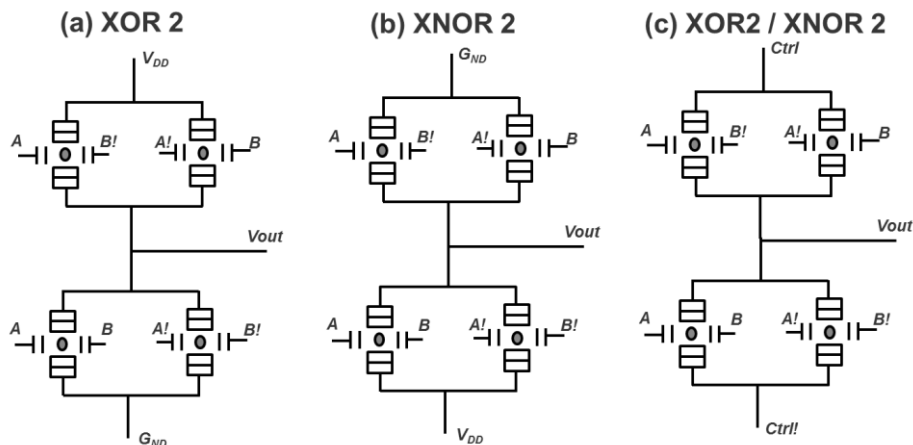


Fig. 24: DG SET Transmission gate topology, (a) XOR 2 function, (b) XNOR 2 function, (c) reconfigurable XOR 2 / XNOR 2 function.

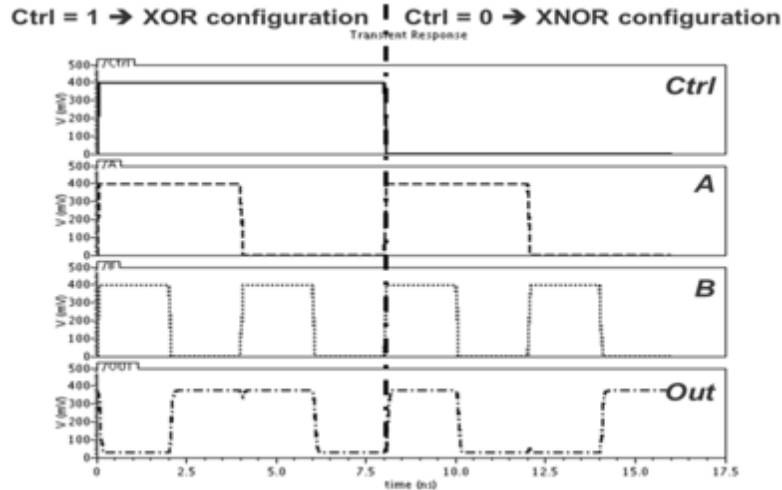


Fig. 25: Simulation waveforms of DG SET reconfigurable XOR/XNOR function based on Transmission gate logic style.

In order to highlight the DG-SET based Transmission Gate design approach, we have designed a 4-bit binary parallel adder-subtractor circuit (Fig. 26). This logic unit performs both addition and subtraction operations. To perform the arithmetic sum and subtraction of the inputs, 4 parallel full adders and 4 XOR gates are required. The XOR gates are used to extend the adders functionalities in order to perform the subtraction operations rather than building a special subtraction unit. Otherwise, due to the OR properties we subtract by adding the two's complement. The circuit has a control signal ' Op ' which defines the arithmetic operation of the circuit subtraction or addition. If ' Op ' = '0', inputs ' B_i ' are not affected by the XOR gates and the input carry ' C_0 ' is '0'. Then, the computation performed by the circuit is the sum $S = A + B$. When ' Op ' = '1', full adders receive the inverted values of the inputs ' B_i ' and the carry ' C_0 ' is set to the logical value '1'. Therefore, the circuit performs $S = A + B + 1$ which is equal to $S = A - B$ due the two's complement representations. Simulation waveforms of the circuit are illustrated in Fig. 27. In standard complementary implementation (CMOS like), we need 168 SETs to build the circuit shown below. On the other hand, in our proposed design approach based on DG-SET transmission gates, only 116 transistors are required to build the circuit. This results in a reduced number of transistors and power consumption by 31% and 23% respectively, as summarized in Table VII.

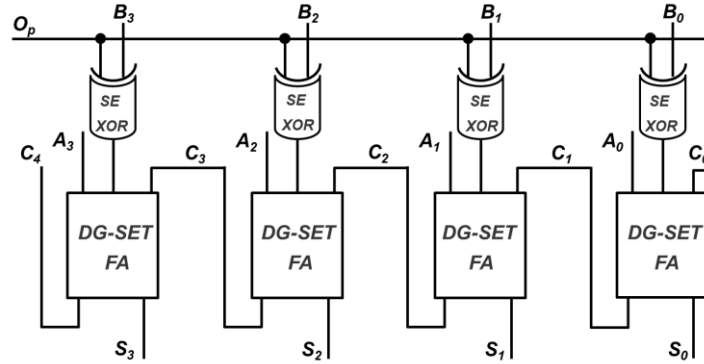


Fig. 26: Logic diagram of a 4-Bit binary parallel Adder / Subtractor.

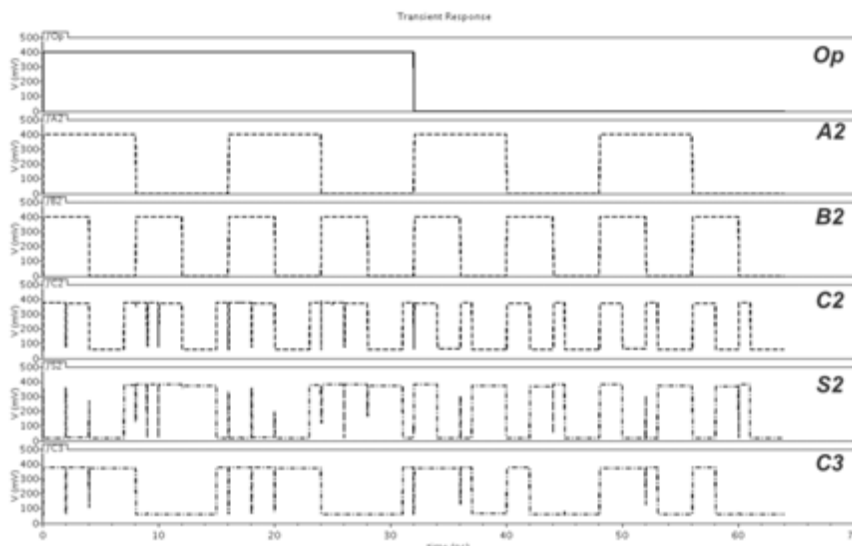


Fig. 27: Simulation waveforms of the Adder/ Subtractor based on DG-SET

Table VII: 4-BIT PARALLEL ADDER / SUBTRACTOR CHARACTERISTICS BASED ON DIFFERENT LOGIC STYLES.

<i>Implementation</i>	<i>Avg. Power (nW)</i>	<i>Device Count</i>
Conventional SET Design	19.6	168
Proposed SET Design	15.05	116
Improvement ratio	23%	31%

1.4 DG-SET Integration & Robustness

1.4.1 Impact of Interconnect Parasitics on DG-SET based Circuit Performances

For guidance, the works that we are currently conducting focus on interconnect parasitic extraction and their impact on SET-based circuit performances. We assume that SETs logic

network is integrated in the BEOL of a 28 nm bulk CMOS process. We have also assumed that the SET logic network is placed between two metal layers (i.e. between M_X and M_{X+1}) and above the M_X layer only respectively. The study concerns two SET inverters in series (Fig. 28). Therefore, we have extracted the RC parasitic interconnects between the inverters function of the interconnect length to estimate their impact on the bandwidth. In the worst case, we have assumed that the connection between the SETs inverters is made by a Titanium (Ti) nanowire with a length which varies from 50 nm to 1 μm . We use the same nanowire characteristics (resistivity) as presented in [13] with a thickness and width of 4 nm and 50 nm respectively. The calculation method used for the parasitic capacitances (parallel plate method) and resistances extraction is based on the following formulas:

$$R = \rho L/S \quad (1)$$

$$C = \varepsilon_0 \varepsilon_r A/D \quad (2)$$

ρ , L and S are respectively the resistivity from [13], the length and the section of Ti nanowire ($S = 4 \times 50 \text{ nm}^2$); ε_0 is the dielectric permittivity of vacuum, ε_r and D are respectively the relative permittivity and the thickness of interlayers insulators present between the nanowires and the metal layer ($D = 35 \text{ nm}$) and A is the apparent area of the nanowire seen from the metal layer. We chose to consider only the area of the nanowire because it is the smallest; therefore we assume that the contribution of electric field lines that are non-normal to the surface of the metal layer is negligible compared to the contribution of normal ones.

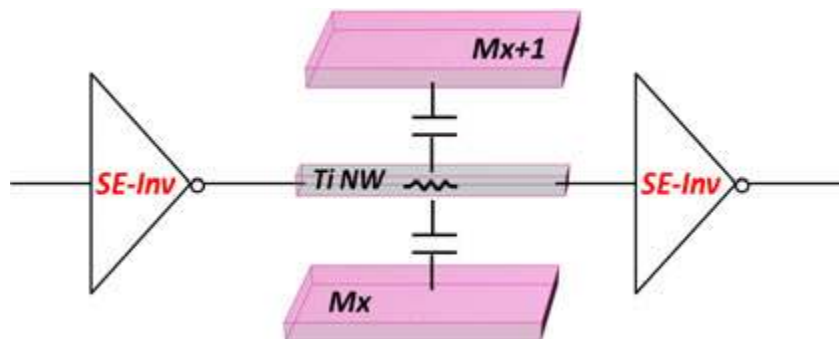


Figure 28: Schematic of RC equivalent model

Fig. 29 shows the interconnection length impact on the cutoff frequency. As we can see, in Fig. 29-a for 100 nm length a cutoff frequency of 2 GHz can be reached. It tends to diminish when

the interconnection length increases. In addition, we observed that the cutoff frequency is reduced when another CMOS metal layer is addressed (M_X and M_{X+1}). This could be a limitation for SETs based logic in term of bandwidth. However, this cutoff frequency can be enhanced in the case where the metal layer used is larger (e.g. CMOS BEOL metal layer instead of Ti NW). Furthermore, the metallic SET layer could replace a metal layer and therefore reduce the parasitic with a gain in cutoff frequency (Fig. 29-b).

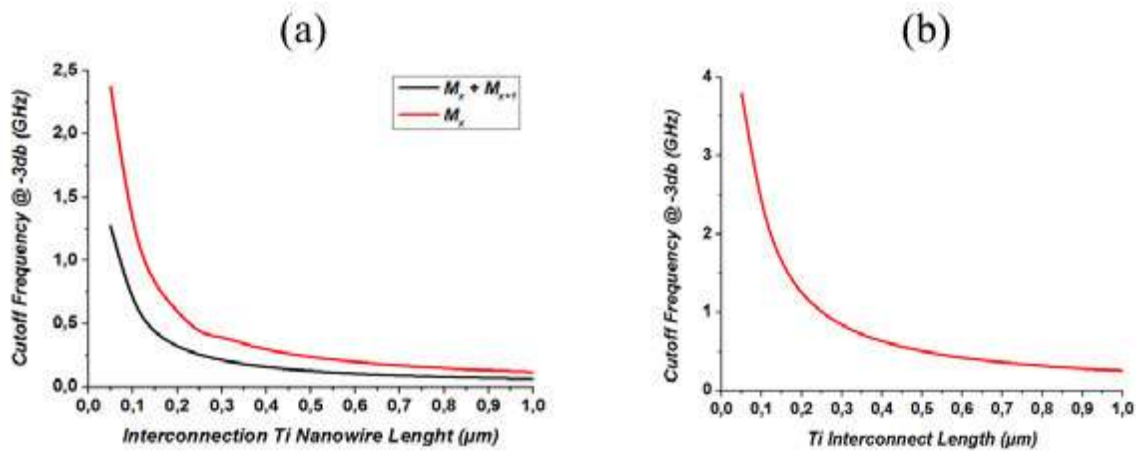


Figure 29: Worst case Cutoff frequency vs. interconnect nanowire length

1.4.2 Background Charges

Background charge (BC) effects have been a persistent problem for SETs. Actually, consensus of the research community is that random BC effects are caused by multiple, closely-spaced charge traps located near the SET-island, generally originated from the ionized impurities or trapped charges in the wafer substrate. Therefore, BC influence the SET island equilibrium state [51]. On the other hand, parameter dispersions are unavoidable in the fabrication of nanoscale devices. Size fluctuations and BC in SETs may shift the $I-V_G$ characteristics by $e^*\zeta/C_G$ as mentioned before (see section 1.2.2); resulting in a change on the island potential and consequently in the threshold voltage. Unfortunately, BC effects remain the major source of reliability problems for most SET designs. In fact, in a logic gate based on DG-SET, the logic function may not work properly leading to a wrong behavior. To understand the nature and density of these defects, several works have been done [15, 29, 58]. To avoid random background charges offset, two ways are considered: at device level and circuit level. For instance, at device level, we can make very clean junctions. Some works have attempted to

weed out the BC by fabricating SETs with alternative island materials such as silicon. In fact, SETs based on silicon-island may have high immunity to background charge, with operation unchanged over several weeks [57]. On the other side, at the circuit level, we expect that using fault-tolerant computation architectures or redundancy may reduce error-rate level. In addition, the simple way to compensate these effects is the adjusting of the second gate voltage offset. Although the second gate biasing can compensate random charge fluctuation, the required bias is unknown until fabrication. Alternative approaches were proposed to avoid background charges fluctuations such as the use of a compensation circuit to control the charge among the island [47] or by adjusting V_{G2} by using some kind of a self-calibration method [55].

1.4.3 Monte-Carlo Analysis

Nanoscale devices and particularly SETs are more sensitive and less reliable than CMOS technology. It's mainly due to random BC and tight fabrication tolerances. Process variations, BC and physical failures may result to circuit failure. In fact, the wrong logic output leads to a faulty logic behavior. For this purpose, accurate evaluation of robustness for SET nanocircuits has thus become one of the biggest concerns for designers. In fact, it will be necessary to introduce a number of tolerances which come from fabrication process. Typically, it is considered for statistical analysis (Monte-Carlo) two types of variation: i) Process variation, which reflect parameter variation between two wafers on the same batch; ii) Mismatch variation reflecting parameter variation on the same wafer, where each parameter follows a Gaussian distribution. Technological dispersions have to be considered while designing the circuit. In this section, SET dispersions are analyzed to determine the robustness of our logic design with respect to these dispersions. While we can consider all possible statistical noises, including temperature and supply voltage variation, it is assumed in this section that only fails caused by such process variations as capacitance fluctuations and junction's dimensions are studied. In our case, the capacitance distributions are modeled as a Gaussian process. We assume a Gaussian distribution shared by both SET capacitances (C_S , C_D , C_{G1} and C_{G2}) and geometrical parameters of the junctions (width, thickness and height). It should be noted that SET capacitance variations may affect Coulomb oscillations and consequently the threshold voltage of the device while variations on junction parameters may

affect the magnitude of current involved. However, threshold voltage variations have a major influence on the switch criterion of the circuit. In fact, threshold voltage can be different due to the mismatch of these parameters over the circuit. Because of this, we propose to study statistical random variations for SET-based digital logic circuits, which take into account the actual parameter variations. For instance, we have introduced several constraints in our model to predict and determine the influence of internal parameter variations on DG-SET inverter. Monte Carlo simulations have been launched using our own physics-based SET model. Standard deviations used have been set according to the ITRS report [23] with three standard deviations - $3\sigma = 2\%$ - for each SET parameter. Three sigma variations cover 99.7 % of the dispersions that could be found on a wafer. Fig. 30 shows a SET DC Monte-Carlo (MC) simulation while the transient MC output voltage variations of the DG-SET inverter are represented on the Fig. 31. As we can see, the logical behavior of the gate still works correctly. The process of varying the values and simulations is repeated for 100 iterations. Figures 30 and 31 illustrate the efficiency of our physics-based model for MC analyses; nevertheless further work is needed for an exhaustive study on all parameters (e.g. barrier energy height).

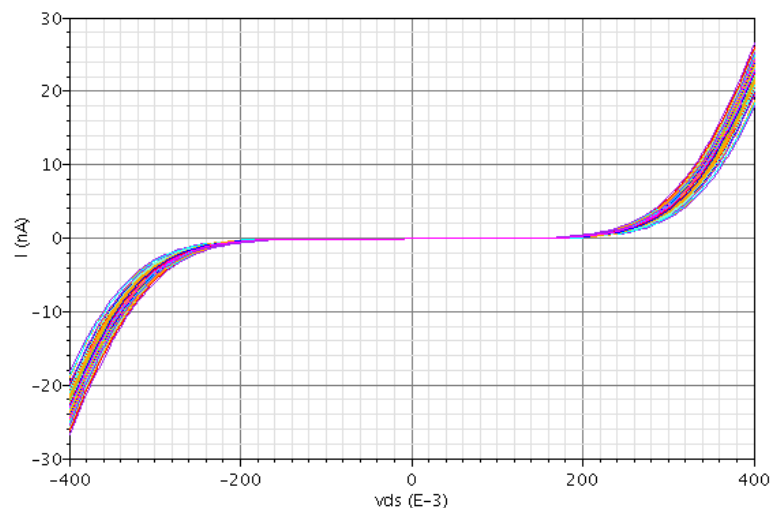


Figure 30: DC Monte-Carlo simulation of the DG-SET at 300K (100 iterations).

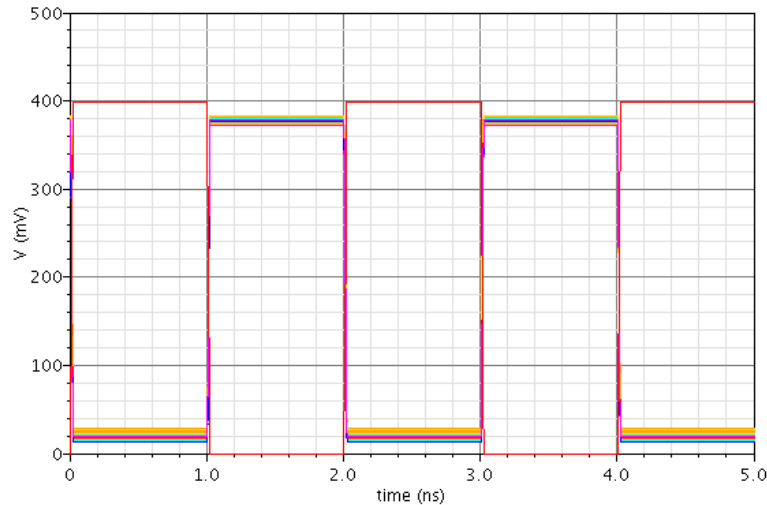


Figure 31: Monte-Carlo time dependent simulation of the DG-SET inverter at 300K (100 iterations).

1.5 Conclusion

In this work, we have presented a physics-based analytical SET model for hybrid SET-CMOS circuit simulations. A realistic SET modeling approach has been used to provide a compact SET model that takes several conduction mechanisms into account and closely matches experimental SET characteristics. The aim of providing an efficient SET compact model that predicts faithfully room temperature SET behavior is to provide results near the expected fabricated devices and circuits. It will be very helpful for circuit designers. The model is implemented in Verilog-A language, and can provide suitable environment to simulate hybrid SET-CMOS architectures. We have presented logic circuit design technique based on double gate metallic SET at room temperature. We have also shown the flexibility that the second gate can bring in order to configure the SET into *P*-type and *N*-type. Given that the same device is utilized, the circuit design approach exhibits regularity of the logic gate that simplifies the design process and leads to reduce the increasing process variations. Afterwards, we have addressed a new Boolean logic family based on DG-SET.

An evaluation of the performance metrics have been carried out to quantify SET technology at the circuit level and compared to advanced CMOS technology nodes. SET-based static memory was achieved and performances metrics have been discussed. At the architectural level, we have investigated both full DG-SET based arithmetic logic blocks (FA & ALU) and

programmable logic circuits to emphasize the low power aspect of the technology. Although their characteristics differ significantly from those of MOS transistors, SETs can be used to realize logic functions using the same CMOS architectures. Moreover, the extra power reduction of SETs based logic gates compared to the CMOS makes this technology much attractive for ultra-low power embedded applications. In this way, architectures based on SETs may offer a new computational paradigm with low power consumption and low voltage operation.

We have also addressed a flexible logic design methodology based on DG-SET transmission gates. The control of the polarity gate enables P-SET and N-SET configurations. Unlike conventional design approach, the XOR / XNOR behavior can be efficiently implemented with only 4 transistors. The gain offered over classical XOR architecture (CMOS like) makes the design more compact and more attractive for synthesis tools that minimize the use of XOR representations due to their cost (number of transistors). Moreover, this approach allows obtaining reconfigurable XOR / XNOR gates by swapping the cell biasing. Given that the same device is utilized, the structure can be physically implemented and established in a regular manner. This regularity reduces variability risks. Finally, complex logic gates based on DG-SET transmission gates offer an improvement in terms of transistor device count and power consumption compared to standard complementary SETs implementations.

While some solutions to avoid random background charges are discussed, process variations are introduced through our model enabling then a statistical study to better estimate the SET-based circuit performances and robustness. SET features low power but limited operating frequency, i.e. the intrinsic cutting frequency is in the THz range but the parasitics linked to the interconnects reduce the circuit operating frequency as the SET I_{ON} current is limited to the nA range. As we address metallic technology in the back-end of the CMOS process, hybrid circuits should be considered. Nevertheless, DG-SET offers the possibility to build ultra-low power logic cells and operators with moderate performances which is desirable for a number of ultra-low power applications. Thanks to the unique SET behavior, the very low current involved and the compatibility with the CMOS process lines, it is expected that this disruptive technology may be a real alternative to overcome power consumption issues at least in the

medium term. In term of perspectives: i) detailed studying the impact on SET-based logic cells of process variation and random back ground charge ii) considering multi-level computational model and their associate architectures iii) investigating new computation paradigms (neuro-inspired architectures, quantum cellular automata) should be considered for future works.

BIBLIOGRAPHY OF EXTENDED ABSTRACT

Bibliography

- [1] Amman, M., Wilkins, R., Ben-Jacob, E., Maker, P. D. et Jaklevic, R. C. (1991). Analytic solution for the current-voltage characteristic of two mesoscopic tunnel junctions coupled in series. *Physical Review B*, volume 43, numéro 1, p. 1146-1149.
- [2] Averin, D. V., Likharev, K. K. (1991). Chapter 6 - Single Electronics: A Correlated Transfer of Single Electrons and Cooper Pairs in Systems of Small Tunnel Junctions. Dans *Modern Problems in Condensed Matter Sciences*. Elsevier, p. 173-271.
- [3] Beaumont, A., Dubuc, C., Beauvais, J. et Drouin, D. (2009). Room Temperature Single-Electron Transistor Featuring Gate-Enhanced< emphasis emphasistype=. *Electron Device Letters, IEEE*, volume 30, numéro 7, p. 766-768.
- [4] Beckett, P. (2005). Low-power circuits using dynamic threshold devices. Dans *2005 ACM Great Lakessymposium on VLSI, GLSVLSI'05, April 17, 2005 - April 19*. Association for Computing Machinery, Chicago, IL, United states, p. 213-216.
- [5] Bounouar, M. A., Beaumont, A., Calmon, F. et Drouin, D. (2012). On the use of nanoelectronic logic cells based on metallic Single Electron Transistors. Dans *Ultimate Integration on Silicon (ULIS), 2012 13th International Conference on*. IEEE, p. 157-160.
- [6] Bounouar, M. A., Beaumont, A., Hajjam, K. E., Calmon, F. et Drouin, D. (2012). Room temperature double gate Single Electron Transistor based standard cell library. Dans *2012 IEEE/ACM International Symposium on Nanoscale Architectures (NANOARCH 2012)*. IEEE, Piscataway, NJ, USA, p. 146-51.
- [7] Calhoun, B. H. et Chandrakasan, A. P. (2006). Static noise margin variation for sub-threshold SRAM in 65-nm CMOS. *IEEE Journal of Solid-State Circuits*, volume 41, numéro 7, p. 1673-9.
- [8] Chang, I. J., Kim, J., Park, S. P. et Roy, K. (2009). A 32 kb 10T sub-threshold SRAM array with bit-interleaving and differential read scheme in 90 nm CMOS. *Solid-State Circuits, IEEE Journal of*, volume 44, numéro 2, p. 650-658.
- [9] Chen, R. H., Korotkov, A. N. et Likharev, K. K. (1996). Single-electron transistor logic. *Applied Physics Letters*, volume 68, numéro 14, p. 1954-1956.
- [10] Deshpande, V., Wacquez, R., Vinet, M., Jehl, X., Barraud, S., Coquand, R., Roche, B., Voisin, B., Vizioz, C. et Previtali, B. (2012). 300 K operating full-CMOS integrated Single Electron Transistor (SET)-FET circuits. Dans *Electron Devices Meeting (IEDM), 2012 IEEE International*. IEEE, p. 8.7. 1-8.7. 4.

- [11] Dubuc, C., Beauvais, J. et Drouin, D. (2008). A nanodamascene process for advanced single-electron transistor fabrication. *Nanotechnology, IEEE Transactions on*, volume 7, numéro 1, p. 68-73.
- [12] Dubuc, C., Beaumont, A., Beauvais, J. et Drouin, D. (2009). Current conduction models in the high temperature single-electron transistor. *Solid-State Electronics*, volume 53, numéro 5, p. 478-482.
- [13] Ecoffey, S., Morissette, J. -, Jedidi, N., Guilmain, M., Nauenheim, C. et Drouin, D. (2011). Ultrathin titanium passive devices fabrication. Dans *2011 IEEE 11th International Conference on Nanotechnology (IEEE-NANO)*. IEEE, Piscataway, NJ, USA, p. 1689-92.
- [14] Fonseca, L. R. C., Korotkov, A. N., Likharev, K. K. et Odintsov, A. A. (1995). A numerical study of the dynamics and statistics of single electron systems. *Journal of Applied Physics*, volume 78, numéro 5, p. 3238-3251.
- [15] Furlan, M. et Lotkhov, S. V. (2003). Electrometry on charge traps with a single-electron transistor. *Physical Review B (Condensed Matter and Materials Physics)*, volume 67, numéro 20, p. 205313-1.
- [16] Gerousis, C. P., Goodnick, S. M. et Porod, W. (2004). Nanoelectronic single-electron transistor circuits and architectures. *International Journal of Circuit Theory and Applications*, volume 32, numéro 5, p. 323-38.
- [17] Greenpeace International, (2012). How dirty is your data? A Look at the Energy Choices That Power Cloud Computing. Dans <http://www.greenpeace.org/international/Global/international/publications/climate/2011/Cool%20IT/dirty-data-report-greenpeace.pdf> (page consultée le 2012).
- [18] Griveau, D., Ecoffey, S., Parekh, R. M., Bounouar, M. A., Calmon, F., Beauvais, J. et Drouin, D. (2012). Single electron CMOS-like one bit full adder. Dans *Ultimate Integration on Silicon (ULIS), 2012 13th International Conference on*. 77-80.
- [19] Hartenstein, R. (2011). Aiming at the Natural Equilibrium of Planet Earth Requires to Reinvent Computing. Dans *Keynote, ISCAS Conference*
- [20] Ingold, G. - et Nazarov, Y. V. (1992). Charge tunneling rates in ultrasmall junctions. Dans *Proceedings of a NATO Advanced Study Institute. Single Charge Tunneling. Coulomb Blockade Phenomena in Nanostructures*. Plenum, New York, NY, USA, p. 21-107.
- [21] Inokawa, H., Fujiwara, A. et Takahashi, Y. (2003). A multiple-valued logic and memory with combined single-electron and metal-oxide-semiconductor transistors. *IEEE Transactions on Electron Devices*, volume 50, numéro 2, p. 462-70.

- [22] Inokawa, H. et Takahashi, Y. (2003). A compact analytical model for asymmetric single-electron tunneling transistors. *Electron Devices, IEEE Transactions on*, volume 50, numéro 2, p. 455-461.
- [23] ITRS (2011). International Technology Roadmap for Semiconductors. Dans *Lithography Chapters*.
<http://www.itrs.net/Links/2011ITRS/2011Chapters/2011Lithography.pdf> (page consultée le).
- [24] Jeong, Y., Miyaji, K., Saraya, T. et Hiramoto, T. (2009). Silicon nanowire< equation>n</equation>-type metal-oxide-semiconductor field-effect transistors and single-electron transistors at room temperature under uniaxial tensile strain. *Journal of Applied Physics*, volume 105, numéro 8, p. 084514-084514-5.
- [25] Jouvét, N. (2012). *Intégration hybride de transistors à un électron sur un noeud technologique CMOS*. Ph.D., INSA de Lyon / Université de Sherbrooke,
- [26] Kim, S., Lee, J., Kang, H., Choi, J., Yu, Y., Takahashi, Y. et Hasko, D. (2012). One electron-based smallest flexible logic cell. *Applied Physics Letters*, volume 101, numéro 18, p. 183101-183101-4.
- [27] Kim, T., Liu, J., Keane, J. et Kim, C. H. (2008). A 0.2 V, 480 kb subthreshold SRAM with 1 k cells per bitline for ultra-low-voltage computing. *Solid-State Circuits, IEEE Journal of*, volume 43, numéro 2, p. 518-529.
- [28] Kim, Y. B., Kim, Y. et Lombardi, F. (2008). A technique for low power dynamic circuit design in 32nm double-gate FinFET technology. Dans *2008 IEEE International 51st Midwest Symposium on Circuits and Systems, MWSCAS, August 10, 2008 - August 13*. Institute of Electrical and Electronics Engineers Inc, Knoxville, TN, United states, p. 779-782.
- [29] Krupenin, V. A., Presnov, D. E., Zorin, A. B. et Niemeyer, J. (2000). Aluminum single electron transistors with islands isolated from the substrate. Dans *International Conference on Electron Transport in Mesoscopic Systems, ETMS'99*, volume 118. Kluwer Academic/Plenum Publishers, USA, p. 287-96.
- [30] Lee, D. S., Kang, S., Kang, K., Lee, J., Lee, J. H., Song, K., Kim, D. M., Lee, J. D. et Park, B. (2009). Fabrication and characteristics of self-aligned dual-gate single-electron transistors. *Nanotechnology, IEEE Transactions on*, volume 8, numéro 4, p. 492-497.
- [31] Lientschnig, G., Weymann, I. et Hadley, P. (2003). Simulating Hybrid Circuits of Single-Electron Transistors and Field-Effect Transistors. *Japanese Journal of Applied Physics, Part 1: Regular Papers and Short Notes and Review Papers*, volume 42, numéro 10, p. 6467-6472.
- [32] Likharev, K. *SETTRANS-a simulator for single electron transistor*,

- [33] Likharev, K. K. (1999). Single-electron devices and their applications. *Proceedings of the IEEE*, volume 87, numéro 4, p. 606-632.
- [34] Mahapatra, S., Vaish, V., Wasshuber, C., Banerjee, K. et Ionescu, A. M. (2004). Analytical modeling of single electron transistor for hybrid CMOS-SET analog IC design. *Electron Devices, IEEE Transactions on*, volume 51, numéro 11, p. 1772-1782.
- [35] Mahapatra, S. et Ionescu, A. M. (2004). A novel single electron SRAM architecture. Dans *2004 4th IEEE Conference on Nanotechnology*. IEEE, Piscataway, NJ, USA, p. 287-9.
- [36] Mahapatra, S., Ionescu, A. M., Banerjee, K. et Declercq, M. J. (2002). Modelling and analysis of power dissipation in single electron logic. Dans *IEEE International Electron Devices Meeting*. IEEE, Piscataway, NJ, USA, p. 323-6.
- [37] Pruvost, B., Mizuta, H. et Oda, S. (2008). Voltage-limitation-free analytical single-electron transistor model incorporating the effects of spin-degenerate discrete energy states. *Journal of Applied Physics*, volume 103, numéro 5,
- [38] Seevinck, E., List, F. J. et Lohstroh, J. (1987). STATIC-NOISE MARGIN ANALYSIS OF MOS SRAM CELLS. *IEEE Journal of Solid-State Circuits*, volume SC-22, numéro 5, p. 748-754.
- [39] Shin, S., Jung, C., Park, B., Yoon, T., Lee, J., Kim, S., Choi, J., Takahashi, Y. et Hasko, D. (2010). Si-based ultrasmall multiswitching single-electron transistor operating at room-temperature. *Applied Physics Letters*, volume 97, numéro 10, p. 103101-103101-3.
- [40] Simmons, J. G. (1963). Generalized Formula for the Electric Tunnel Effect between Similar Electrodes Separated by a Thin Insulating Film. *Journal of Applied Physics*, volume 34, numéro 6, p. 1793-1803.
- [41] Stewart, W. J. (1994). *Introduction to the numerical solution of Markov chains*. Princeton University Press NJ,
- [42] Sze, S. M. et Ng, K. K. (2006). *Physics of semiconductor devices*. Wiley-interscience,
- [43] Tucker, J. R. (1992). Complementary digital logic based on the 'Coulomb blockade'. *Journal of Applied Physics*, volume 72, numéro 9, p. 4399-413.
- [44] Uchida, K., Koga, J., Ohba, R. et Toriumi, A. (2003). Programmable single-electron transistor logic for future low-power intelligent LSI: proposal and room-temperature operation. *Electron Devices, IEEE Transactions on*, volume 50, numéro 7, p. 1623-1630.
- [45] Uchida, K., Matsuzawa, K., Koga, J., Ohba, R., Takagi, S. -. et Toriumi, A. (2000). Analytical single-electron transistor (SET) model for design and analysis of realistic SET

circuits. *Japanese Journal of Applied Physics, Part 1: Regular Papers and Short Notes and Review Papers*, volume 39, numéro 4 B, p. 2321-2324.

- [46] Van Houten, H., Beenakker, C. et Staring, A. (2005). Coulomb-Blockade Oscillations in Semiconductor Nanostructures. *arXiv preprint cond-mat/0508454*,
- [47] van Roermund, A. et Hoekstra, J. (2000). Design philosophy for nanoelectronic systems, from SETs to neural nets. *International Journal of Circuit Theory and Applications*, volume 28, numéro 6, p. 563-84.
- [48] Venkataratnam, A. et Goel, A. K. (2008). Design and simulation of logic circuits with hybrid architectures of single-electron transistors and conventional MOS devices at room temperature. *Microelectronics Journal*, volume 39, numéro 12, p. 1461-8.
- [49] Wasshuber, C. (2001). *Computational single-electronics*. Springer,
- [50] Wasshuber, C., Kosina, H. et Selberherr, S. (1997). SIMON-A simulator for single-electron tunnel devices and circuits. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, volume 16, numéro 9, p. 937-44.
- [51] Wolf, H., Ahlers, F. J., Niemeyer, J., Scherer, H., Weimann, T., Zorin, A. B., Krupenin, V. A., Lotkhov, S. V. et Presnov, D. E. (1997). Investigation of the offset charge noise in single electron tunneling devices. Dans *1996 Conference on Precision Electromagnetic Measurements (CPEM '96)*, volume 46. IEEE, USA, p. 303-6.
- [52] Yano, K., Ishii, T., Sano, T., Mine, T., Murai, F., Hashimoto, T., Kobayashi, T., Kure, T. et Seki, K. (1999). Single-electron memory for giga-to-tera bit storage. *Proceedings of the IEEE*, volume 87, numéro 4, p. 633-651.
- [53] Yu, Y., Oh, J., Hwang, S. et Ahn, D. (2000). Implementation of single electron circuit simulation by SPICE: KOSECSPICE. Dans *Proc. Asia Pasific Workshop Fundamental Application Advanced Semiconductor Devicep*. 85-90.
- [54] Yun-Seop Yu, Sung-Woo Hwang et Ahn, D. (1999). Macromodeling of single-electron transistors for efficient circuit simulation. *Electron Devices, IEEE Transactions on*, volume 46, numéro 8, p. 1667-1671.
- [55] Zhang, W. et Nan-Jian Wu (2007). A novel hybrid phase-locked-loop frequency synthesizer using single-electron devices and CMOS transistors. *IEEE Transactions on Circuits and Systems - I: Fundamental Theory and Applications*, volume 54, numéro 11, p. 2516-27.
- [56] Zhu, C., Gu, Z., Dick, R. P., Shang, L. et Knobel, R. G. (2009). Characterization of single-electron tunneling transistors for designing low-power embedded systems. *Very Large Scale Integration (VLSI) Systems, IEEE Transactions on*, volume 17, numéro 5, p. 646-659.

- [57] Zimmerman, N. M., Huber, W. H., Fujiwara, A. et Takahashi, Y. (2001). Excellent charge offset stability in a Si-based single-electron tunneling transistor. *Applied Physics Letters*, volume 79, numéro 19, p. 3188-90.
- [58] Zimmerman, N. M., Huber, W. H., Fujiwara, A. et Takahashi, Y. (2002). Excellent charge offset stability in Si-based SET transistors. Dans *Proceedings of 2002 Conference on Precision Electromagnetic Measurement*. IEEE, Piscataway, NJ, USA, p. 124-5.

ANNEXE A – CALCUL DE L'ÉNERGIE DE GIBBS

L'énergie de Gibbs aussi connue sous le nom de l'enthalpie libre d'un système thermodynamique appelée et notée « E » dans ces travaux, est une fonction d'état définie par :

$$E = U + PV - TS \quad (\text{A.1})$$

où U , P , V , T et S correspondent à l'énergie interne, la pression, le volume, la température et l'entropie du système respectivement. Pour un SET, l'enthalpie libre peut être exprimée de la manière suivante :

$$E = U - Q_D V_{DS} - Q_{G1} V_{GS1} - Q_{G2} V_{GS2} \quad (\text{A.2})$$

U , Q_D , Q_{G1} et Q_{G2} représentent l'énergie électrostatique, la charge dans la capacité drain, la charge dans la capacité de la première et deuxième grille respectivement. La variation de l'enthalpie libre peut être calculée comme suit :

$$\Delta E = E_{final} - E_{initial} \quad (\text{A.3})$$

où E_{final} et $E_{initial}$ sont l'enthalpie libre du système après et avant qu'un évènement tunnel ne se produise. Notons qu'un évènement tunnel ne peut se produire que si ΔE est négative.

Pour un DG-SET où la source est liée à la masse, et où V_{DS} , V_{GS1} , V_{GS2} correspondent aux tensions aux bornes des électrodes de drain et des deux grilles respectivement, et avant qu'aucun évènement tunnel ne se produise, on peut écrire :

$$V_{DS} = \frac{Q_S}{C_S} + \frac{Q_D}{C_D} \quad (\text{A.4})$$

$$V_{GS1} = \frac{Q_S}{C_S} + \frac{Q_{G1}}{C_{G1}} \quad (\text{A.5})$$

$$V_{GS2} = \frac{Q_S}{C_S} + \frac{Q_{G2}}{C_{G2}} \quad (\text{A.6})$$

$$Q_{total} = Q_S - Q_D - Q_{G1} - Q_{G2} \quad (\text{A.7})$$

où Q_{total} est la charge totale de l'îlot. En résolvant les équations ci-dessus on a :

$$Q_D = \frac{C_D \cdot (-Q_{total} + C_{G2} \cdot V_{DS} + C_S \cdot V_{DS} + C_{G1} (V_{DS} - V_{GS1}) - C_{G2} \cdot V_{GS2})}{C_\Sigma} \quad (\text{A.8})$$

$$Q_S = \frac{C_S \cdot (Q_{total} + C_D \cdot V_{DS} + C_{G1} \cdot V_{GS1} + C_{G2} \cdot V_{GS2})}{C_\Sigma} \quad (\text{A.9})$$

$$Q_{G1} = \frac{C_{G1} \cdot (-Q_{total} + C_{G2} \cdot V_{GS2} + C_S \cdot V_{GS1} + C_D (V_{GS1} - V_{DS}) - C_{G2} \cdot V_{GS2})}{C_\Sigma} \quad (\text{A.10})$$

$$Q_{G2} = \frac{C_{G2} \cdot (-Q_{total} - C_{G1} \cdot V_{GS1} + C_S \cdot V_{GS2} + C_D (V_{GS2} - V_{DS}) - C_{G1} \cdot V_{GS2})}{C_\Sigma} \quad (\text{A.11})$$

L'énergie électrostatique totale peut-être calculée ainsi :

$$U = \frac{Q_D^2}{2C_D} + \frac{Q_S^2}{2C_S} + \frac{Q_{G1}^2}{2C_{G1}} + \frac{Q_{G2}^2}{2C_{G2}} \quad (\text{A.12})$$

En développant, on obtient:

$$U = \frac{C_D C_{G2} V_{DS}^2 + C_D C_S V_{DS}^2 + C_{G1} (C_D (V_{DS} - V_{GS1})^2 + C_S V_{GS1}^2 + C_{G2} (V_{GS1} - V_{GS2})^2) - 2C_{G2} C_D V_{DS} V_{GS2} + C_{G2} C_D V_{GS2}^2 + C_{G2} C_S V_{GS2}^2}{2C_\Sigma} \quad (\text{A.13})$$

Pour les différents évènements tunnel on a :

- Passage d'un électron de la source vers l'îlot

Si un électron passe de la source vers l'îlot, Q_{total} variera de $-ne$ à $-(n+1)e$, où n est le nombre d'électrons dans l'îlot. Cette variation de Q_{total} sera reflétée sur U , Q_D , Q_{G1} et Q_{G2} :

$$\Delta U = \frac{(n+1)^2 e^2 - (ne)^2}{2C_\Sigma} = \frac{(2n+1)e^2}{2C_\Sigma} \quad (\text{A.14})$$

$$\Delta Q_D = \frac{C_D((n+1)e - ne)}{C_\Sigma} = \frac{eC_D}{C_\Sigma} \quad (\text{A.15})$$

$$\Delta Q_{G1} = \frac{C_{G1}((n+1)e - ne)}{C_{\Sigma}} = \frac{eC_{G1}}{C_{\Sigma}} \quad (\text{A.16})$$

$$\Delta Q_{G2} = \frac{C_{G2}((n+1)e - ne)}{C_{\Sigma}} = \frac{eC_{G2}}{C_{\Sigma}} \quad (\text{A.17})$$

La variation de l'énergie de Gibbs peut-être calculée de la façon suivante :

$$\Delta E = \Delta U - \Delta V_{DS} Q_D - \Delta V_{GS1} Q_{G1} - \Delta V_{GS2} Q_{G2} \quad (\text{A.18})$$

Comme mentionné précédemment, un évènement tunnel est possible seulement si $\Delta E < 0$. Donc, la condition pour qu'un passage tunnel ait lieu de la source vers l'îlot, peut être exprimée de la façon suivante :

$$\Delta E_{\text{source} \rightarrow \text{îlot}} = \frac{(2n+1)e^2}{2C_{\Sigma}} - \frac{eC_D}{C_{\Sigma}} V_{DS} - \frac{eC_{G1}}{C_{\Sigma}} V_{GS1} - \frac{eC_{G2}}{C_{\Sigma}} V_{GS2} < 0 \quad (\text{A.19})$$

⇒

$$-\frac{(2n+1)e^2}{2C_{\Sigma}} + \frac{eC_D}{C_{\Sigma}} V_{DS} + \frac{eC_{G1}}{C_{\Sigma}} V_{GS1} + \frac{eC_{G2}}{C_{\Sigma}} V_{GS2} > 0 \quad (\text{A.20})$$

En remarquant que $V_{\text{îlot}} = \frac{C_{G1}}{C_{\Sigma}} V_{GS1} + \frac{C_{G2}}{C_{\Sigma}} V_{GS2} + \frac{C_D}{C_{\Sigma}} V_{DS}$ et en posant $\alpha = e/2C_{\Sigma}$ on obtient :

⇒

$$V_{\text{îlot}} - (2n+1)\alpha > 0 \quad (\text{A.21})$$

- Passage d'un électron de l'îlot vers la source

Avec le même raisonnement, la condition pour qu'il y ait un passage d'un électron de l'îlot vers la source peut s'écrire comme ci-dessous :

$$\Delta E_{\text{îlot} \rightarrow \text{source}} = -\frac{(2n-1)e^2}{2C_{\Sigma}} + \frac{eC_D}{C_{\Sigma}} V_{DS} + \frac{eC_{G1}}{C_{\Sigma}} V_{GS1} + \frac{eC_{G2}}{C_{\Sigma}} V_{GS2} < 0 \quad (\text{A.22})$$

⇒

$$= +\frac{(2n-1)e^2}{2C_{\Sigma}} - \frac{eC_D}{C_{\Sigma}} V_{DS} - \frac{eC_{G1}}{C_{\Sigma}} V_{GS1} - \frac{eC_{G2}}{C_{\Sigma}} V_{GS2} > 0$$

(A.23)

⇒

$$V_{\text{îlot}} + (2n + 1)\alpha > 0$$

(A.24)

- Passage d'un électron de l'îlot vers le drain

Si un électron passe de l'îlot vers la source, Q_{total} variera de $-ne$ à $-(n-1)e$. On peut écrire alors :

$$\Delta U = \frac{(n-1)^2 e^2 - (ne)^2}{2C_{\Sigma}} = -\frac{(2n-1)e^2}{2C_{\Sigma}}$$

(A.25)

$$\Delta Q_D = \frac{C_D((n-1)e - ne)}{C_{\Sigma}} + e = \frac{e(C_S + C_{G1})}{C_{\Sigma}}$$

(A.26)

$$\Delta Q_{G1} = \frac{C_{G1}((n-1)e - ne)}{C_{\Sigma}} = -\frac{eC_{G1}}{C_{\Sigma}}$$

(A.27)

$$\Delta Q_{G2} = \frac{C_{G2}((n-1)e - ne)}{C_{\Sigma}} = -\frac{eC_{G2}}{C_{\Sigma}}$$

(A.28)

Il faudra souligner que pour le calcul de ΔQ_D , l'électron additionnel qui a transité de l'îlot vers le drain doit être pris en considération. La condition pour qu'un passage tunnel ait lieu de l'îlot vers le drain peut être exprimée de la façon suivante :

$$\Delta E_{\text{îlot} \rightarrow \text{drain}} = -\frac{(2n-1)e^2}{2C_{\Sigma}} - \frac{e(C_S + C_{G1} + C_{G2})}{C_{\Sigma}} V_{DS} + \frac{eC_{G1}}{C_{\Sigma}} V_{GS1} + \frac{eC_{G2}}{C_{\Sigma}} V_{GS2} < 0$$

(A.29)

⇒

$$+\frac{(2n-1)e^2}{2C_{\Sigma}} + \frac{e(C_S + C_{G1} + C_{G2})}{C_{\Sigma}} V_{DS} - \frac{eC_{G1}}{C_{\Sigma}} V_{GS1} - \frac{eC_{G2}}{C_{\Sigma}} V_{GS2} > 0$$

(A.30)

⇒

$$V_{DS} - V_{\text{îlot}} + (2n-1)\alpha > 0$$

(A.31)

- Passage d'un électron du drain vers l'îlot

Avec le même raisonnement, la condition pour qu'il y ait un passage d'un électron du drain vers l'îlot peut s'écrire comme ci-dessous :

$$\Delta E_{\text{drain} \rightarrow \text{îlot}} = \frac{(2n+1)e^2}{2C_{\Sigma}} + \frac{e(C_S + C_{G1} + C_{G2})}{C_{\Sigma}} V_{DS} - \frac{eC_{G1}}{C_{\Sigma}} V_{GS1} - \frac{eC_{G2}}{C_{\Sigma}} V_{GS2} < 0 \quad (\text{A.32})$$

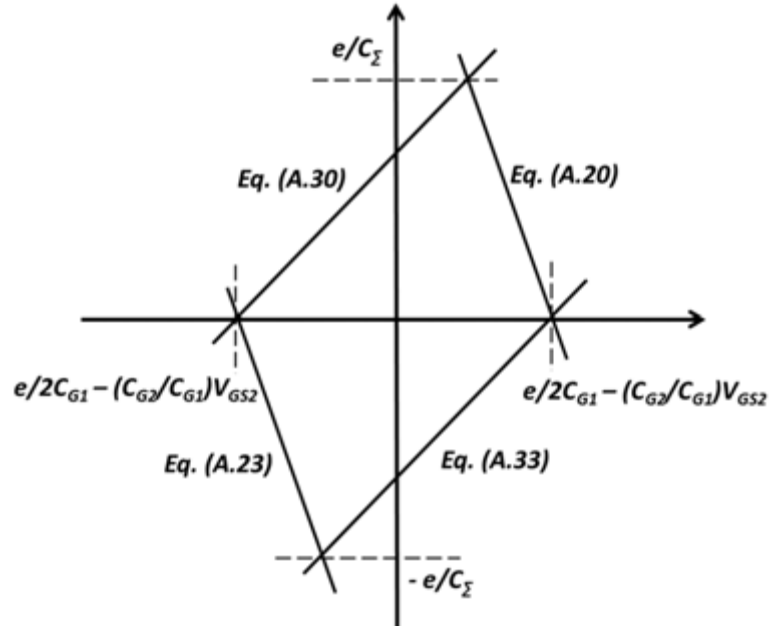
⇒

$$-\frac{(2n+1)e^2}{2C_{\Sigma}} - \frac{e(C_S + C_{G1} + C_{G2})}{C_{\Sigma}} V_{DS} + \frac{eC_{G1}}{C_{\Sigma}} V_{GS1} + \frac{eC_{G2}}{C_{\Sigma}} V_{GS2} > 0 \quad (\text{A.33})$$

⇒

$$-V_{DS} + V_{\text{îlot}} - (2n+1)\alpha > 0 \quad (\text{A.34})$$

Les équations (A.20), (A.23), (A.30) et (A.33) sont tracées et représentées dans la figure ci-dessous pour $n = 0$.



La région délimitée par les traits continus correspond à la région où le SET entre dans le régime de blocage de Coulomb.

ANNEXE B – CODE VERILOG-A DU DG-SET

```
// Metallic DG-SET Verilog-A Model developed by BOUNOUAR (INL/UdeS)
`include "constants.h"
`include "disciplines.h"
`define MO 9.10938214e-31
`define M_MO 0.44
`define PHIO (0.4*1.6e-19)
`define ER 3.9
`define NTI 2
`define VMOLTI 1.064E-5
`define AV 6.02214179e23
`define Neff 0.9

module DG_SET_MAB (drain,gat1,gate2,source);

    inout drain,gat1,gate2,source;
    electrical drain,gat1,gate2,source;

analog function real SIGN;
    input x;
    real x;
    begin
        if (x<0)
            SIGN = -1;
        else
            SIGN = 1;
        end
    endfunction

analog function real SMOOTH;
    input v,vt;
    real v,vt;
    real x,y;
    begin

        if (vt == 0.0)
            begin
                if (v<=0.0)
                    SMOOTH = 1e-30;
                else
                    SMOOTH = v;
                end
            else
                begin
                    SMOOTH=v/(1-exp(-v/vt));
                end

            end
    endfunction

parameter real CTS = 0.05e-18;
```

```

parameter real CTD = 0.05e-18;
parameter real CG1 = 0.1e-18;
parameter real CG2 = 0.1e-18;
parameter real T=300.0 from (0:2000);
parameter real thickness=2e-9 from (0:inf);
parameter real height=1e-9 from (0:inf);
parameter real width=5e-9 from (0:inf);
parameter real LEVEL=3;
parameter real XI=0;
parameter real PRECISION= 270;

analog function real Ithermo;
input V,s,Temp,aire;
real V,s,Temp,aire;
real Aeff,dphi,Vabs;
begin
Vabs=abs(V);
Aeff = 4*`M_PI*`MO*`M_MO*`P_Q*`P_K*`P_K/(`P_H*`P_H*`P_H);
dphi=exp(-1*(`PHIO-
`P_Q*sqrt(`P_Q*(Vabs/s)/(4*`M_PI*`P_EPS0*`ER)))/(`P_K*Temp));
Ithermo =Aeff*Temp*Temp*dphi*aire;
end
endfunction

analog function real Resist;
input V,s,T,aire;
real V,s,T,aire;
real eta,lambda,Em,dEx,dx,D,zeta,Dtemp,Jt,It,Vabs,Emtemp;
integer i1,i2,No;
begin
Vabs=abs(V);
if (Vabs < 1e-12)
begin
Vabs=1e-12;
end
eta=`P_H*`P_H/(8*`MO)*exp(2*ln((3*`NTI*`AV)/(`M_PI*`VMOLTI))/3);

lambda=`P_Q*`P_Q*ln(2)/(16*`M_PI*`P_EPS0*`ER*s);

Em=eta+`PHIO+5*`P_K*T;

dx=s/PRECISION;
Emtemp=0;
No=PRECISION*(1-`Neff);
for(i2=1;i2<=2*No;i2=i2+1)
begin
if (i2<=No)
begin
dEx=`Neff*Em/(PRECISION*(1-`Neff));
end
else
begin
dEx=Em/PRECISION;
end
end
end

```

```

        end
        D=0;
        zeta=0;
        for (i1=1; i1<=PRECISION; i1=i1+1)
            begin
                Dtemp=eta- (Emtemp)+`PHIO- (`P_Q*Vabs*i1*dx/s)-
1.15*lambda*s*s/((i1*dx)*(s-(i1*dx)+dx));
                if (Dtemp>=0)
                    begin
                        D=D+(-
4)*`M_PI/`P_H*sqrt(2*`MO*`M_MO)*dx*sqrt(Dtemp);
                    end
                end
            D=exp(D);

            if((Emtemp +`P_Q*Vabs-eta)>0)
                begin
                    if((Emtemp-eta)>0)
                        begin
                            zeta=(dEx*((exp(-(Emtemp-eta)/(`P_K*T)))/(1+exp(-
(Emtemp-eta)/(`P_K*T))))-(exp(-(Emtemp+`P_Q*Vabs-eta)/(`P_K*T)))/(1+exp(-
(Emtemp+`P_Q*Vabs-
eta)/(`P_K*T)))))*4*`M_PI*`MO*`M_MO*`P_Q/(`P_H*`P_H*`P_H);
                        end
                    else
                        begin
                            zeta=(dEx*((1/(1+exp((Emtemp-eta)/(`P_K*T))))-(exp(-
(Emtemp+`P_Q*Vabs-eta)/(`P_K*T)))/(1+exp(-(Emtemp+`P_Q*Vabs-
eta)/(`P_K*T)))))*4*`M_PI*`MO*`M_MO*`P_Q/(`P_H*`P_H*`P_H);
                        end
                    end
                else
                    begin
                        zeta=(dEx*((1/(1+exp((Emtemp-eta)/(`P_K*T))))-
(1/(1+exp((Emtemp+`P_Q*Vabs-
eta)/(`P_K*T)))))*4*`M_PI*`MO*`M_MO*`P_Q/(`P_H*`P_H*`P_H);
                    end
                Jt=Jt+dEx*zeta*D;
                Emtemp=Emtemp+dEx;
            end      It=Jt*aire;
            if (It<1e-30)
                Resist=Vabs*1e30;
            else

                Resist=Vabs/It;

        end
    endfunction

    real s, aire;
    real VT, VDS, VGS1, VGS2;
    real
v_island, ID0, IS0, ID1, IS1, ID2, IS_1, ALPHA, LAMBDA, IDS, is0, is1, id0, id1, IS_2,
ID_1, is_1;

```

```

real VIS0, VIS1, VIS_1, VIS_2, Vis0,
Vis1, Vis_1, VID0, VID1, VID2, VID_1, Vid0, Vid1;
real RIS0, RIS1, RIS_1, RIS_2, Ris0,
Ris1, Ris_1, RID0, RID1, RID2, RID_1, Rid0, Rid1;
real ionik1, ionik2;
real Cgs, Ctot, Vgs;
real Vd0, Vs0, Vd1, Vs1, Vd2, Vs2, Vd_1, Vs_1, Vd_2, Vs_2;

analog begin

s=thickness;
aire=height*width;
VT = T*`P_K/`P_Q;
VDS = V(drain, source);
VGS1 = V(gate1, source);
VGS2 = V(gate2, source);
v_island =
V(gate1, source)*CG1/(CG1+CTD+CTS+CG2)+V(drain, source)*CTD/(CG1+CTD+CTS+
G2)+V(gate2, source)*CG2/(CG1+CTD+CTS+CG2)-XI*`P_Q/(CG1+CTD+CTS+CG2);
ALPHA = `P_Q/(2*(CG1+CTD+CTS+CG2));
LAMBDA = SIGN(V(drain, source));

if (LAMBDA*v_island > (2*ALPHA + LAMBDA*V(drain, source)/2))
v_island = v_island - (1+floor(abs(v_island - (2*ALPHA +
LAMBDA*V(drain, source)/2)))/(2*ALPHA)))*2*LAMBDA*ALPHA;

if (LAMBDA*v_island < LAMBDA*V(drain, source)/2)
v_island = v_island + (1+floor(abs(V(drain, source)/2-
v_island)/(2*ALPHA)))*2*LAMBDA*ALPHA;

ionik2 = LAMBDA*Ithermo(LAMBDA*V(drain, source)/2 ,s,T,aire);

RIS0 = Resist (LAMBDA*v_island, s, T, aire); VIS0
=SMOOTH(LAMBDA*v_island- ALPHA,VT); IS0= VIS0/RIS0;
RIS1 = Resist (LAMBDA*v_island-2*ALPHA, s, T, aire); VIS1 =SMOOTH
(LAMBDA*v_island-3*ALPHA,VT); IS1= VIS1/RIS1;
RIS_1 =Resist (LAMBDA*v_island+2*ALPHA, s, T, aire); VIS_1 =SMOOTH
(LAMBDA*v_island+ALPHA,VT); IS_1= VIS_1/RIS_1;
RIS_2 =Resist (LAMBDA*v_island+4*ALPHA, s, T, aire); VIS_2 =SMOOTH
(LAMBDA*v_island+3*ALPHA, VT); IS_2= VIS_2/RIS_2;
//Ris0 = Resist (-v_island, s, T, aire);

Vis0 =SMOOTH (-LAMBDA*v_island-ALPHA,VT); is0= Vis0/RIS0;
//Ris1 = Resist (-v_island+2*ALPHA, s, T, aire);

Vis1 =SMOOTH (-LAMBDA*v_island+ALPHA, VT); is1= Vis1/RIS1;
//Ris_1 =Resist (-v_island - 2*ALPHA, s, T, aire);

Vis_1 =SMOOTH (-LAMBDA*v_island-3*ALPHA, VT); is_1= Vis_1/RIS_1;

RID0 = Resist(LAMBDA*V(drain, source) - LAMBDA*v_island
,s,T,aire);VID0=SMOOTH (LAMBDA*V(drain, source) - LAMBDA*v_island -
ALPHA,VT); ID0=VID0/RID0;

```

```

RID1 = Resist(LAMBDA*V(drain,source) -
LAMBDA*v_island+2*ALPHA,s,T,aire);VID1=SMOOTH (LAMBDA*V(drain,source) -
LAMBDA*v_island + ALPHA,VT); ID1=VID1/RID1;
RID2 = Resist(LAMBDA*V(drain,source) - LAMBDA*v_island+4*ALPHA
,s,T,aire);VID2=SMOOTH (LAMBDA*V(drain,source) - LAMBDA*v_island +3*
ALPHA,VT); ID2=VID2/RID2;
RID_1 =Resist(LAMBDA*V(drain,source) - LAMBDA*v_island-
2*ALPHA,s,T,aire);VID_1=SMOOTH (LAMBDA*V(drain,source) - LAMBDA*v_island
- 3*ALPHA, VT); ID_1=VID_1/RID_1;

//Rid0 = Resist(-LAMBDA*V(drain,source) + LAMBDA*v_island,s,T,aire);
Vid0=SMOOTH (-LAMBDA*V(drain,source) + LAMBDA*v_island - ALPHA,VT);
id0=Vid0/RID0;
//Rid1 = Resist(-LAMBDA*V(drain,source) + LAMBDA*v_island-
2*ALPHA,s,T,aire);
Vid1=SMOOTH (-LAMBDA*V(drain,source) +LAMBDA*v_island - 3*ALPHA, VT);
id1=Vid1/RID1;

/*if(LEVEL == 3)
IDS = LAMBDA*((IS0-is0)*(is1+ID1)+(IS1-
is1)*(IS0+id0)+(is1+ID1)*(is0+ID0))/((is1+ID1)+(IS0+id0)+(IS1+id1)*(IS0+
id0)/ID2+(is0+ID0)*(is1+ID1)/IS_1);
if(LEVEL == 2)
IDS =
LAMBDA*(IS0*ID1+IS1*IS0+ID1*ID0)/(ID1+IS0+IS1*IS0/ID2+ID0*ID1/IS_1);
if(LEVEL == 1)
IDS = LAMBDA*IS0*ID1/(ID1+IS0);*/

if(LEVEL == 3)
IDS = LAMBDA* ((is_1+ID_1)*(is0+ID0)*(is1+ID1)+(is0+ID0)*(IS_1-
is_1)*(is1+ID1)+(IS0+is0)*(is1+ID1)*IS_1+(IS1-
is1)*(IS0+id0)*(is1+ID1)*IS_1)/((is_1+ID_1)*(is0+ID0)*(is1+ID1)/IS_2+(IS
1+id1)*(IS0+id0)*IS_1/ID2+(is0+ID0)*(is1+ID1)+(IS0+id0)*IS_1+(is1+ID1)*I
S_1);
if(LEVEL == 2)
IDS= LAMBDA*(ID_1*ID0*ID1 + ID0*IS_1*ID1 + IS0*ID1*IS_1 +
IS1*IS0*ID1*IS_1)/(ID_1*ID0*ID1/IS_2+ IS1*IS0*IS_1/ID2 +
ID0*ID1+IS0*IS_1+ID1*IS_1);
if(LEVEL == 1)
IDS = LAMBDA* (ID0*IS_1*ID1+IS0*ID1*IS_1)/(ID0*ID1+IS0*IS_1+ID1*IS_1);

I(drain,source) <+ IDS+ionik2;
I(gate1,source) <+ 0;
I(gate1,drain) <+ 0;
I(gate2,source) <+ 0;
I(gate2,drain) <+ 0;

end
endmodule

```


ANNEXE C – CODE VERILOG-A DU DG-SET (MC)

```
// Metallic DG-SET Verilog-A Model developed by BOUNOUAR (INL/UdeS)
`include "constants.h"
`include "disciplines.h"
`define MO 9.10938214e-31
`define M_MO 0.44
`define PHIO (0.4*1.6e-19)
`define ER 3.9
`define NTI 2
`define VMOLTI 1.064E-5
`define AV 6.02214179e23
`define Neff 0.9

module DG_SET_MAB_MC (drain,gate1,gate2,source);

    inout drain,gate1,gate2,source;
    electrical drain,gate1,gate2,source;

(*cds_inherited_parameter*) parameter real C_monte = 0.0;
(*cds_inherited_parameter*) parameter real C2_monte = 0.0;
(*cds_inherited_parameter*) parameter real CTS_monte = 0.0;
(*cds_inherited_parameter*) parameter real CTD_monte = 0.0;
(*cds_inherited_parameter*) parameter real width_monte = 0.0;
(*cds_inherited_parameter*) parameter real thickness_monte = 0.0;
(*cds_inherited_parameter*) parameter real height_monte = 0.0;

parameter real CTS = 0.05e-18;
parameter real CTD = 0.05e-18;
parameter real CG1 = 0.1e-18;
parameter real CG2 = 0.1e-18;
parameter real T=300.0 from (0:2000);
parameter real thickness=2e-9 from (0:inf);
parameter real height=1e-9 from (0:inf);
parameter real width=5e-9 from (0:inf);
parameter real LEVEL=3;
parameter real XI=0;
parameter real PRECISION= 270;

localparam CG1_effective= CG1+C_monte;
localparam CG2_effective= CG2+C2_monte;
localparam CTS_effective= CTS+CTS_monte;
localparam CTD_effective= CTD+CTD_monte;
localparam thickness_effective= thickness+stick_monte;
localparam width_effective= width+width_monte;
localparam height_effective= height+height_monte;

analog function real SIGN;
    input x;
    real x;
    begin
        if (x<0)
```

```

SIGN = -1;
else
SIGN = 1;
end
endfunction

analog function real SMOOTH;
input v,vt;
real v,vt;
real x,y;
begin

if (vt == 0.0)
begin
if (v<=0.0)
SMOOTH = 1e-30;
else
SMOOTH = v;
end
else
begin
SMOOTH=v/(1-exp(-v/vt));
end

end
endfunction

analog function real Ithermo;
input V,s,Temp,aire;
real V,s,Temp,aire;
real Aeff,dphi,Vabs;
begin
Vabs=abs(V);
Aeff = 4*`M_PI*`MO*`M_MO*`P_Q*`P_K*`P_K/(`P_H*`P_H*`P_H);
dphi=exp(-1*(`PHIO-
`P_Q*sqrt(`P_Q*(Vabs/s)/(4*`M_PI*`P_EPS0*`ER)))/(`P_K*Temp));
Ithermo =Aeff*Temp*Temp*dphi*aire;
end
endfunction

analog function real Resist;
input V,s,T,aire;
real V,s,T,aire;
real eta,lambda,Em,dEx,dx,D,zeta,Dtemp,Jt,It,Vabs,Emtemp;
integer i1,i2,No;
begin
Vabs=abs(V);
if (Vabs < 1e-12)
begin
Vabs=1e-12;
end
eta=`P_H*`P_H/(8*`MO)*exp(2*ln((3*`NTI*`AV)/(`M_PI*`VMOLTI))/3);

```

```

lambda=`P_Q*`P_Q*ln(2)/(16*`M_PI*`P_EPS0*`ER*s);

Em=eta+`PHIO+5*`P_K*T;

dx=s/PRECISION;
Emtemp=0;
No=PRECISION*(1-`Neff);
for(i2=1;i2<=2*No;i2=i2+1)
    begin
        if (i2<=No)
            begin
                dEx=`Neff*Em/(PRECISION*(1-`Neff));
            end
        else
            begin
                dEx=Em/PRECISION;
            end
        D=0;
        zeta=0;
        for(i1=1;i1<=PRECISION;i1=i1+1)
            begin
                Dtemp=eta-(Emtemp)+`PHIO-
                (`P_Q*Vabs*i1*dx/s)-1.15*lambda*s*s/((i1*dx)*(s-(i1*dx)+dx));
                if (Dtemp>=0)
                    begin
                        D=D+(-
                        4)*`M_PI/`P_H*sqrt(2*`MO*`M_MO)*dx*sqrt(Dtemp);
                    end
                end
                D=exp(D);

                if((Emtemp +`P_Q*Vabs-eta)>0)
                    begin
                        if((Emtemp-eta)>0)
                            begin
                                zeta=(dEx*((exp(-(Emtemp-
                                eta)/(`P_K*T)))/(1+exp(-(Emtemp-eta)/(`P_K*T))))-(exp(-(Emtemp+`P_Q*Vabs-
                                eta)/(`P_K*T)))/(1+exp(-(Emtemp+`P_Q*Vabs-
                                eta)/(`P_K*T)))))*4*`M_PI*`MO*`M_MO*`P_Q/(`P_H*`P_H*`P_H);
                            end
                        else
                            begin
                                zeta=(dEx*((1/(1+exp((Emtemp-
                                eta)/(`P_K*T))))-(exp(-(Emtemp+`P_Q*Vabs-eta)/(`P_K*T)))/(1+exp(-
                                (Emtemp+`P_Q*Vabs-
                                eta)/(`P_K*T))))))*4*`M_PI*`MO*`M_MO*`P_Q/(`P_H*`P_H*`P_H);
                            end
                        end
                    end
                else
                    begin
                        zeta=(dEx*((1/(1+exp((Emtemp-eta)/(`P_K*T))))-
                        (1/(1+exp((Emtemp+`P_Q*Vabs-
                        eta)/(`P_K*T))))))*4*`M_PI*`MO*`M_MO*`P_Q/(`P_H*`P_H*`P_H);
                    end
                end
            end
        end
    end

```

```

                Jt=Jt+dEx*zeta*D;
                Emtemp=Emtemp+dEx;
            end    It=Jt*aire;
if (It<1e-30)
Resist=Vabs*1e30;
else
    Resist=Vabs/It;

end
endfunction

real s, aire;
real VT,VDS,VGS1,VGS2;
real
v_island, ID0, IS0, ID1, IS1, ID2, IS_1, ALPHA, LAMBDA, IDS, is0, is1, id0, id1, IS_2,
ID_1, is_1;
real VIS0, VIS1, VIS_1, VIS_2, Vis0,
Vis1, Vis_1, VID0, VID1, VID2, VID_1, Vid0, Vid1;
real RIS0, RIS1, RIS_1, RIS_2, Ris0,
Ris1, Ris_1, RID0, RID1, RID2, RID_1, Rid0, Rid1;
real ionik1, ionik2;
real Cgs, Ctot, Vgs;
real Vd0, Vs0, Vd1, Vs1, Vd2, Vs2, Vd_1, Vs_1, Vd_2, Vs_2;

analog begin

s=thickness;
aire=height*width;
VT = T*`P_K/`P_Q;
VDS = V(drain,source);
VGS1 = V(gate1,source);
VGS2 = V(gate2,source);
v_island =
V(gate1,source)*CG1_effective/(CG1_effective+CG2_effective+CTS_effective
+CTD_effective)+V(drain,source)*CTD_effective/(CG1_effective+CG2_effec
tive+CTS_effective+CTD_effective)+V(gate2,source)*CG2_effective/(CG1_effec
tive+CG2_effective+CTS_effective+CTD_effective)-
XI*`P_Q/(CG1_effective+CG2_effective+CTS_effective+CTD_effective);
ALPHA =
`P_Q/(2*(CG1_effective+CTD_effective+CTS_effective+CG2_effective));
LAMBDA = SIGN(V(drain,source));

if (LAMBDA*v_island > (2*ALPHA + LAMBDA*V(drain,source)/2))
v_island = v_island - (1+floor(abs(v_island - (2*ALPHA +
LAMBDA*V(drain,source)/2)))/(2*ALPHA)))*2*LAMBDA*ALPHA;

if (LAMBDA*v_island < LAMBDA*V(drain,source)/2)
v_island = v_island + (1+floor(abs(V(drain,source)/2-
v_island)/(2*ALPHA)))*2*LAMBDA*ALPHA;

ionik2 = LAMBDA*Ithermo(LAMBDA*V(drain,source)/2 ,s,T,aire);

```

```

RIS0 = Resist (LAMBDA*v_island, s, T, aire); VIS0
=SMOOTH(LAMBDA*v_island- ALPHA,VT); IS0= VIS0/RIS0;
RIS1 = Resist (LAMBDA*v_island-2*ALPHA, s, T, aire); VIS1 =SMOOTH
(LAMBDA*v_island-3*ALPHA,VT); IS1= VIS1/RIS1;
RIS_1 =Resist (LAMBDA*v_island+2*ALPHA, s, T, aire); VIS_1 =SMOOTH
(LAMBDA*v_island+ALPHA,VT); IS_1= VIS_1/RIS_1;
RIS_2 =Resist (LAMBDA*v_island+4*ALPHA, s, T, aire); VIS_2 =SMOOTH
(LAMBDA*v_island+3*ALPHA, VT); IS_2= VIS_2/RIS_2;
//Ris0 = Resist (-v_island, s, T, aire);

Vis0 =SMOOTH (-LAMBDA*v_island-ALPHA,VT); is0= Vis0/RIS0;
//Ris1 = Resist (-v_island+2*ALPHA, s, T, aire);

Vis1 =SMOOTH (-LAMBDA*v_island+ALPHA, VT); is1= Vis1/RIS1;
//Ris_1 =Resist (-v_island - 2*ALPHA, s, T, aire);

Vis_1 =SMOOTH (-LAMBDA*v_island-3*ALPHA, VT); is_1= Vis_1/RIS_1;

RID0 = Resist(LAMBDA*V(drain,source) - LAMBDA*v_island
,s,T,aire);VID0=SMOOTH (LAMBDA*V(drain,source) - LAMBDA*v_island -
ALPHA,VT); ID0=VID0/RID0;
RID1 = Resist(LAMBDA*V(drain,source) -
LAMBDA*v_island+2*ALPHA,s,T,aire);VID1=SMOOTH (LAMBDA*V(drain,source) -
LAMBDA*v_island + ALPHA,VT); ID1=VID1/RID1;
RID2 = Resist(LAMBDA*V(drain,source) - LAMBDA*v_island+4*ALPHA
,s,T,aire);VID2=SMOOTH (LAMBDA*V(drain,source) - LAMBDA*v_island +3*
ALPHA,VT); ID2=VID2/RID2;
RID_1 =Resist(LAMBDA*V(drain,source) - LAMBDA*v_island-
2*ALPHA,s,T,aire);VID_1=SMOOTH (LAMBDA*V(drain,source) - LAMBDA*v_island
- 3*ALPHA, VT); ID_1=VID_1/RID_1;

//Rid0 = Resist(-LAMBDA*V(drain,source) + LAMBDA*v_island,s,T,aire);
Vid0=SMOOTH (-LAMBDA*V(drain,source) + LAMBDA*v_island - ALPHA,VT);
id0=Vid0/RID0;
//Rid1 = Resist(-LAMBDA*V(drain,source) + LAMBDA*v_island-
2*ALPHA,s,T,aire);
Vid1=SMOOTH (-LAMBDA*V(drain,source) +LAMBDA*v_island - 3*ALPHA, VT);
id1=Vid1/RID1;

/*if(LEVEL == 3)
IDS = LAMBDA*((IS0-is0)*(is1+ID1)+(IS1-
is1)*(IS0+id0)+(is1+ID1)*(is0+ID0))/((is1+ID1)+(IS0+id0)+(IS1+id1)*(IS0+
id0)/ID2+(is0+ID0)*(is1+ID1)/IS_1);
if(LEVEL == 2)
IDS =
LAMBDA*(IS0*ID1+IS1*IS0+ID1*ID0)/(ID1+IS0+IS1*IS0/ID2+ID0*ID1/IS_1);
if(LEVEL == 1)
IDS = LAMBDA*IS0*ID1/(ID1+IS0);*/

if(LEVEL == 3)
IDS = LAMBDA* ((is_1+ID_1)*(is0+ID0)*(is1+ID1)+(is0+ID0)*(IS_1-
is_1)*(is1+ID1)+(IS0+is0)*(is1+ID1)*IS_1+(IS1-
is1)*(IS0+id0)*(is1+ID1)*IS_1)/((is_1+ID_1)*(is0+ID0)*(is1+ID1)/IS_2+(IS

```

```
1+id1)*(IS0+id0)*IS_1/ID2+(is0+ID0)*(is1+ID1)+(IS0+id0)*IS_1+(is1+ID1)*I
S_1);
if(LEVEL == 2)
IDS= LAMBDA*(ID_1*ID0*ID1 + ID0*IS_1*ID1 + IS0*ID1*IS_1 +
IS1*IS0*ID1*IS_1)/(ID_1*ID0*ID1/IS_2+ IS1*IS0*IS_1/ID2 +
ID0*ID1+IS0*IS_1+ID1*IS_1);
if(LEVEL == 1)
IDS = LAMBDA* (ID0*IS_1*ID1+IS0*ID1*IS_1)/(ID0*ID1+IS0*IS_1+ID1*IS_1);

I(drain,source) <+ IDS+ionik2;
I(gat1,source) <+ 0;
I(gat1,drain) <+ 0;
I(gate2,source) <+ 0;
I(gate2,drain) <+ 0;

end
endmodule
```

ANNEXE D – FICHER « .SCS » DG-SET (MC)

```
library SET
section setmc

parameters C_monte=0.0a
statistics {
process {
    vary C_monte dist=gauss std=0.004a
}
mismatch {
    vary C_monte dist=gauss std=0.004a
}
}

parameters C2_monte=0.0a
statistics {
    process {
        vary C2_monte dist=gauss std=0.004a
    }
    mismatch {
        vary C2_monte dist=gauss std=0.004a
    }
}

parameters CTS_monte=0.0a
statistics {
    correlate param=[CTS_monte width_monte] cc=-1
    correlate param=[CTS_monte thickness_monte] cc=1
    process {
        vary CTS_monte dist=gauss std=0.002a
    }
    mismatch {
        vary CTS_monte dist=gauss std=0.002a
    }
}

parameters CTD_monte=0.0a
statistics {
    correlate param=[CTD_monte width_monte] cc=-1
    correlate param=[CTD_monte thickness_monte] cc=1
    process {
        vary CTD_monte dist=gauss std=0.002a
    }
    mismatch {
        vary CTD_monte dist=gauss std=0.002a
    }
}

parameters thickness_monte=0.0a
statistics {
    process {
        vary thickness_monte dist=gauss std=0.04n
    }
}
```

```

    }
    mismatch {
      vary thickness_monte dist=gauss std=0.04n
    }
  }

parameters height_monte=0.0a
statistics {
  process {
    vary height_monte dist=gauss std=0.01n
  }
  mismatch {
    vary height_monte dist=gauss std=0.01n
  }
}

parameters width_monte=0.0a
statistics {
process {
  vary width_monte dist=gauss std=0.05n
}
mismatch {
  vary width_monte dist=gauss std=0.05n
}
}

inline subckt set_model ( d g1 g2 s )
parameters CTS=0.05a CTD=0.05a CG1=0.1a CG2=0.1a XI=0 LEVEL=3 T=300
thickness=2n height=1n width=5n
set_model ( d g1 g2 s ) SET_MAB_MC C_monte=C_monte C2_monte=C2_monte
thickness_monte=thickness_monte width_monte=width_monte CTS=CTS CTD=CTD
CG1=CG1 CG2=CG2 XI=XI Level=Level T=T height_monte=height_monte
model mcset mc_set
ends set_model
endsection
endlibrary

```


LISTE DES PUBLICATIONS PERSONNELLES

Journaux Internationales avec Comité de Lecture :

- N. Jouvet, **M. A. Bounouar**, S. Ecoffey, C. Nauenheim, A. Beaumont, S. Monfray, A. Ruediger, F. Calmon, A. Souifi, D. Drouin, "Recent Developments on 3D Integration of Metallic SET onto CMOS Process for Memory Application", International Journal of Nanoscience, vol., vol. 11, n°4, 2012, pp. 1240024-1/6.
- W. Xuan, A. Beaumont, M. Guilmain, **M. A. Bounouar**, N. Baboux, J. Etzkorn, D. Drouin, F. Calmon, "Static and Dynamic Modeling of Single Electron Memory for circuit simulation", IEEE Transactions on Electron Devices, vol. 59, issue 1, pp. 212-220, 2012.

Conférences Internationales avec Comité de Lecture :

- **M. A. Bounouar**, A. Beaumont, K. EL Hajjam, F. Calmon, D. Drouin, "Room Temperature Double Gate Single Electron Transistor Based Standard Cell Library", IEEE/ACM International Symposium on Nanoscale Architectures (NANOARCH), Amsterdam, 4-6 July 2012.
- **M.A. Bounouar**, F. Calmon, A. Beaumont, D. Drouin, "On the Use of Nanoelectronic Logic Cells Based on Metallic Single Electron Transistors", Proc. of IEEE - ULIS 2012.
- D. Griveau, S. Ecoffey, R. M. Parekh, **M. A. Bounouar**, F. Calmon, J. Beauvais, D. Drouin, "Single Electron CMOS-Like One Bit Full Adder", Proc. of IEEE - ULIS 2012.
- **M.A. Bounouar**, F. Calmon, A. Beaumont, M. Guilmain, W. Xuan, S. Ecoffey, D. Drouin, "Single Electron Transistor Analytical Model for Hybrid Circuit Design", IEEE New Circuits and Systems Conference - NEWCAS conference, pp. 506-509, 26-29 June, 2011

Conférences Nationales :

- **M.A. Bounouar**, F. Calmon, A. Beaumont, D. Drouin, "Metallic SET based Logic Cells: Evaluation & Comparison of Power Consumption with their CMOS Counterparts", NanoQuébec Conference, 2012, Montréal, Canada.
- N. Jouvet, **M.A. Bounouar**, B. Lee-Sang, A. Lecestre, S. Ecoffey, C. Nauenheim, A. Beaumont, S. Monfray, A. Ruediger, F. Calmon, A. Souifi, D. Drouin, "Développements Récents de l'Intégration 3D de SET Métalliques sur CMOS pour une Application Mémoire", NanoQuébec Conference, 2012, Montréal, Canada.

- D. Griveau, S. Ecoffey, R. M. Parekh, **M. A. Bounouar**, F. Calmon, J. Beauvais, D. Drouin, "Single Electron CMOS-Like One Bit Full Adder", NanoQuébec Conference, 2012, Montréal.

Colloques et Workshops :

- K. El Hajjam, N. Baboux, S. Ecoffey, **M. A. Bounouar**, D. Drouin, F. Calmon "Thermionic Emission filtering to increase SET operating temperature" Colloque annuel du GDR SoC-SiP du CNRS, 10-12 juin 2013, Lyon.
- K. El Hajjam, **M. A. Bounouar**, N. Baboux, M. Guilmain, E. Puyoo, D. Drouin, F. Calmon "Thermionic Emission filtering to increase SET operating temperature" Journée Nanoélectronique du Club EEA (JNEEA), 26 novembre, Paris, 2012.
- **M. A. Bounouar**, A. Beaumont, F. Calmon, D. Drouin, "New Logic Gate Family Based on Double Gate Single Electron Transistors", Colloque UMI-LN2, Orford, QC, Canada, 15-18 Juillet, 2012.
- **M. A. Bounouar**, D. Griveau, A. Beaumont, F. Calmon, D. Drouin, "Logic Circuit Design Using Metallic SET", Colloque Annuel du GDR SoC-SiP, Paris, 13-15 juin, 2012.
- F. Calmon, A. Beaumont, S. Ecoffey, **M. A. Bounouar**, N. Jovet, M. Guilmain, B. Lee Sang, C. Nauenheim, K. El Hajjam, A. Ruediger, A. Souifi, S. Monfray, D. Drouin, "Résultats récents et perspectives dans le domaine des dispositifs monoélectroniques et de leurs applications", **Papier invité**, Colloque Annuel du GDR SoC-SiP, Paris, 13-15 juin, 2012.
- **M. A. Bounouar**, A. Beaumont, F. Calmon, D. Drouin, "Conception de Circuits Logiques à base Transistors à un Électron (SET)", Journées Technologies Émergentes et Green SoC/SiP, 27-28 octobre, Montpellier, 2011.
- J. Etzkorn, W. Xuan, N. Jovet, A. Beaumont, N. Baboux, A. Souifi, F. Calmon, **M. A. Bounouar**, M. Guilmain, R. Parekh, S. Ecoffey, D. Drouin, "Library of Single Electron Device Models for CMOS Hybrid Circuit Design", 4ème colloque du Laboratoire International Associé : Nanotechnologies & Nanosystèmes, 10-13 juillet 2011, Allevard-les-Bains, France.
- J. Etzkorn, W. Xuan, N. Jovet, A. Beaumont, N. Baboux, A. Souifi, F. Calmon, **M. A. Bounouar**, M. Guilmain, R. Parekh, S. Ecoffey, D. Drouin, "Single Electron Device Model Library for Hybrid Circuit Design", Colloque annuel du GDR SoC-SiP 2011 du CNRS, 15-17 juin 2011, Lyon.
- **M. A. Bounouar**, F. Calmon, A. Beaumont, W. Xuan, N. Baboux, D. Drouin "Modèle analytique compact du transistor à un électron (SET) pour la conception de circuits

logiques hybrides SET-CMOS", Ecole d'hiver Francophone sur les Technologies de Conception des Systèmes embarqués Hétérogènes (FETCH 2011), 5-7 janvier 2011, Québec, Canada

- M. Guilmain, R. Parekh, **M. A. Bounouar**, S. Ecoffey, F. Calmon, D. Drouin, "Intégration de dispositifs nanoélectroniques innovants sur circuits CMOS", Ecole d'hiver Francophone sur les Technologies de Conception des Systèmes embarqués Hétérogènes (FETCH 2011), 5-7 janvier 2011, Québec, Canada
- F. Calmon, D. Drouin, D. Albertini, N. Baboux, A. Beaumont, J. Beauvais, **M. A. Bounouar**, S. Charlebois, D. Danovitch, S. Ecoffey, B. Gautier, M. Guilmain, A. Itawi, N. Jovet, S. Monfray, J. F. Morissette, R. Parekh, A. Souifi, J. Sylvestre, W. Xuan "SEDIMOS: Single Electron Device Integration ON CMOS technology", 3ème colloque du Laboratoire International Associé « Nanotechnologies & Nanosystèmes », 12-16 juillet 2010, Sacacomie, Canada.

FOLIO ADMINISTRATIF

THESE SOUTENUE DEVANT L'INSTITUT NATIONAL DES SCIENCES APPLIQUEES DE LYON

NOM : **BOUNOUAR**

DATE de SOUTENANCE : 23 JUILLET 2013

Prénoms : **Mohamed Amine**

TITRE : **Transistors Mono-Electroniques Double-Grille : Modélisation, Conception & Évaluation d'Architectures Logiques / Double-Gate Single Electron Transistor: Modeling, Design & Evaluation of Logic Architectures**

NATURE : **Doctorat**

Numéro d'ordre : 2013ISAL0068

Ecole doctorale : **EEA**

Spécialité : **Micro et Nano Technologies**

RESUME :

Dans les années à venir, l'industrie de la microélectronique doit développer de nouvelles filières technologiques qui pourront devenir des successeurs ou des compléments de la technologie CMOS ultime. Parmi ces technologies émergentes relevant du domaine « Beyond CMOS », ce travail de recherche porte sur les transistors mono-électroniques (SET) dont le fonctionnement est basé sur la quantification de la charge électrique, le transport quantique et la répulsion Coulombienne. Les SETs doivent être étudiés à trois niveaux : composants, circuits et système. Ces nouveaux composants, utilisent à leur profit le phénomène dit de blocage de Coulomb permettant le transit des électrons de manière séquentielle, afin de contrôler très précisément le courant véhiculé. Le caractère granulaire de la charge électrique dans le transport des électrons par effet tunnel, permet d'envisager la réalisation de remplaçants potentiels des transistors ou de cellules mémoire à haute densité d'intégration, basse consommation. L'objectif principal de ce travail de thèse est d'explorer et d'évaluer le potentiel des transistors mono-électroniques double-grille métalliques (DG-SETs) pour les circuits logiques numériques. De ce fait, les travaux de recherches proposés sont divisés en trois parties : i) le développement des outils de simulation et tout particulièrement un modèle analytique de DG-SET ; ii) la conception de circuits numériques à base de DGSETs dans une approche « cellules standards » ; et iii) l'exploration d'architectures logiques versatiles à base de DG-SETs en exploitant la double-grille du dispositif. Un modèle analytique pour les DG-SETs métalliques fonctionnant à température ambiante et au-delà est présenté. Ce modèle est basé sur des paramètres physiques et géométriques et implémenté en langage Verilog-A. Il est utilisable pour la conception de circuits analogiques ou numériques hybrides SET-CMOS. A l'aide de cet outil, nous avons conçu, simulé et évalué les performances de circuits logiques à base de DG-SETs afin de mettre en avant leur utilisation dans les futurs circuits ULSI. Une bibliothèque de cellules logiques, à base de DG-SETs, fonctionnant à haute température est présentée. Des résultats remarquables ont été atteints notamment en termes de consommation d'énergie. De plus, des architectures logiques telles que les blocs élémentaires pour le calcul (ALU, SRAM, etc.) ont été conçues entièrement à base de DG-SETs. La flexibilité offerte par la seconde grille du DG-SET a permis de concevoir une nouvelle famille de circuits logiques flexibles à base de portes de transmission. Une réduction du nombre de transistors par fonction et de consommation a été atteinte. Enfin, des analyses Monte-Carlo sont abordées afin de déterminer la robustesse des circuits logiques conçus à l'égard des dispersions technologiques.

MOTS-CLES : **Transistors mono-électroniques double-grille (DG-SET), Modélisation compacte du SET, Conception de circuits logiques, Nano-Architectures, Ultra-basse consommation**

Laboratoire (s) de recherche : **3IT (Institut Interdisciplinaire d'Innovation Technologique) de l'Université de Sherbrooke (Québec Canada) et à l'INL (Institut des Nanotechnologie de Lyon) INSA de Lyon, France.**

Directeurs de thèse: **Francis CALMON & Dominique DROUIN**

Président de jury : **Frédéric MAILHOT**

Composition du jury :

Lionel TORRES	Professeur, Université Montpellier II
Jacques-Olivier KLEIN	Professeur, Université Paris-Sud
Frédéric MAILHOT	Professeur, Université de Sherbrooke
Stéphane MONFRAY	Docteur, STMicroelectronics, Crolles
Benoit MIRAMOND	Maitre de Conférences, Université de Cergy-Pontoise
Dominique DROUIN	Professeur, Université de Sherbrooke
Francis CALMON	Professeur, INSA de Lyon