



HAL
open science

Vieillissement des transistors MOS submicroniques après contrainte électrique

S. Cristoloveanu, B. Cabon-Till, K.N. Kang, P. Gentil, J. Gautier

► **To cite this version:**

S. Cristoloveanu, B. Cabon-Till, K.N. Kang, P. Gentil, J. Gautier. Vieillissement des transistors MOS submicroniques après contrainte électrique. *Revue de Physique Appliquée, Société française de physique / EDP*, 1984, 19 (11), pp.933-939. 10.1051/rphysap:019840019011093300 . jpa-00245286

HAL Id: jpa-00245286

<https://hal.archives-ouvertes.fr/jpa-00245286>

Submitted on 1 Jan 1984

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Classification
 Physics Abstracts
 73.40Q — 73.90

Viellissement des transistors MOS submicroniques après contrainte électrique (*)

S. Cristoloveanu, B. Cabon-Till, K. N. Kang, P. Gentil

Institut National Polytechnique, Laboratoire de Physique des Composants à Semiconducteurs (*), ENSERG, 23, rue des Martyrs, 38031 Grenoble Cedex, France

et J. Gautier

Laboratoire d'Electronique et de Technologie de l'Informatique, IRDI-Commissariat à l'Energie Atomique, LETI-CENG, 85X, 38041 Grenoble Cedex, France

(Reçu le 16 mai 1984, accepté le 31 juillet 1984)

Résumé. — Les propriétés d'une nouvelle génération de transistors MOS ont été analysées en fonction de leurs très faibles longueurs de canal qui varient entre 3 μm et 0,3 μm . L'accent a été mis sur l'étude de leur vieillissement après contrainte électrique variable en intensité, en durée et en température. Nos mesures portent sur les caractéristiques statiques en inversion forte et faible et sur la tension de seuil. La résistance série totale du drain et de la source (40 Ω) est déterminée directement à partir des dispositifs de longueur zéro. Nous montrons que ces MOSFET vieillissent plus fortement lorsque la tension de grille excède la tension de drain. Les caractéristiques des MOSFET très courts ($L_{\text{eff}} < 0,7 \mu\text{m}$) présentent un effet prononcé de canal court et se dégradent plus rapidement que pour $L_{\text{eff}} > 1 \mu\text{m}$; la dérive des caractéristiques n'est pas supprimée même pour des faibles tensions de polarisation (3 V). L'observation d'une plus forte réduction du courant en échangeant source et drain, consolide l'hypothèse d'un vieillissement dû à la création inhomogène d'états d'interface et de charges négatives dans l'oxyde.

Abstract. — The properties of a new generation of MOS transistors have been investigated in respect of their very small channel lengths, varying from 3 μm down to 0.3 μm . In particular we analysed their degradation during electrical stress, the main parameters of which were the bias intensity, the duration and the temperature. The static characteristics in weak and strong inversion as well as the threshold voltage have been systematically measured after different ageing steps. The total series resistance of drain and source (40 Ω) is found directly by exploiting zero-long devices. It is shown that the degradation of these MOSFET is accentuated if the applied gate voltage exceeds the drain voltage. For $L_{\text{eff}} < 0.7 \mu\text{m}$, MOS transistors exhibit prominent « short channel » behaviour and are subject to more significant ageing than for $L_{\text{eff}} > 1 \mu\text{m}$; even for bias voltages as low as 3 V the shift of characteristics is not totally suppressed. The observation that the drain current reduction, after stress, is greater when source and drain are inverted, suggests that the ageing originates mainly from an inhomogeneous build-up of interface states and negative charge in the oxide.

1. Introduction.

Une perspective certaine de la microélectronique est l'utilisation généralisée de composants de taille submicronique. La réduction progressive des dimensions géométriques est accompagnée par effet d'échelle (« scaling ») d'une diminution de l'épaisseur de l'oxyde et de la profondeur des jonctions et d'une augmentation correspondante du dopage. On s'intéresse aux particularités des caractéristiques électriques de MOSFET, de plus en plus courts, et à leur dégradation après différents cycles de fonctionnement. Il semble

acquis maintenant que la principale source de vieillissement est la modification de l'état de l'oxyde de grille par l'injection de porteurs très énergétiques (chauds). Plusieurs modèles fort intéressants, concernant ce « pompage électrique de charge », ont été proposés pour expliquer les résultats particuliers de différents types de mesures [1-4]; cependant, l'unanimité n'est pas atteinte, ni sur l'origine des processus physiques d'injection (d'électrons [5-8] ou bien de trous [3, 9] chauds), ni sur l'importance respective des différents paramètres de vieillissement (longueur du canal, tensions appliquées, durée, température, etc). Ce dernier problème constitue l'objet de cet article, où nous présentons des mesures récentes

(*) Associé au CNRS.

effectuées systématiquement sur des MOSFET submicroniques (μ -MOS) de longueur variable.

Nous montrerons l'évolution des caractéristiques statiques des μ -MOS lorsque leur longueur effective tend vers zéro, ainsi que le mode de définition des paramètres qui seront suivis au cours du vieillissement. Des exemples typiques de dégradation en fonction de la durée et de l'intensité des contraintes seront ensuite donnés et confrontés aux modèles théoriques disponibles.

2. Caractéristiques statiques des MOSFET submicroniques.

2.1 DISPOSITIFS DE TEST. — Les dispositifs de test ont été fabriqués à l'atelier technologique du LETI. Il s'agit de transistors MOS isolés, dont les longueurs de grille sur masque varient entre $L = 0,3$ et $L = 3 \mu\text{m}$; les longueurs effectives (ou électriques) L_{eff} étant environ $0,3$ à $0,6 \mu\text{m}$ plus faibles, les petits transistors se trouvent en « court-circuit ». Ces dispositifs sont réalisés sur substrat de Si de type P, d'orientation $\langle 100 \rangle$ et de résistivité $5 \Omega \text{ cm}$. La technologie de fabrication utilisée est du type à isolation par oxydation localisée (LOCOS) et par implantation ionique de champ (bore). La grille est en silicium polycristallin dopé N^+ , l'épaisseur de l'oxyde étant de 300 \AA . Sources et drains sont réalisés par implantation ionique d'arsenic de sorte que la profondeur de jonction finale soit de $0,25 \mu\text{m}$. Le canal est implanté par du bore pour optimiser le comportement des μ -MOS de longueurs de canal comprises entre $0,8$ et $1,5 \mu\text{m}$. A noter que les différents dispositifs ne se distinguent que par leurs longueurs, car il n'existe pas de facteur d'échelle entre ces μ -MOS. La largeur des MOS est constante et suffisamment grande ($W = 20 \mu\text{m}$), pour pouvoir négliger l'effet de compensation entre longueur et largeur courtes [10]. La configuration d'un échantillon et les conditions de polarisation sous contrainte sont illustrées dans l'insertion de la figure 1.

Un ensemble de caractéristiques est systématiquement relevé, pour chaque transistor avant et après chaque étape de vieillissement, à l'aide d'un système semi automatique HP 4140B, piloté par ordinateur, assurant une précision de mesure de $0,5 \text{ mV}$ et 10^{-13} A .

2.2 CARACTÉRISTIQUES DE TRANSFERT. — En figure 1 est tracée la variation du courant de drain I_D en fonction de la tension de grille V_G , pour des μ -MOS de longueurs différentes. La partie linéaire des courbes données en échelle semi-logarithmique (Fig. 1a) montre l'étendue de la zone d'inversion faible. Lorsqu'elles sont tracées en échelle linéaire et pour de très faibles tensions de drain V_D (Fig. 1b), ces courbes permettent de déterminer la tension de seuil V_{th} , la longueur effective L_{eff} et la mobilité μ_n (supposée constante) des électrons dans la couche d'inversion [11, 12]. Pour cela nous appliquons une double

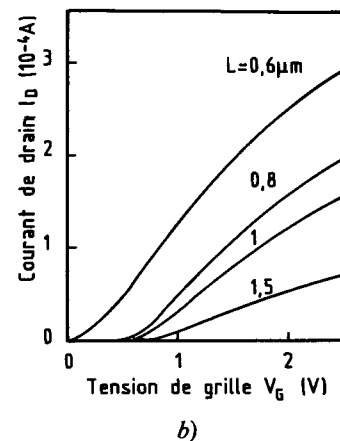
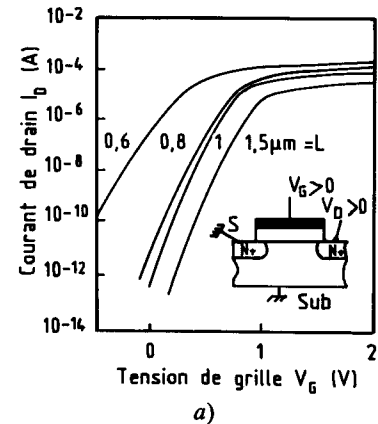


Fig. 1. — Courant de drain en fonction de la tension de grille pour des μ -MOS de longueurs (sur masque) L différentes; $V_D = 50 \text{ mV}$, $T = 295 \text{ K}$.

[Drain current I_D against gate voltage V_G for MOS transistors with different channel lengths L (on the mask); $V_D = 50 \text{ mV}$, $T = 295 \text{ K}$.]

méthode de moindres carrés aux points expérimentaux qui ne s'écartent pas à plus de 5% de la droite de pente maximale :

$$I_D = K V_D (V_G - V_{\text{th}} - \alpha V_D / 2)$$

avec

$$K = \mu C_{\text{ox}} W / L_{\text{eff}}.$$

On extrapole d'abord la valeur de V_G à $I_D = 0$ pour plusieurs V_D entre 10 et 60 mV ; afin de s'affranchir du coefficient α (souvent négligé à tort), on effectue une nouvelle régression linéaire, selon $V_D \rightarrow 0$, qui permet de déduire les valeurs exactes (à $V_D = 0$, c'est-à-dire pour un canal parfaitement homogène) de V_{th} et du coefficient K lié à la transconductance. La figure 2 montre que V_{th} vaut $0,75 \text{ V}$ pour $L > 1 \mu\text{m}$; pour des longueurs inférieures, V_{th} diminue rapidement (dépassant les prévisions du modèle unidimensionnel de Schmidt et Das [13]) et présente une forte dispersion statistique d'un échantillon à un autre. En utilisant les valeurs de K de différents μ -MOS d'une

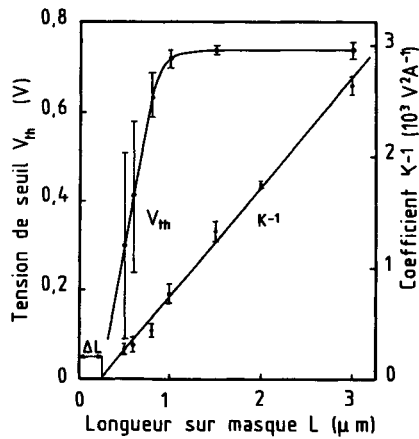


Fig. 2. — Tension de seuil V_{th} et coefficient $K^{-1} = (d^2 I_D / dV_G dV_D)^{-1}$ en fonction de la longueur du canal (sur masque) L , pour 5 séries de μ -MOS. ($V_D \rightarrow 0$, $T = 295$ K, $\Delta L \approx 0,3 \mu\text{m}$).

[Threshold voltage V_{th} and coefficient $K^{-1} = (d^2 I_D / dV_G dV_D)^{-1}$ versus channel length L (on the mask) for 5 groups of MOS transistors. ($V_D \rightarrow 0$, $T = 295$ K, $\Delta L \approx 0,3 \mu\text{m}$.)]

même puce on obtient une droite, $K^{-1}(L)$, dont l'intersection avec l'axe L (calculée par régression) définit l'écart $\Delta L = L - L_{eff}$ [11, 12] entre la longueur sur masque et la longueur effective (Fig. 2) : dans notre cas $\Delta L \approx 0,3 \mu\text{m}$.

2.3 INVERSION FORTE. — L'allure des courbes $I_D(V_D)$ pour $V_G > V_{th}$ diffère notablement selon la longueur des μ -MOS (Fig. 3). Pour $L_{eff} = 1,7$ et $2,7 \mu\text{m}$, les caractéristiques ressemblent à celles des MOS longs, surtout lorsqu'on s'intéresse à la région de saturation. Néanmoins, ces longueurs sont considérées, dans de nombreuses publications récentes [6-8, 14, 15], comme exemples typiques de canal très court. Nous observons un véritable effet de canal court pour $L_{eff} < 1,5 \mu\text{m}$: la zone de saturation est de moins en moins nette et l'impédance en petits signaux descend (à $V_G = 4$ V) en dessous de $10 \text{ k}\Omega$ pour $L_{eff} = 0,3 \mu\text{m}$ ou de $30 \text{ k}\Omega$ pour $L_{eff} = 0,5 \mu\text{m}$.

Une opportunité très intéressante du masque utilisé vient du court-circuit existant entre les deux régions implantées N^+ (source et drain) des petits MOS (Fig. 3). Il permet une détermination expérimentale directe de la résistance série totale de la source et du drain : $R = 40 \Omega$ pour $L = 0,4 \mu\text{m}$ et $R = 30 \Omega$ pour $L = 0,3 \mu\text{m}$, la différence étant justifiable, selon nous, par l'interpénétration des zones N^+ . Cette résistance parasite affecte tout particulièrement le fonctionnement des μ -MOS et des méthodes sophistiquées ont été proposées pour son estimation indirecte [12, 16]. Nous pensons que l'écart existant entre les valeurs de ΔL , calculée ($0,3 \mu\text{m}$) et respectivement suggérée par ce court-circuit ($0,4 \mu\text{m}$) a pour cause principale les incertitudes liées à la fabrication des masques. Par ailleurs, l'hypothèse usuelle servant à ce calcul, à

savoir mobilité constante avec L , devient fragile dans la gamme submicronique ; enfin, lorsque le pic d'implantation n'est pas situé en surface, les régions N^+ pourraient se rejoindre, par diffusion latérale, non pas au niveau du canal d'inversion mais plus profondément dans le volume.

Durant l'acquisition des mesures un calcul de moindres carrés est exécuté afin d'approximer les courbes expérimentales par deux droites, correspondant aux régions de saturation et de conduction ohmique (Fig. 3). Nous disposons ainsi des valeurs des impédances, des courants et de la tension de « saturation » V_{sat} , dont les variations sont suivies pendant le vieillissement.

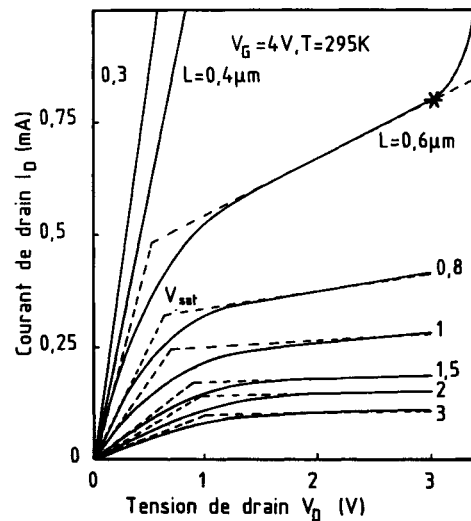


Fig. 3. — Caractéristiques courant-tension de drain, en inversion forte, pour des μ -MOS de longueurs L différentes. En tirets est illustrée la décomposition (numérique) bilinéaire des courbes expérimentales. Le signe (*) montre un point typique de fonctionnement choisi pour le vieillissement. Les deux caractéristiques ohmiques, obtenues pour $L = 0,3$ et $0,4 \mu\text{m}$, ne dépendent pas de V_G .

[Current I_D versus drain voltage V_D , in strong inversion, for MOS transistors with different lengths L . Dotted lines show the computed bilinear decomposition of experimental characteristics. Indicated by (*) is a typical bias condition for electrical stress. Ohmic characteristics obtained for $L = 0,3$ and $0,4 \mu\text{m}$ are not dependent of the gate voltage V_G .]

Enfin, les courbes de la figure 3 permettent de définir la tension de contrainte $V_D = V_s$ (fonction de V_G), comme étant la valeur maximale dans la zone de saturation ne provoquant pas l'émergence d'un régime d'avalanche. L'idée est d'isoler les processus de vieillissement dus à l'injection dans l'oxyde des porteurs très énergétiques ayant comme origine les électrons du canal et donc d'éviter ceux relatifs à l'injection de porteurs provenant d'une multiplication par ionisation due à l'avalanche de la jonction [2]. En outre, cette situation, bien que conduisant à un moindre vieillissement, est plus réaliste vis-à-vis des conditions normales d'utilisation des μ -MOS.

2.4 INVERSION FAIBLE. — Des courbes typiques $I_D(V_D)$ sont montrées, pour un μ -MOS de longueur $L_{eff} = 0,5 \mu\text{m}$ et pour $V_G < V_{th}$, en figure 4. Ces caractéristiques ont la même allure que pour l'inversion forte et sont donc traitées numériquement selon la même méthode. Notons que l'impédance dynamique en régime de saturation diminue nettement pour les μ -MOS très courts (voir pour comparaison les figures 7 et 8).

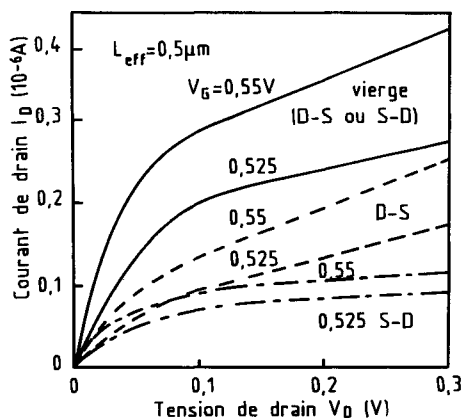


Fig. 4. — Caractéristiques courant-tension de drain en inversion faible ($V_G < V_{th}$) d'un μ -MOS ($L_{eff} = 0,5 \mu\text{m}$), avant (—) et après (---) un vieillissement de 68 heures sous $V_G = 12 \text{ V}$ et $V_D = 5 \text{ V}$. Une forte dissymétrie apparaît entre les caractéristiques « normales » (D-S) et les caractéristiques « inversées » (S-D) obtenues en interchangeant la source et le drain.

[Current-drain voltage characteristics in the subthreshold region for a MOSFET with $0.5 \mu\text{m}$ effective channel length L_{eff} , before (—) and after (---) stress (68 hours with $V_G = 12 \text{ V}$ and $V_D = 5 \text{ V}$). A strong dissymmetry occurs between the « normal » characteristics (D-S) and the « reversed » characteristics (S-D) obtained by interchanging drain and source roles.]

Avant contrainte les caractéristiques $I_D(V_D)$ sont le plus souvent indépendantes de la zone N^+ choisie comme source. Nous avons reporté dans la figure 4 les courbes duales obtenues, après vieillissement, en échangeant les rôles de la source et du drain (fonctionnement inversé); nous verrons que la différence apparaissant entre les caractéristiques « normales » (D-S) et « inversées » (S-D) est très suggestive pour l'efficacité du vieillissement.

3. Vieillessement.

3.1 CONDITIONS DE VIEILLESSEMENT ET MISE EN ÉVIDENCE. — Les μ -MOS ont été soumis à des contraintes de durées et d'intensités variables. De manière générale le vieillissement de ces μ -MOS est relativement faible, surtout lorsqu'on le compare aux résultats déjà publiés pour d'autres dispositifs [2-4, 7, 9, 11, 17]. La différence peut être attribuée aux particularités technologiques (épaisseur et qualité de l'oxyde de grille, optimisation du dopage), mais aussi aux condi-

tions de polarisation que nous avons soigneusement sélectionnées (pas d'effet d'avalanche [2], ni de surpolarisation du substrat [2, 7, 9]). La dégradation des caractéristiques s'accroît pour les μ -MOS de longueur inférieure à $1 \mu\text{m}$. Nous l'observons principalement en inversion faible et en échangeant source et drain (Fig. 4), fait prévisible, car c'est dans cette zone de fonctionnement que le courant de drain est plus sensible aux variations de la charge d'interface et de la densité d'états. Au contraire, la tension de seuil et les courbes en inversion forte évoluent peu, surtout à la température ambiante.

Après un long vieillissement le courant diminue, ce qui révèle l'apport d'une charge supplémentaire négative dans l'oxyde. La distribution de ce surplus de charge est sûrement inhomogène selon la direction du canal, une forte majorité étant confinée dans l'oxyde, entre le point de pincement du canal et le drain [4, 7, 17]. Plusieurs modèles de distribution ont été simulés par Galup [11] et même des méthodes directes de mesure ont été proposées par Maes et Groeseneken [14] et par Russel *et al.* [15]. Il est clair que l'influence de cette charge serait plus efficace si celle-ci se trouvait au-dessus d'un canal d'inversion formé, et non d'une zone désertée : le drain initial jouerait alors le rôle d'une source *injectant* le courant. Ce fait justifie la réduction plus importante du courant, observée en fonctionnement inversé (Fig. 4 et Fig. 6). Une explication moins intuitive de cette dissymétrie a été donnée par Lombardi *et al.* [7], à partir du calcul de la répartition bidimensionnelle du champ électrique au niveau du drain. Remarquons enfin qu'à très faible tension de drain, le transistor non uniforme est équivalent à une résistance (correspondant à la mise en série de plusieurs résistances différentes), de sorte que la caractéristique $I_D(V_D)$ devient indépendante de la région N^+ choisie comme source.

3.2 RÔLE DE LA TENSION DE GRILLE. — En raison du pic présenté par le courant de grille pour $V_G = V_D$ [1, 2, 4], il est usuellement admis que cette condition (correspondant donc au maximum de la probabilité d'injection des électrons dans l'oxyde [1, 4]) engendre aussi un vieillissement maximal. Takeda *et al.* [2] et Borchert *et al.* [3] contestent cette hypothèse en montrant que pour $V_G < V_D$ on favorise l'injection de trous chauds dans l'oxyde, qui y créent, de part leur forte masse effective, un plus grand nombre d'états d'interface et de pièges.

Nous démontrons sur de nombreux exemples que la condition contraire ($V_G/V_D = 2$ à 3) conduit également à une accentuation du vieillissement. Pour cela des paires de dispositifs, de caractéristiques quasi identiques à l'état vierge, ont été vieillis parallèlement avec respectivement $V_G = V_D = V_a$ et $V_G > V_D = V_a$. La différence est toujours significative, comme le montre la comparaison des figures 4 et 5, et augmente pour les μ -MOS courts. Ce résultat peut s'expliquer

qualitativement par le fait que si pour $V_G = V_D$ la probabilité d'injection est maximale, en revanche pour $V_G \gg V_D$ le champ dans l'oxyde devient plus intense et favorise un passage des électrons globalement plus « destructeur ».

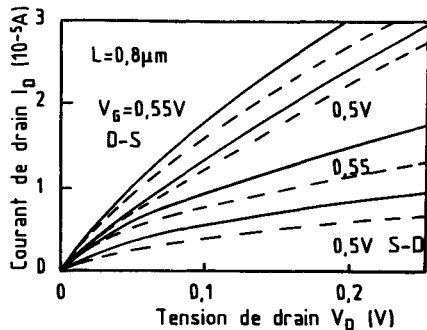


Fig. 5. — Caractéristiques $I_D(V_D)$ d'un μ -MOS ($L_{eff} = 0,5 \mu\text{m}$) en inversion faible. Les courbes correspondant à un fonctionnement normal (D-S) ou inversé (S-D) sont montrées avant (—) et après (- - -) un vieillissement de 83 heures sous $V_G = V_D = 4 \text{ V}$.

[Current I_D versus drain voltage V_D for a MOSFET with $L_{eff} = 0,5 \mu\text{m}$, in the subthreshold region. Curves obtained in normal operation (D-S) or by exchanging drain and source (S-D) are plotted before (—) and after (- - -) 83 hours ageing with $V_G = V_D = 4 \text{ V}$.]

La figure 6 illustre un autre point important : existence d'un vieillissement des μ -MOS même pour des faibles tensions $V_G = V_D = 3 \text{ V}$. Ce fait peut paraître surprenant si on se réfère à la hauteur théorique de la barrière de potentiel à l'interface Si-SiO₂ (3,2 eV), mais on doit aussi tenir compte : (i) de la distribution énergétique particulière des porteurs chauds [6], (ii) des potentiels internes existant entre canal et substrat qui favorisent l'injection des électrons

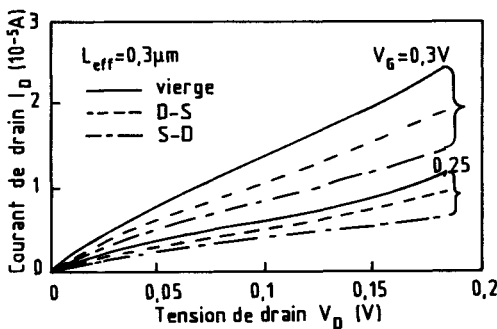


Fig. 6. — Caractéristiques $I_D(V_D)$ d'un μ -MOS ultra-court ($L_{eff} = 0,3 \mu\text{m}$) en inversion faible. Les courbes normales (D-S) et inversées (S-D) se confondent avant vieillissement, mais se différencient fortement après une contrainte de 128 heures, sous $V_G = V_D = 3 \text{ V}$.

[Current-voltage $I_D(V_D)$ curves for an ultra-short MOSFET ($L_{eff} = 0,3 \mu\text{m}$), in the subthreshold region. Curves corresponding to normal (D-S) or reverse (S-D) operation are superposed for the virgin device, but become different after 128 hours electrical stress at low bias $V_G = V_D = 3 \text{ V}$.]

dans l'oxyde, (iii) de l'abaissement de la barrière à environ 2,5 eV [5], découlant de l'élargissement du spectre énergétique par les collisions des électrons chauds et de la distribution fortement bidimensionnelle du champ électrique dans les MOSFET submicroniques, (iv) des effets quantiques responsables de l'existence des sous-bandes énergétiques 2-D et (v) des défauts pouvant modifier localement la structure idéale du système Si-SiO₂, considérée dans les théories. Sur le plan pratique, ce résultat montre que la réduction des tensions d'alimentation des circuits intégrés à 3 V ne supprimera pas totalement le phénomène de vieillissement.

3.3 RÔLE DE LA LONGUEUR. — Des μ -MOS de longueurs différentes, situés ou non sur la même puce, ont été vieillis dans des conditions similaires $V_G > V_D = V_a$. La figure 7 montre les courbes

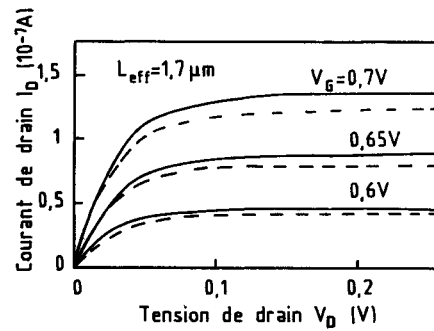


Fig. 7. — Caractéristiques $I_D(V_D)$ d'un μ -MOS « long » ($L_{eff} = 1,7 \mu\text{m}$), en inversion faible, avant et après un vieillissement de 68 heures sous $V_G = 12 \text{ V}$ et $V_D = 6 \text{ V}$.

[Current-voltage $I_D(V_D)$ curves for a « long » MOSFET ($L_{eff} = 1,7 \mu\text{m}$) operating in the subthreshold region, before (—) and after (- - -) 68 hours ageing with $V_G = 12 \text{ V}$ and $V_D = 6 \text{ V}$.]

d'inversion faible, correspondant à un dispositif relativement « long » ($L_{eff} = 1,7 \mu\text{m}$), soumis à des tensions $V_G = 12 \text{ V}$ et $V_D = 6 \text{ V}$, proches de celles utilisées pour l'échantillon de la figure 4. Dans le cas présent le vieillissement est beaucoup plus faible et ne conduit même plus à une distinction notable entre caractéristiques directes et inversées. A titre d'exemple, la dérive du courant après 68 heures n'excède pas 10 %, alors qu'elle pouvait dépasser 75 % pour $L_{eff} = 0,5 \mu\text{m}$. Ceci n'est pas anormal car le champ électrique longitudinal qui accélère les électrons (à l'origine de la dégradation) décroît, à tension appliquée constante, très rapidement lorsque L croît.

Il est à noter qu'après vieillissement des μ -MOS très courts on peut, de plus, observer, d'une part, une dérive des caractéristiques $I_D(V_D)$ en inversion forte et, d'autre part, une modification qualitative de la concavité des courbes en zone ohmique de l'inversion faible (due à l'effet de perçage).

3.4 RÔLE DE LA DURÉE. — Les μ -MOS ont été vieillis pendant des périodes de durées comprises entre quelques minutes et quelques centaines d'heures. Des bilans complets ont été effectués après chaque cycle de fonctionnement et après des périodes de repos variant de 0,5 à 48 heures. Ceci nous a permis de distinguer les processus irréversibles de vieillissement des processus temporaires, dus probablement au dépiégeage des électrons et au déplacement des charges mobiles dans l'oxyde. Jusqu'à 50 % de la dégradation des caractéristiques engendrée par le vieillissement peut être récupérée après 1 à 2 heures de repos.

La figure 8 résume l'histoire d'un μ -MOS de longueur $L_{\text{eff}} = 0,7 \mu\text{m}$, qui a subi plusieurs périodes de contrainte et de repos. Pour mettre en évidence

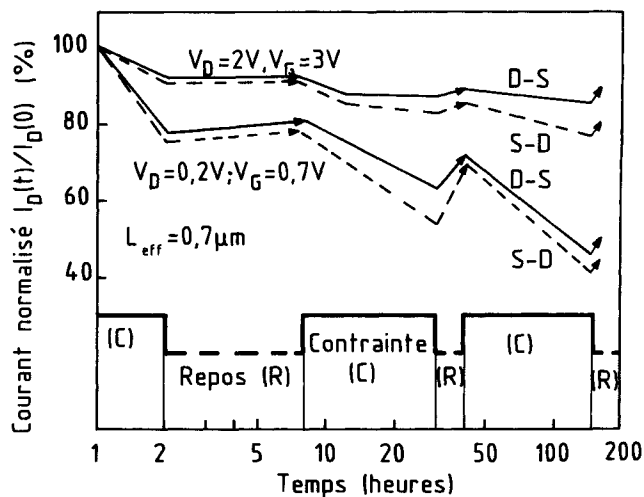


Fig. 8. — Evolution du courant de drain I_D d'un μ -MOS de longueur $L_{\text{eff}} = 0,7 \mu\text{m}$ après différents cycles de contrainte (avec $V_G = 12 \text{ V}$ et $V_D = 5 \text{ V}$) et de repos; les 4 courbes sont relatives au fonctionnement normal (D-S) et inversé (S-D), en régimes d'inversion forte ou faible.

[History of a $0,7 \mu\text{m}$ MOSFET during several cycles of electrical stress and pauses. Various curves show the drain current evolution in weak ($V_G = 0,7 \text{ V}$) and in strong inversion ($V_G = 3 \text{ V}$), for normal (D-S) and reversed (S-D) operation.]

une dégradation significative il faut attendre au moins 10^3 à 10^4 s , durées supérieures d'un ou de deux ordres de grandeur à celles nécessitées par le vieillissement de MOSFET issus de technologies différentes [2, 4, 7, 9]. Nous n'observons pas, non plus, de saturation évidente et rapide du vieillissement (découlant probablement d'un remplissage des pièges) telle qu'elle a été constatée ailleurs [4]. Dans notre cas (Fig. 8), après 150 heures de contrainte, le courant continue de diminuer. Cette figure permet aussi de comparer l'effet du vieillissement sur l'abaissement du courant en inversion faible (plus de 50 % après 150 heures) et en inversion forte (seulement 10 à 20 %).

3.5 RÔLE DE LA TEMPÉRATURE. — Plusieurs puces ont été vieillis dans une enceinte thermostatée à

$-19 \text{ }^\circ\text{C}$. Le refroidissement des μ -MOS aggrave la dégradation de leurs propriétés et conduit en particulier à une nette modification des caractéristiques de transfert; une explication possible, proposée par Satoh *et al.* [8], est l'accroissement en basse température de la densité effective des pièges et/ou la diminution du taux de réémission. L'insertion de la figure 9 montre qu'après une centaine d'heures de contrainte sous $V_G = 7 \text{ V}$ et $V_D = 5 \text{ V}$, la tension de seuil d'un MOS de longueur $L_{\text{eff}} = 0,5 \mu\text{m}$ augmente de 170 mV; cette variation reflète le piégeage d'environ 10^{11} électrons par cm^2 à l'interface Si-SiO₂ [11]. De plus la pente de la courbe $I_D(V_G)$ (liée au coefficient K) diminue de 30 % après contrainte, fait qu'on peut attribuer à la réduction de la mobilité électronique.

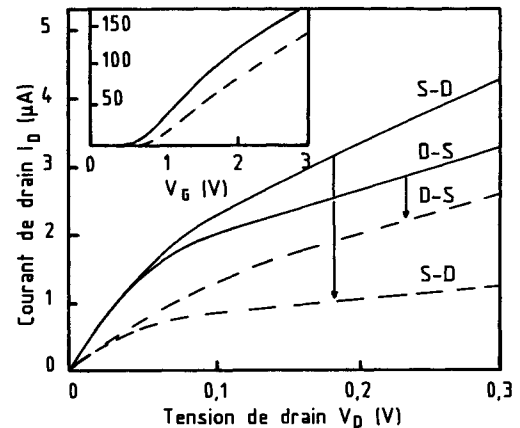


Fig. 9. — Caractéristiques $I_D(V_D)$ en inversion faible, d'un μ -MOS ($L_{\text{eff}} = 0,5 \mu\text{m}$), avant (—) et après (---) vieillissement en basse température ($T = -19 \text{ }^\circ\text{C}$), pendant 107 heures ($V_G = 7 \text{ V}$ et $V_D = 5 \text{ V}$). Les courbes D-S et S-D correspondent respectivement au fonctionnement normal ou inversé. En insertion sont données les courbes $I_D(V_G)$ à $V_D = 50 \text{ mV}$, qui montrent la variation de la tension de seuil et du coefficient K .

[Current-drain voltage $I_D(V_D)$ curves for a short channel MOSFET ($L_{\text{eff}} = 0,7 \mu\text{m}$), in the subthreshold region ($V_G = 0,6 \text{ V}$). The virgin device characteristics (—) are strongly modified (---) after low-temperature ($-19 \text{ }^\circ\text{C}$) electrical stress during 107 hours with $V_G = 7 \text{ V}$ and $V_D = 5 \text{ V}$. Curves D-S and S-D correspond respectively to normal and reverse operation. Inserted is the current-gate voltage $I_D(V_G)$ characteristic which illustrates the increase of both threshold voltage V_{th} and coefficient K after stress.]

Remarquons que les modifications de V_{th} et de μ ne fournissent qu'une image globale des changements inhomogènes de structure. En effet lorsqu'on compare les courbes $I_D(V_D)$ en inversion faible on observe, pour la zone de saturation, un abaissement du courant plus important en inversant source et drain (augmentation d'un facteur 3 de l'impédance dynamique); cette dissymétrie n'est explicable que par une création non uniforme de défauts pendant la contrainte appliquée. Cependant, la pente à l'origine de ces courbes reste invariante en échangeant source et drain.

Néanmoins, si on se réfère aux conditions conventionnelles d'utilisation, le vieillissement en basse température n'est pas dramatique, pour nos dispositifs, car, en inversion forte, la réduction du courant après contrainte reste faible (10 à 20 %).

4. Conclusion.

Nous avons analysé, à travers un grand nombre de mesures différentes, les caractéristiques de μ -MOS et leur dérive après contraintes électriques variables. Nous avons proposé une méthode directe de détermination de la résistance série et de la longueur effective du canal, fondée sur l'exploitation des dispositifs de longueur zéro et nous avons présenté des courbes de vieillissement pour des μ -MOS très courts.

Les transistors de longueur supérieure à 1 μm vieillissent relativement peu en comparaison aux μ -MOS réalisés antérieurement au LETI, résultat qui valorise l'effort déployé pour l'optimisation de la technologie MOS-1 μm . La dégradation des pro-

priétés, due à l'injection des électrons chauds dans l'oxyde, s'accroît au cours du temps, en augmentant la tension de grille et en abaissant la température. Nous avons montré que la dérive des caractéristiques subsiste, même pour des faibles tensions de polarisation ($V_G = V_D = 3 \text{ V}$). Le vieillissement s'aggrave pour les μ -MOS très courts, de longueur effective inférieure à 0,7 μm , en empiétant sur leur fonctionnement normal. Nous pensons toutefois que cette affirmation devra être reconsidérée prochainement, car les études du facteur d'échelle aboutiront bientôt à l'optimisation d'une technologie MOS de 0,5 μm .

Remerciements.

Les auteurs expriment leur vive reconnaissance à Mlle M. Gri pour l'aide efficace apportée durant l'acquisition des résultats. Ils remercient également Dr. A. Chovet et Dr. G. Ghibaud pour leurs conseils éclairés et l'organisation GCIS qui a assuré une partie du financement de ce travail.

Bibliographie

- [1] NING, T. M., OSBURN, C. M., YU, H. N., *J. Electron. Mater.* **6** (1977) 65.
- [2] TAKEDA, E., NAKAGOME, Y., KUME, H., ASAI, S., *IEE Proc. part I* **130** (1983) 144.
- [3] BORCHERT, B., HOFMANN, K. R., DORDA, G., *Electron. Lett.*, **19** (1983) 747.
- [4] NG, K. K., TAYLOR, G. W., *IEEE Trans. Electron. Devices* **ED-30** (1983) 871.
- [5] TANG, J. Y., HESS, J., *J. Appl. Phys.* **54** (1983) 5145.
- [6] SCHMITT-LANDSIEDEL, S., DORDA, G., *Electron. Lett.* **18** (1982) 1042.
- [7] LOMBARDI, C., OLIVO, P., RICCO, B., SANGIORGI, E., VANZI, M., *IEEE Trans. Electron. Devices* **ED-30** (1983) 1416.
- [8] SATOH, Y., MIYAMOTO, K., MATSUMOTO, H., *Jpn J. Appl. Phys.* **22** (1983) L-221.
- [9] MEYER, W. G., FAIR, R. B., *IEEE Trans. Electron. Devices* **ED-30** (1983) 96.
- [10] NAEM, A. A., BOOTHROYD, A. R., *Electron. Lett.* **18** (1982) 136.
- [11] GALUP, C., Thèse Docteur-Ingénieur, INP Grenoble, 1982.
- [12] ROSSEL, P., TRANDUC, H., SANCHEZ, J. L., BELLAOUAR, A., *Revue Phys. Appl.* **18** (1983) 487.
- [13] SCHMIDT, P. E., DAS, M. B., *Solid State Electron.* **26** (1983) 397.
- [14] MAES, H. E., GROESENEKEN, G., *Electron. Lett.* **18** (1982) 372.
- [15] RUSSEL, T. J., WILSON, C. L., GAITAN, M., *IEEE Trans. Electron Devices* **ED-30** (1983) 1662.
- [16] RISCH, L., *IEEE Trans. Electron. Devices* **ED-30** (1983) 959.
- [17] GALUP, C., GENTIL, P., 11th ESSDERC & 6th SSSDT, Toulouse (France), 14-17 sept. 1981, in *Europ. Conf. Abstr.* **5F** (1981) 47.